



SMBus による MAX II CPLD での GPIO ピンの拡張

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007 年 12 月 ver 1.0

Application Note 484

はじめに

このアプリケーション・ノートでは、業界標準の SMBus (System Management Bus) バスを介して汎用 I/O ピンを拡張するアルテラの MAX[®] II CPLD の機能について説明します。

SMBus による GPIO ピンの 拡張

パッケージ・サイズを縮小し、ピン数を減らすために、マイクロプロセッサ・ベースのシステムでは、汎用 I/O (GPIO) ピン数が制限されていますが、システムに SMBus インタフェースがある場合、このデザインでは SMBus を介して追加 GPIO ピンを提供することができます。さらに、MAX II CPLD の使用時に提供される追加 GPIO ピンの消費電力は、マイクロプロセッサの I/O ピンよりも少なくなります。

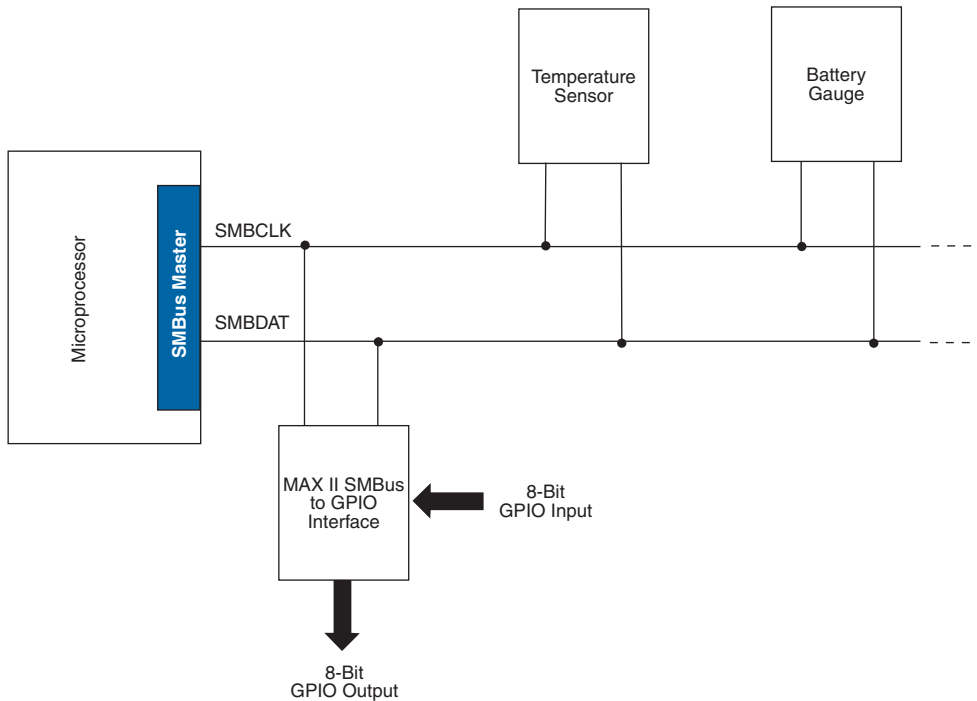
場合によっては、エンベデッド・システム内のリモート・ロケーションから GPIO ピンにアクセスする必要があります。SMBus インタフェースは 2 線式システムなので、このデザインでは配線を追加することなくリモート・ロケーションに複数の入力ピンと出力ピンを提供します。これにより、デザインの柔軟性が向上するうえ、複雑さとソフトウェアのオーバーヘッドが低減されます。

これらの汎用出力ピンを介して、ペリフェラル・コントローラ、LED、およびその他のステータス・インジケータを容易に接続および制御することができます。同様に、フロント・パネル上のユーザ・コントロール、プッシュ・ボタン、およびスイッチを、CPLD に配置された汎用入力に結合することができます。

MAX II CPLD ベースの SMBus から GPIO ピンへの 拡張

MAX II CPLD は、SMBus のスレーブとして機能し、SMBus インタフェースに SMBus クロック SMBCLK とデータ・ライン SMBDAT の 2 本のピンを備えています。SMBus マスタとして機能するホスト・システムは、MAX II デバイス (SMBus スレーブとして機能) と交信します。CPLD は、ホストに対して 8 つの汎用入力ポートと 8 つの汎用出力ポートを提供します。SMBus を通してシリアルに送信されたデータは、GPIO ピンでパラレルに受信されます。このようにして、8 つの汎用 I/O のすべてを同時に読み出すかまたは書き込むことができます (図 1 を参照)。

図 1. SMBus を介した GPIO ピンの拡張



SMBus インタフェース

SMBus インタフェースの場合、CPLD は 7 ビットのアドレスを内蔵し、汎用 SMBus プロトコルに従います。スタート信号はマスタによって送信され、その後 7 ビットのアドレスとリード / ライト・ビットが続きます。バスでブロードキャストされたアドレスがスレーブ・デバイスのアドレスと一致すると、スレーブ・デバイスから ACK (確認) 信号が送信され、その後マスタから送信されたリードまたはライト信号に応じた DATA が続きます。この後に別の ACK 信号が続きます。このようにして、マスタから Stop (P) 信号が送信されるまで、データ交換が継続されます。表 1 に、SMBus インタフェースの説明を示します。

表 1. SMBus インタフェースの説明

信号	用途	入力 / 出力
SMBCLK	クロック	入力 (スレーブ)
SMBDAT	シリアル・データ	双方向

図 2 に、SMBus シグナル・フォーマットを示します。

図 2. SMBus シグナル・フォーマット

S	ADDRESS	R/W	ACK	DATA	ACK	P
---	---------	-----	-----	------	-----	---

S = Start (SMBCLK high, SMBDAT high to low)
 R/W = Read/Write (1 for Read, 0 for Write)
 ACK = Acknowledge (SMBDAT held low by receiver)
 P = Stop (SMBCLK high, SMBDAT low to high)
 Default Slave Address = 0000000

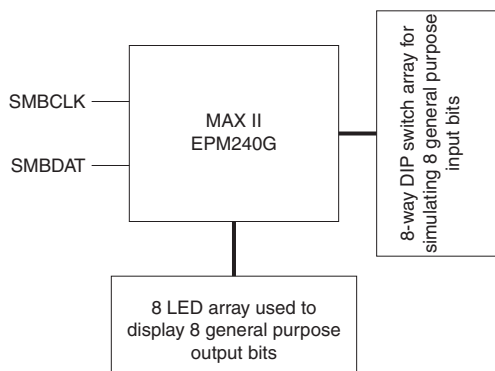
GPIO インタフェース

マスタが書き込み条件 (R/W=0) を発行するたびに、停止条件またはリピート・スタート条件が発生するまで、SMBus バス上で受信したデータを使用して汎用出力ピンがアップデートされます。同様に、バス・マスタが読み出し条件 (R/W=1) を発行すると、汎用入力ピンの値が ACK ビットでサンプリングされ、SMBus を通してシリアルに送信されます。このプロセスはマスタが停止またはリピート・スタートを発行するまで続きます。表 2 に、GPIO ピンの説明を示します。図 3 に、GPIO ピンの拡張デモ回路を示します。

表 2. GPIO ピンの説明

信号	用途	入力 / 出力
8 ビット入力	汎用	入力
8 ビット出力	汎用	出力

図 3. GPIO ピンの拡張デモ回路



実装

本デザイン例は、EPM240 またはその他の MAX II CPLD を使用して実装できます。実装では、このデザイン例のソース・コードを使用し、SMBus バス・ラインおよび GPIO ピンの拡張の入力と出力を MAX II CPLD GPIO に割り当てる必要があります。GPIO ピンの拡張は、SMBus 準拠の 2 線式バスを作成するために、PC のパラレル・ポートとインタフェース用ハードウェアを使用して作成された 2 線式シミュレータによって、MDN-B2 デモ・ボード上でデモされます。環境の設定について詳しくは、Maxim/Dallas Semiconductor のアプリケーション・ノート AN3230 で説明されています。

www.maxim-ic.com/appnotes.cfm/an_pk/3230

また、パラレル・ポートと 2 線式インタフェースとの間の設定を行うための同様のソフトウェアを、以下のサイトからダウンロードできます。

http://files.dalsemi.com/system_extension/AppNotes/AN3315/ParDS2W.exe

このユーティリティ・プログラムは、パラレル・ポートとインタフェース用ハードウェアを使用して、MAX II CPLD と交信し、必要に応じて SMBus 2 線式システムに SMBDAT および SMBCLK 接続を提供します。このデザインを実装すると、MDN-B2 デモ・ボードからの入力（DIP スイッチで設定）を SMBus マスタに伝達することができます。同様に、SMBus マスタから送信されたデータは、MAX II CPLD の GPIO 出力ポート（デモ・ボードの LED に接続）で使用できます。このデモの SMBus マスタは、パラレル・ポート用の 2 線式ソフトウェアが動作する PC のユーザ・インタフェースです。

表 3 に、MDN-B2 デモ・ボードへのデザイン例の実装について示します。

信号	ピン
SMBCLK	ピン 39
GPIO_output[0]	ピン 69
GPIO_output[2]	ピン 71
GPIO_output[4]	ピン 73
GPIO_output[6]	ピン 75
GPIO_input[0]	ピン 55
GPIO_input[2]	ピン 57
GPIO_input[4]	ピン 61
GPIO_input[6]	ピン 67
SMBDAT: pin 40	ピン 40
GPIO_output[1]	ピン 70
GPIO_output[3]	ピン 72
GPIO_output[5]	ピン 74
GPIO_output[7]	ピン 76
GPIO_input[1]	ピン 56
GPIO_input[3]	ピン 58
GPIO_input[5]	ピン 66
GPIO_input[7]	ピン 68

未使用ピンは、Quartus II ソフトウェアで **As input tri-stated** に割り当てます。また、SMBDAT ピンの **Auto Open-Drain** 設定をイネーブルにする必要があります。Assignments メニューから **Settings** を選択します。**Settings** ダイアログ・ボックスが表示されます。**Category** リストで、**Analysis & Synthesis Settings** を選択します。**Auto Open-Drain Pins** をオンにします。ピンのアサインメントと設定が終了したら、Quartus II ソフトウェアでデザインをコンパイルします。

デモ時の注意 (MDN-B2 デモ・ボード上での本デザインのデモ) :

- デモ・ボードの電源をオンにします (スライド・スイッチ SW1 を使用)。

- デモ・ボード上の JTAG ヘッド JP5 とプログラミング・ケーブル (ByteBlaster II または USB-Blaster) を使用してデザインを MAX II CPLD ヘッドアップロードします。
- プログラミング・プロセスの起動前と起動中、デモ・ボードの SW4 を押し続けます。完了したら、電源をオフにして JTAG コネクタを取り外します。
- PC 上でパラレル・ポートでドライブされる SMBus 環境をセットアップする手順:
 - SMBus で規定されたプロトコルを使用してスレーブと通信するために、Maxim パラレル・ポート・ユーティリティのようなソフトウェア・ユーティリティをダウンロードします。パラレル・ポート・ソフトウェアをインストールします。ここで、次のサイトにあるプログラム **ParDS2W.exe** を使用した例を示します。
http://files.dalsemi.com/system_extension/AppNotes/AN3315/ParDS2W.exe
 - このパラレル・ポート・ユーティリティのために、Windows XP または Windows 2000 内でパラレル・ポートをアクセスできるようにするパラレル・ポート・ドライバをインストールする必要があります。Direct-IO (www.direct-io.com) は標準ドライバを提供しています。これは次のサイトからダウンロードして使用できます。
www.direct-io.com/Direct-IO/directio.exe
 - インストールの後、Direct-IO プログラムを設定する必要があります。Windows のコントロール・パネル内で、Direct IO アイコンをクリックします。パラレル・ポートの **Begin** および **End** アドレスを入力します (このアドレスは通常 378 ~ 37F ですが、次の設定を調べて、使用している PC のパラレル・ポート・アドレスを確認してください)。
Control-Panel/System/Hardware/Device-Manager/Ports/
ECP Printer port (LPT) /Resources
 - パラレル・ポートが ECP 以外のタイプに設定されている場合は、PC の起動時に BIOS 設定を変更して、パラレル・ポートを ECP に設定します。
 - Direct IO コントロール・パネルの **Security** タブを選択し、**ParDS2W.exe** プログラムのディレクトリ・パスを調べます。 **Open** をクリックし、続いて **Add** をクリックします。このユーティリティのパスが、**Allowed Processes** フィールドに表示されます。 **OK** をクリックして、Control Panel ウィンドウを閉じます。
 - MDN-B2 デモ・ボードに添付されている SMBus/I2C ドングルをパラレル・ポートに接続します。必要に応じて拡張コードを使用して、パラレル・ポート接続をデモ・ボードの近くまで延ばします。
 - I2C/SMBus パラレル・ポート・ドングル上にある 4 ピン・ソケットを、ソケットの赤マークと JP3 ヘッドの pin#1 を合わせて、デモ・ボードのヘッド (JP3) に接続します。
 - ParDS2W プログラムを開いて、PC の該当するパラレル・ポート・アドレスを選択し (Direct IO 設定時の表示のように)、**2-Wire Device Address** に 00H を設定します。
 - 最後に、**Test Circuit** タブで設定をテストして、Status ウィンドウに Test PASS メッセージが表示されるのを確認することができます。これが表示されると、必要な 2 線式環境が完了します。

- パラレル・ポート・ユーティリティ・プログラムの **2-Wire Utility** セクションの **One byte Write/Read** セクションを使用すると、ここで GPIO 入力 (DIP スイッチ SW5) から読み出すためのリード動作と、MDN-B2 デモ・ボードの 8 LED アレイに表示する 8 ビット・データを書き込むためのライト動作を実行できます。
- DIP スイッチ SW5 から読み出すには、このセクションにある **Read** ボタンのいずれかを押すだけです (これはメモリ・デバイスから読み出すためのユーティリティなので、**Address** フィールドに 2 桁の 16 進値を入力してから、**Read** を行ってください)。その近くの **Data** フィールドに、DIP スイッチの設定に対応する 8 ビット・ポジションが表示されます。
- ライト動作を実行するには、パラレル・ポート・ユーティリティ・プログラムのこのセクションにある **Address** フィールド (**Data** フィールドには 2 桁の 16 進値を指定する必要があるが、ここでは「don't care」である) に有効な 16 進データを入力した後、**Write** ボタンを押します。このデータに対応する LED が点灯します。
- 書き込むデータを **Address** フィールドに入力し、次に **Read** ボタン操作を実行することによって、リード動作とライト動作を同時に実行できます。プログラムは、**Address** フィールドのデータを **SMBus** スレーブ・デバイスに送信し (書き込み)、その直後にリード動作を実行します。このユーティリティ・プログラムは、最初にメモリ・アドレスを書き込んでからメモリ・アドレスを読み出す必要があるメモリ・スレーブ・デバイスからの読み出しにも使用できるため、このような同時動作が可能です。
- また、**2-Wire Function** セクションでも、リード/ライト動作を実行できます。ただし、これは使用しないでください。**2-Wire Function** 機能は、**SMBus** 動作 (開始、停止、書き込み、読み出しなど) を手動でドライブします。手動操作では、個々の機能の入力と実行は手作業の速度で行われるため処理は低速です。そのため、**SMBCLK** ラインは 25 ms の間 **Low** になり、**SMBus** スレーブは自身をリセットします。このような動作を回避するために、必ずこのデモの **2-wire Utility** セクションを使用してください。

ソース・コード

このデザイン例は Verilog HDL を使用して作成しており、MDN-B2 デモ・ボードを使用したデモとなっています。ソース・コード、テストベンチ、および完成した Quartus II プロジェクトは、以下から入手可能です。

www.altera.co.jp/literature/an/an484_design_example.zip

まとめ

このデザイン例が示すように、MAX II CPLD は **SMBus** などの業界標準インタフェース規格を実装する際に有力な選択肢となります。MAX II CPLD は、低消費電力、使いやすいパワー・オン機能、および内部オシレータを特長としており、**SMBus** インタフェースなどのアプリケーションを実装して GPIO ピンを拡張するための最適なプログラマブル・ロジック・デバイスです。

関連情報

以下に、関連資料を示します。

- MAX II CPLD ホームページ :
www.altera.co.jp/products/devices/cpld/max2/mx2-index.jsp
- MAX II デバイスの資料ページ :
www.altera.co.jp/literature/lit-max2.jsp
- MAX II パワーダウン・デザイン :
www.altera.co.jp/support/examples/max/exm-power-down.html
- MAX II アプリケーション・ノート :
「AN 428: MAX II CPLD のデザイン・ガイドライン」
「AN 422: MAX II CPLD を使用したポータブル・システムにおける消費電力の管理」

改訂履歴

表 4 に、このアプリケーション・ノートの改訂履歴を示します。

表 4. 改訂履歴		
日付 & バージョン	変更内容	概要
2007 年 12 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

