

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007 年 8 月 ver 1.0

Application Note 466

## はじめに

アルテラの Cyclone®III FPGA ファミリは、低コストでメモリ・リソースが豊富な FPGA ファミリです。Cyclone III FPGA は、TSMC の 65 nm ロー・パワー (LP) プロセス・テクノロジーに基づいて構築され、消費電力を最小化するためシリコンの最適化およびソフトウェアの機能が追加されています。この第3世代の Cyclone シリーズにより、アルテラは FPGA から利益を得られるコスト重視の量産アプリケーションの数を拡大しています。適切なデザイン方法と Cyclone III デバイスでのデザイン・フローを明確に理解することにより、デザイン・フローが簡単になります。このデザイン・ガイドラインでは、Cyclone III デバイスのさまざまな特長に加え、Cyclone III デバイスの設計に必要な Quartus® II ソフトウェアの機能を要約しています。

本資料では、以下の項目について説明します。

- 「デバイスの選択」
- 4 ページの「早期システム・プランニング」
- 16 ページの「ボード・デザインの検討事項」
- 30 ページの「デザインおよびコンパイル」
- 48 ページの「検証」
- 53 ページの「デザインのデバッグ」
- 55 ページの「テスト作業」
- 55 ページの「その他の検討事項」

## デバイスの 選択

この項では、システムで使用する Cyclone III デバイスを選択するときの検討事項を説明します。

### ロジック集積度

Cyclone III デバイス・ファミリは、約 5,000 ロジック・エレメント (LE) から 120,000 LE までの集積度を提供しており、広範なアプリケーションに対応します。デザインをアップグレードまたは拡張したい場合により多くの LE が利用できるよう、常にデザイン要件の見積値を上回る LE を持つデバイスを選択してください。また、デバッグ目的に LE を追加することも検討する必要があります。より多くのリソースを持つことによって、Quartus II ソフトウェアで最大性能または低消費電力、あるいはその両方を達成するために、配置配線を最適化する柔軟性を得ることもできます。



Cyclone III デバイス・リソース、デバイス集積度について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイス・ファミリの概要」の章を参照してください。

## I/O ピン数、パッケージ、およびパーティカル・マイグレーション

Cyclone III デバイス・ファミリは、最大 535 本のユーザ I/O ピンを提供しています。パッケージは、クワッド・フラット・パック (QFP)、1.0 mm ボール・ピッチの FineLine ボール・グリッド・アレイ (FBGA)、または Cyclone III デバイス・ファミリで最小サイズでボード・スペースを節約する 0.8 mm ボール・ピッチの Ultra FBGA (UBGA) から、アプリケーションおよびボード・レイアウトに応じて選択することができます。

Cyclone III デバイスは、同一のパッケージにおけるパーティカル・マイグレーションをサポートしています。同一パッケージのため、デバイスの集積度が異なっても電源ピン、コンフィギュレーション・ピンおよび専用ピンの位置は同じです。これにより、ボード上の Cyclone III デバイスを集積度が異なる別の Cyclone III デバイスに置き換えることができるため、将来ボード・レイアウトを変更することなく Cyclone III デザインをアップグレードまたは変更することが可能になります。最良の結果を得るには、サイズの異なるデバイスへのシームレスな移行を実現するために、デザインにおいて両方のデバイスで位置が同じピンのみ使用されるよう、Quartus II ソフトウェアで最初のデザインをコンパイルする前にマイグレーション・デバイスを指定します。



差動チャンネルの数は、デバイスの集積度によって異なります。Cyclone III デバイス・ファミリの集積度およびパッケージごとの差動チャンネル数について詳しくは、「Cyclone III デバイス・ハンドブック」の「高速差動インタフェース」の章を参照してください。

表 1 に、Cyclone III ファミリの各集積度に対するユーザ I/O ピン数およびパッケージを示します。矢印は、同一のパッケージのデバイスのパーティカル・マイグレーションを示しています。

表 1. Cyclone III FPGA のパッケージ・オプションおよび I/O ピン数 注 (1)、(2)、(3)

デバイス	144 ピン・ プラスチック・ エンハンスド・ クワッド・ フラット・ バック (EQFP) (5)	240 ピン・ プラスチック・ クワッド・ フラット・ バック (PQFP)	256 ピン FineLine ボール・ グリッド・ アレイ (FBGA)	256 ピン Ultra FineLine ボール・ グリッド・ アレイ (UBGA) (6)	324 ピン FineLine ボール・ グリッド・ アレイ (FBGA)	484 ピン FineLine ボール・ グリッド・ アレイ (FBGA)	484 ピン Ultra FineLine ボール・ グリッド・ アレイ (UBGA) (6)	780 ピン FineLine ボール・ グリッド・ アレイ (FBGA)
EP3C5	↑ 94	—	↑ 182	↑ 182	—	—	—	—
EP3C10	↑ 94	—	↑ 182	↑ 182	—	—	—	—
EP3C16	↑ 84	↑ 160	↑ 168	↑ 168	—	↑ 346	↑ 346	—
EP3C25	↓ 82	↑ 148	↓ 156	↓ 156	↑ 215	—	—	—
EP3C40	—	↓ 128	—	—	↓ 195	↑ 331	↑ 331	↑ 535 (4)
EP3C55	—	—	—	—	—	↑ 327	↑ 327	↑ 377
EP3C80	—	—	—	—	—	↓ 295	↓ 295	↓ 429
EP3C120	—	—	—	—	—	↓ 283	—	↓ 531

表 1 の注:

- (1) デバイス・パッケージの仕様について詳しくは、アルテラ・ウェブサイトのサポート・セクション ([www.altera.co.jp/support/devices/packaging/specifications/pkg-pin/spe-index.html](http://www.altera.co.jp/support/devices/packaging/specifications/pkg-pin/spe-index.html)) を参照してください。
- (2) 数値は、デバイスとパッケージの組み合わせでサポートされている最大 I/O 数 (クロック入力ピンを含む) が記載されていますが、デバイスのコンフィギュレーション方法により変動します。
- (3) すべてのパッケージは、無鉛および有鉛のオプションを提供しています。
- (4) F780 パッケージの EP3C40 は、制約されたパーティカル・マイグレーションをサポートします。電圧リファレンス形式の I/O 規格を使用しているデザインにおいて、EP3C120 にマイグレーションした場合には、最大ユーザ I/O 数は 510 I/O に制限されます。電圧リファレンス形式の I/O 規格を使用しない場合、この最大 I/O 数を増やすことができます。このパッケージは、LVDS アプリケーションには最適化されていません。すべての差動ペアが隣接しているわけではないため、PCB レイアウトはより困難になります。EP3C55F780 およびより大きなデバイスには、多数の LVDS チャネルを必要とするアプリケーションに最適なピン配置を提供します。
- (5) E144 パッケージは、パッケージの裏面に露出パッドを備えています。この露出パッドは、PCB のグラウンド・プレーンに接続する必要があるグラウンド・パッドです。この露出パッドは放熱用ではなく、電気的接続のために使用されています。
- (6) EP3C16 デバイス以外のすべての UBGA パッケージは、Quartus II ソフトウェアのバージョン 7.1 SP1 でサポートされています。EP3C16 の UBGA パッケージは、Quartus II ソフトウェアのバージョン 7.2 でサポートされます。

## スピード・グレード

デバイスのスピード・グレードは、デバイスのタイミング・クロージャに影響を与えます。Cyclone III デバイスは、集積度とパッケージに応じて、-6、-7、および -8 の3つのスピード・グレードで提供されており、-6 が最も高速です。異なるスピード・グレードのデバイスに移行する場合、タイミング解析のタイミング・レポートをチェックして、Cyclone III デバイス内の異なるブロック間およびボード上の Cyclone III デバイスと他のデバイス間でタイミング違反がないことを確認します。異なるスピード・グレードのデバイスで動作できるように、常に十分なタイミング・マージンを設けて設計してください。一般に、スピード・グレードが1 違うと、コア  $f_{MAX}$  または I/O 性能に最大 20% の差が生じる可能性があります。

## 早期システム・プランニング

システム要件および Cyclone III デバイスの機能をデザイン・サイクルの初期段階で把握することが重要です。

### 早期消費電力見積り

アルテラは、システム・プランニングの段階でデザインの消費電力の見積りを支援する、Early Power Estimator (EPE) と呼ばれる消費電力見積りツールを提供しています。EPE では、アーキテクチャ機能に基づいてデザイン情報を入力し、各アーキテクチャ機能の消費電力を計算できます。EPE には、環境条件およびデザインで使用するデバイス・リソース（クロック周波数、RAM ブロック数、および DSP ブロック数など）を入力します。EPE は、次にデザインのスタティックおよびダイナミック消費電力、電流見積り、熱解析を計算します。

デザイン情報をスプレッドシートに手動で入力するか、完全にまたは部分的に完成したデザインの Power Estimator ファイルを Quartus II ソフトウェアからインポートすることができます。ファイルをインポートした後、システム要件を満たすために、 $V_{CCINT}$ 、周囲温度、空気流量、クロック周波数、およびトグル・レートなどの入力パラメータを編集することができます。



EPE の詳細情報、Power Estimator ファイルの生成およびインポート方法については、「Cyclone III FPGA 用 PowerPlay Early Power Estimator ユーザガイド」を参照してください。

### I/O 消費電力ガイドライン

I/O バッファのダイナミック消費電力は、 $0.5 \times F \times C \times V^2$  で計算することができます。ここで、F は出力遷移周波数、C は合計負荷キャパシタンス、そして V は  $V_{CCIO}$  電源を表します。C が低下すると消費電力も減少します。

LVTTL や LVCMOS などの非終端 I/O 規格のレール・トゥ・レール出力振幅は、 $V_{CCIO}$  電源電圧と同じです。ダイナミック消費電力を低減するには、低い電圧の I/O 規格を使用してください。高周波数アプリケーションの場合は、SSTL などの抵抗で終端された I/O 規格を使用してください。出力負荷電圧の振幅は、一部のバイアス・ポイントでは  $V_{CCIO}$  よりも小さくなります。ダイナミック消費電力は、同じ条件下では非終端 I/O 規格のダイナミック消費電力よりも小さくなります。

抵抗終端 I/O 規格では、電流が継続的に終端ネットワークにドライブされるため、多くのスタティック電力が消費されます。抵抗終端された I/O 規格を使用する場合は、スタティック消費電力を低減するために、速度および波形要件を満たす最小ドライブ強度を使用してください。



低消費電力デザイン手法について詳しくは、「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章を参照してください。

## I/O サポート

この項では、一般的な Cyclone III デバイスの I/O サポートについて説明します。I/O プランニングを開始する前に、Cyclone III I/O の提供するサポートについて検討してください。

### 選択可能な I/O 規格

Cyclone III デバイスは、シングル・エンド、電圧リファレンス形式、および差動 I/O 規格を含む業界標準 I/O 規格を幅広くサポートします。選択の基準となるのは性能とコストです。表 2 に、選択可能な各 I/O 信号の種類を簡略化して示します。

I/O 信号の種類	選択基準	
	性能	コスト
シングル・エンド	低速レール・トゥ・レール・インタフェースで、大きな電圧振幅とノイズの制限を受ける。	反射によるシグナル・インテグリティの問題が発生し終端が必要にならない限り、非常に低い。
リファレンス電圧 (シングル・エンドまたは差動) (1)	多数のピンで同時にレベルを変化させる同時スイッチング出力 (SSO) の影響を軽減。電圧振幅の低減および I/O 規格の終端要件に起因する反射によって発生するノイズを抑制することで、ロジック遷移レートを改善。	終端による追加コンポーネントおよびクリーンなリファレンス電圧 $V_{TT}$ のため、高くなる。

I/O 信号の種類	選択基準	
	性能	コスト
差動 (2)	コモン・モード・ノイズ除去機能により、卓越した速度 (最大 840 Mbps)、低い振幅電圧、および高いノイズ耐性を実現。	シリアライゼーション / デシリアライゼーション (SERDES) ロジックを実装し、パラレル・データ送信を置き換えることにより、物理な配線および I/O リソースを減少させることができるため、低くなる。

## 表 2 の注:

- (1) 差動電圧リファレンス形式の規格は、クロックにのみ使用できますこれらの I/O 規格は、GCLK および PLL\_OUT ピンでのみサポートされています。
- (2) サイド I/O バンクは、専用の差動バッファをサポートします。トップおよびボトム I/O バンクは、送信側に抵抗ネットワークを追加することで差動信号をサポートします。

## 柔軟性の高い I/O バンク

バンク内で I/O を効率的にグループ化することにより、さまざまな I/O 規格を同時にサポートすることができます。各バンクに対して、1 つの  $V_{CCIO}$  レベルを供給する必要があります。各 I/O バンクは、バンク内の  $V_{CCIO}$  ピンで個別にパワーアップされ、他の I/O バンクの  $V_{CCIO}$  からは独立しています。マルチ電圧システムをサポートするために 8 つの I/O バンクが提供され、さらに柔軟性が向上しています。出力バッファは、 $V_{CCIO}$  が Cyclone III デバイス・データシートに記載されている I/O 規格の推奨動作範囲外にある場合、コンフィギュレーションされた I/O 規格の仕様を満たしません。

1 つの I/O バンクには 1 つの  $V_{CCIO}$  電圧しかありませんが、Cyclone III デバイスでは入力信号を追加することができます。



許容入力および出力レベルに関する情報は、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスの I/O 機能」の章を参照してください。

Cyclone III の各 I/O バンクには、電圧リファレンス形式の I/O 規格に対応する  $V_{REF}$  バスがあります。1 つの I/O バンク内の複数の  $V_{REF}$  ピンが、共有  $V_{REF}$  バスに接続されます。各バンクが一度にサポートできるのは、1 つの  $V_{CCIO}$  電圧レベルと 1 つの  $V_{REF}$  電圧レベルだけです。 $V_{REF}$  は、ロジック・スレッシュホールドを決定するための電圧リファレンス形式入力 (SSTL および HSTL I/O 規格) のリファレンス電圧として使用されます。したがって、 $V_{REF}$  にノイズがないことが重要です。リファレンス電圧に対するノイズの抑制については、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスの I/O 機能」の章にあるパッド配置ガイドラインに従ってください。 $V_{REF}$  ピンの電圧変動は、入力動作のスレッシュホールド感度に影響を及ぼすことがあります。電圧リファレンス形式の入力を  $V_{REF}$  グループに使用しない場合、Quartus II ソフトウェアは  $V_{REF}$  ピンを I/O ピンとして使用するために自動的に解放しますが、パワー・バスの負荷によりピン・キャパシタンスが高くなります。

### 外部メモリ・インタフェース

Cyclone III デバイスは、DDR2 SDRAM、DDR SDRAM および QDR II SRAM へのインタフェースをサポートしています。デバイス集積度およびパッケージに応じて、I/O バンクのそれぞれのサイドは、最大  $\times 36$  モードのメモリ・インタフェースをサポートします。Cyclone III デバイスでは、 $\times 8$ 、 $\times 9$ 、 $\times 16$ 、 $\times 18$ 、 $\times 32$ 、および  $\times 36$  モードがサポートされています。Pin Planner ツールはメモリ・インタフェースのピン・アサインメントの決定および作成を支援します。

一般に、外部メモリ・インタフェースのクロック・レートを高くするには、サイド I/O バンクではなくトップまたはボトム I/O バンクを選択します。Cyclone III デバイスは、最大 200 MHz の外部メモリ・インタフェースをサポートします。



メモリ規格に対するすべてのスピード・グレードの最大クロック・レートのサポートについては、「Cyclone III デバイス・ハンドブック Volume 1」の「外部メモリ・インタフェース」の章を参照してください。

### Pin-Out ファイル

Cyclone III Pin-Out ファイルには、デバイスのすべてのピンの位置に関する情報がパッケージごとに記載されています。また、I/O ピンが属している I/O バンクおよび  $V_{REF}$  グループに関する情報も含まれています。さらに、Pin-Out ファイルには専用ピンおよび汎用ピンに関する情報もあります。Pin-Out ファイルは、設計者がデザインの作成やボードの設計を行うときに使用する I/O ピンを決定するのに役立ちます。ボード・デザイン・ステージでは、I/O ピンの他に専用ピンや汎用ピンの位置も重要です。



Cyclone III デバイスのピン配置は、アルテラ・ウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) の資料ページのデバイス・ピンアウトを参照してください。

## コンフィギュレーション手法のプランニングおよび選択

デバイス・コンフィギュレーション手法は、システム設計者やボード設計者がシステムにデバイスを追加する必要があるかどうか判断できるように、初期段階で選択します。手法ごとに必要な接続が異なるため、ボード・レイアウトはプログラマブル・デバイスに使用するコンフィギュレーション手法に依存します。コンフィギュレーション・ピンに関連するボード・デザイン・ガイドラインについては、[16 ページの「ボード・デザインの検討事項」](#)を参照してください。

Cyclone III デバイスは、コンフィギュレーション・メモリ容量および時間を節減するコンフィギュレーション・データの圧縮復元機能を提供しています。これらのコンフィギュレーション機能のサポートは、選択したコンフィギュレーション手法によって異なります。また、Cyclone III デバイスには、オプションのコンフィギュレーション・ピンとボードおよびシステム・デザインに必要なすべての情報を取得するために、Quartus II ソフトウェアの起動時に決定および設定しなければならないオプションのリコンフィギュレーション・ピンもあります。Quartus II ソフトウェア設定およびボードおよびシステム・デザインに影響を与えるコンフィギュレーション・オプションに関連するピンについては、[30 ページの「デザインおよびコンパイル」](#)を参照してください。

デバイス集積度およびパッケージ・オプションに応じて、以下の5つのコンフィギュレーション手法のいずれかを使用して Cyclone III デバイスをコンフィギュレーションすることができます。

- アクティブ・シリアル (AS)
- アクティブ・パラレル (AP)
- パッシブ・シリアル (PS)
- ファースト・パッシブ・パラレル (FPP)
- JTAG (Joint Test Action Group)

コンフィギュレーション電圧規格が異なるコンフィギュレーション手法を選択するには、Cyclone III デバイスの MSEL ピンを High または Low にドライブします。MSEL ピンの設定に応じて、ファースト・パワー・オン・リセット (POR) 時間またはスタンダード POR 時間を選択できます。ファースト POR 時間は、動作を開始するためにデバイスに迅速なウェイクアップが要求される高速ウェイクアップ時間アプリケーションをサポートします。

Cyclone III デバイスでは、サポートされるコンフィギュレーション手法はデバイス集積度およびパッケージ・オプションによって異なります。例えば、EP3C16 デバイスの E144 パッケージでは AS、PS、および JTAG 手法をサポートしていますが、U484 パッケージでは AS、PS、FPP、AP および JTAG 手法がサポートされています。



サポートされているコンフィギュレーション手法については、[コンフィギュレーション・センタの Cyclone III デバイスのセクション](#)を参照してください。



Cyclone III デバイスでサポートされるデバイス集積度別のコンフィギュレーション手法とパッケージ・オプション、コンフィギュレーション電圧規格および POR 時間、必要なコンフィギュレーション手法の実行方法、および MSEL ピン設定など、必要なすべてのオプション・ピン設定については、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

アルテラのデバイス・コンフィギュレーション手法を初めて使用する場合は、どのコンフィギュレーション手法およびコンフィギュレーション手法の設定方法を選択すればよいか分からない場合があります。一般に、アルテラのコンフィギュレーション手法は、アクティブ・コンフィギュレーション手法またはパッシブ・コンフィギュレーション手法に分類されます。システム要件に最適なコンフィギュレーション手法を選択するときは、コンフィギュレーション時間も考慮したい場合があります。コンフィギュレーション時間は、コンフィギュレーション手法ごとに異なり、コンフィギュレーション・ファイル・サイズ、コンフィギュレーション・データ幅、ドライブ・クロックの周波数、およびフラッシュ・アクセス時間に依存します。



コンフィギュレーション手法の選択を支援するために、[コンフィギュレーション・センタ](#)を提供しています。このウェブ・ページには、アルテラの FPGA コンフィギュレーション手法の概要とデザインに最適な手法の手引きや、手法の比較を提供する、[コンフィギュレーション・ガイドライン](#)へのリンクが含まれています。

すべてのコンフィギュレーション手法では、コンフィギュレーション・デバイス、ダウンロード・ケーブル、または外部コントローラ (MAX<sup>®</sup> II デバイスまたはマイクロプロセッサなど) のいずれかを使用します。AS および AP 手法では、シリアル・コンフィギュレーション・デバイスまたはサポートされたフラッシュ・メモリなど、外部フラッシュ・メモリを使用します。PS、FPP、および JTAG 手法では、外部コントローラまたはダウンロード・ケーブルのいずれかを使用します。

### コンフィギュレーション・デバイス

AS コンフィギュレーション手法では、アルテラのシリアル・コンフィギュレーション・デバイス (EPCS) を使用することができます。汎用パラレル・フラッシュ・ファミリは、AP コンフィギュレーション手法で使用されます。コンフィギュレーション・デバイスがユーザの Cyclone III デバイスのコンフィギュレーション・ビットストリーム・ファイル・サイズをサポートしているかどうか確認してください。PS、FPP、または JTAG コンフィギュレーション手法では、MAX II デバイスまたはフラッシュ・メモリを使用したマイクロプロセッサのコンフィギュレーション手法を使用できます。AS および PS コンフィギュレーション手法では、規模の大きい Cyclone III デバイスのコンフィギュレーション・ファイルのサイズを低減する圧縮機能を使用することができます。



シリアル・コンフィギュレーション・デバイスについては、「コンフィギュレーション・ハンドブック Volume 2」の「シリアル・コンフィギュレーション・デバイス (EPCS1、EPCS4、EPCS16、EPCS64 および EPCS128) データシート」を参照してください。



サポートされている汎用パラレル・フラッシュ・ファミリについては、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

### ダウンロード・ケーブル

Quartus II プログラマは、アルテラ・プログラミング・ケーブルを介して PS または JTAG インタフェースを使用し、Cyclone III デバイスのコンフィギュレーションを直接サポートします。アルテラのダウンロード・ケーブルで接続されたデバイスにデザインの変更を直接ダウンロードして、簡単にプロトタイプを作成して、複数のデザインの繰り返しをすばやく連続して実行できます。同じダウンロード・ケーブルを使用してボード上のコンフィギュレーション・デバイスをプログラムし、SignalTap II ロジック・アナライザなどのデバッグ・ツールを使用することができます。



アルテラの最新のダウンロード・ケーブルの使用方法については、以下の使用を参照してください。

- USB-Blaster ダウンロード・ケーブル・ユーザガイド
- ByteBlaster II Download Cable User Guide
- EthernetBlaster Download Cable User Guide

### MAX II パラレル・フラッシュ・ローダ

システムに既にコモン・フラッシュ・インタフェース (CFI) フラッシュ・メモリがある場合は、それを Cyclone III デバイスのコンフィギュレーション・ストレージとしても使用できます。MAX II デバイスでパラレル・フラッシュ・ローダ (PFL) 機能を使用することにより、JTAG インタフェースを通じて CFI フラッシュ・メモリ・デバイスをプログラムすることができます。また、フラッシュ・メモリ・デバイスから Cyclone III デバイスへのコンフィギュレーションを制御するためのロジックを提供し、コンフィギュレーション・データのサイズを縮小するための圧縮をサポートします。この PFL 機能を使用して、PS および FPP 両方のコンフィギュレーション・モードがサポートされます。このコンフィギュレーション手法を選択する場合、システム・デザイン・サイクルの初期段階でサポートされているフラッシュ・デバイスのリストをチェックし、それに応じてプランニングする必要があります。



PFL については詳しくは、「AN 386 : Using the Parallel Flash Loader with the Quartus II Software」を参照してください。

## コンフィギュレーション機能

この項では、Cyclone III のコンフィギュレーション機能、特にデータ圧縮およびリモート・システム・アップグレードと、これらの機能がデザイン・プロセスにどのように影響するか説明します。

### データ圧縮

データ圧縮機能をイネーブルにすると、Quartus II ソフトウェアは圧縮されたコンフィギュレーション・データでコンフィギュレーション・ファイルを生成します。この圧縮ファイルは、コンフィギュレーション・デバイスまたはフラッシュ・メモリで必要な容量を低減し、Cyclone III デバイスにビットストリームを送信するために必要な時間を短縮します。Cyclone III デバイスがコンフィギュレーション・ファイルを復元するために必要な時間は、コンフィギュレーション・データをデバイスに送信するために必要な時間よりも短くなっています。Cyclone III デバイスは、PS (MAX II デバイス / マイクロプロセッサ + フラッシュ使用時) および AS コンフィギュレーション手法で圧縮されたコンフィギュレーション・データの復元をサポートしています。Cyclone III の圧縮復元機能は、AP、FPP、または JTAG コンフィギュレーション手法では提供されていません。

コンパイルの前に圧縮をイネーブルにするためには、**Device & Pin Options** ダイアログ・ボックスの **Configuration** タブの **Generate compressed bitstreams** をイネーブルにしてください。プログラミング・ファイルを **Convert Programming Files** ウィンドウから作成するときに、圧縮をイネーブルにすることもできます。プログラミング・ファイルの **Properties** ダイアログ・ボックスを開いて、**Compression** をオンにします。



データ圧縮について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

### リモート・システム・アップグレード

Cyclone III デバイスは、AS および AP コンフィギュレーション手法でリモート・アップデートをサポートしています。リモート・アップデート・モードは、Quartus II ソフトウェアのオプション設定でイネーブルまたはディセーブルにすることができます。AS コンフィギュレーション手法では、シリアル・コンフィギュレーション・デバイスのコンフィギュレーション・メモリ容量を節約する必要がある場合は、コンフィギュレーション・データのリアルタイム復元と共にリモート・アップデートを実行することができます。altremote\_update メガファンクションを使用して、リモート・システム・アップグレード・インタフェースを実装できます。



リモート・システム・アップグレード機能について詳しくは、「Cyclone III デバイス・ハンドブック」の「Cyclone III デバイスのリモート・システム・アップグレード」の章を参照してください。



altremote\_update メガファンクションについて詳しくは、「altremote\_update Megafunction User Guide」を参照してください。

## PLL

Cyclone III PLL は、クロックの通倍と分周、位相シフト、プログラマブル・デューティ・サイクル、クロック・スイッチオーバ、PLL カスケード接続、PLL ダイナミック・リコンフィギュレーション、ダイナミック位相シフト、スペクトラム拡散クロック、外部クロック出力、およびコントロール信号など、多くの高度な機能を備えています。



PLL 機能について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「クロック・ネットワークおよび PLL」の章を参照してください。

### PLL アプリケーション

一般的に、PLL はクロック管理に使用することができます。PLL を使用すると、規模の大きいクロック・ネットワークのクロック遅延が減少し性能が向上します。また、クロックを復元し、伝送信号ラインによって生じたジッタをクリーンにすることもできます。FPGA のプログラマビリティにより、周波数、帯域幅、デューティ・サイクルなどのパラメータを容易に変更できます。

PLL を使用して設計を開始する前に、PLL に対して正しいアプリケーションを定義してください。

### PLL 設定の定義

ターゲットの Cyclone III デバイスで提供される機能に応じて、システム要件に基づいて PLL の設定を定義します。設定を決定するのに、以下のガイドラインが役立ちます。

#### PLL 入力および出力周波数

システム要件に基づき、PLL の入力周波数と出力周波数を定義します。Cyclone III の PLL は特定の帯域幅で動作可能です。入力周波数と出力周波数とその帯域幅に適合しない場合は、PLL をカスケード接続することができます。Cyclone III の PLL クロック入力は、専用のクロック入力ピンまたは別の PLL からの出力によってのみ供給することができます。PLL クロック入力は、内部で生成されたロジックまたは汎用 I/O ピンから供給することはできません。PLL クロック出力は、専用クロック出力ピンまたはグローバル・クロック・ネットワークをドライブすることができます。



1 個の PLL に入力周波数と出力周波数を実装できるかどうかを知るには、Quartus II ソフトウェアから altpll メガファンクションをインスタンス化するときに設定を入力します。



異なるデバイス・スピード・グレードに対する入力および出力周波数範囲の仕様については、「Cyclone III デバイス・ハンドブック Volume 2」の「Cyclone III デバイス・データシート:DC およびスイッチング特性」の章を参照してください。

### クロック入力数

Cyclone III PLL は、最大 2 つのクロック入力を備えています。一度に動作するのは 1 つのみです。クロック冗長性やデュアル・クロック・ドメインなどのアプリケーションの場合、PLL に 2 つのクロック入力が必要になります。クロック冗長性アプリケーションは、現在のクロックが存在しない場合にバックアップ入力クロックがあることを保証します。デュアル・クロック・アプリケーションでは、動作中に PLL を別の入力クロックに変更することができます。この機能は、クロック・スイッチオーバと呼ばれます。

Cyclone III デバイスは、自動およびマニュアル・クロック・スイッチオーバを備えています。自動クロック・スイッチオーバによって、現在のクロック入力を使用できなくなると PLL を別のクロック入力に変更できます。マニュアル・クロック・スイッチオーバでは、ユーザが入力クロックのスイッチを制御することができます。

これらのアプリケーションにPLLを使用しない場合、1つのクロック入力です。



クロック・スイッチオーバ機能は、altpll メガファンクションから有効にすることができます。

### クロック出力数

Cyclone III PLL は、最大 5 個のクロック出力 (c0-c4) を備えています。c0 クロック出力は、専用外部クロック出力ピン (推奨)、通常のユーザ I/O または専用グローバル・クロック・ネットワークに接続することができます。c1、c2、c3、および c4 は、ユーザ I/O ピンまたは専用グローバル・クロック・ネットワークに接続できます。

### クロック入力および出力 I/O 規格

専用クロック入力ピンは、PPDS、RSDS、および mini-LVDS 以外の Cyclone III デバイスでサポートされているすべての I/O 規格をサポートすることができます。専用外部クロック出力ピンは、Cyclone III デバイスでサポートされているすべての I/O 規格をサポートできます。



I/O 規格のサポートについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスの I/O 機能」の章を参照してください。

### PLL 規格

PLL を仕様に従って使用することが、機能と信頼性の確保に不可欠です。



その他の PLL 仕様については、「Cyclone III デバイス・ハンドブック Volume 2」の「Cyclone III デバイス・データシート : DC およびスイッチング特性」の章を参照してください。

## PLL デザイン

要件を定義した後、アプリケーションに応じて PLL を設計するために以下の項目を考慮する必要があります。

### 最適な補償モードの選択

Cyclone III デバイスは、4 つの補償モードをサポートしています。

モード	説明
ソース・シンクロナス・モード	このモードは、クロックと入力ピンから PLL でドライブされる I/O エlement (IOE) レジスタに送られるデータ間の位相関係を維持したい場合に使用します。
非補償モード	PLL 出力でより優れたジッタ性能が必要な場合には、このモードを選択します。
ノーマル・モード	このモードは、IOE または PLL でドライブされるロジック・エレメント (LE) レジスタのクロック・エッジをクロック入力ピンのクロック信号に位相調整する場合に選択します。
ゼロ遅延バッファ (ZDB) モード	このモードは、デバイス全体でゼロ遅延になるように、外部クロック出力ピンをクロック入力ピンに位相調整する場合に選択します。

### PLL ダイナミック・リコンフィギュレーションおよび位相ステップ

この機能は、デバイス全体をリコンフィギュレーションしないで PLL 設定を変更したい場合に使用します。この機能の 2 つの主要アプリケーションは、コンフィギュレーション・ファイルを再生成することなく、新しい PLL 設定で 2 つの出力周波数を切り替え、clock-to-output ( $t_{CO}$ ) 遅延をリアルタイムで調整します。



ダイナミック・リコンフィギュレーション機能は、altpll メガファンクションをインスタンス化して有効にすることができます。それによって、altpll\_reconfig メガファンクションをインスタンス化することで、この機能を簡単に使用できるようになります。



最大リコンフィギュレーション・クロック周波数 (fscanclk) およびスキャン・チェーン (tconfigpll) のリコンフィギュレーションに必要な標準時間については、「Cyclone III デバイス・ハンドブック Volume 2」の「Cyclone III デバイス・データシート : DC およびスイッチング特性」の章を参照してください。

**PLL コントロール信号**

アプリケーションによっては、PLL の使用時に必ず必要な 3 つの主要コントロール信号があります。

信号	説明
areset	このコントロール・ピンはイネーブルされると、各 PLL に対する入力リセット・ピンになります。ダイナミック・リコンフィギュレーションおよびクロック・スイッチオーバー機能をイネーブルする場合は、このコントロール・ピンをイネーブルする必要があります。また、ロックされた信号が Low になると PLL が自動的にリセットされるよう、altpll メガファンクションを使用してロック機能喪失時の自動リセットもイネーブルしなければなりません。 areset 信号 ( $t_{ARESET}$ ) の最小パルス幅については、「Cyclone III デバイス・ハンドブック Volume 2」の「Cyclone III デバイス・データシート: DC およびスイッチング特性」の章を参照してください。
locked	このコントロール・ピンは、イネーブルされると各 PLL の出力ピンになります。High のとき、PLL は基準クロックにロックし、PLL クロック出力は目的の位相および周波数で動作しています。PLL クロック出力を使用するシステムがクロック出力の有効性に応じて反応するよう、この信号をモニタするためのデザインを作成する必要があります。
pfdena	このコントロール・ピンは、イネーブルされると各 PLL の入力ピンになります。入力クロックがディセーブルされていても、システムで PLL からの特定のクロック周波数が必要な場合は、シャット・ダウンする前に現在の設定を保存する時間が確保されるよう、このピンをイネーブルする必要があります。

**デザインのデバッグ**

Quartus II ソフトウェアは、オン・チップ・デバッグを行うための方法をいくつか備えています。使用方法によっては、デバッグ・プロセスに追加リソースを利用できるよう、早期のシステム・プランニングが重要です。

SignalTap II エンベデッド・ロジック・アナライザ、SignalProbe、イン・システム・ソースおよびプローブ、ロジック・アナライザ・インタフェース、In-System Memory Content Editor、および Virtual JTAG メガファンクションを使用してオン・チップ・デバッグを実行するには、JTAG 接続が必要です。このために、ボードは JTAG ポートを搭載している必要があります。JTAG 接続は JTAG コンフィギュレーションにも使用できます。

デバイスがオン・チップ・デバッグをサポートするためのリソースを搭載していることを確認します。デバッグ手法では、JTAG インタフェース・ロジックを実装するための追加 LE が必要です。SignalTap II エンベデッド・ロジック・アナライザでは、LE の他にデータをキャプチャするために Cyclone III デバイスの M9K メモリが必要になります。また、SignalProbe またはロジック・アナライザ・インタフェースによるデバッグのために、一部の未使用 I/O ピンを予約する必要があります。

## ボード・ デザインの 検討事項

この項では、ボードを設計するときの検討事項に関する情報を提供します。

### I/O の検討事項

#### 3.3/3.0/2.5 V LVTTTL/LVCMOS インタフェース

Cyclone III デバイスは 1.2 V ~ 3.3 V のインタフェース電圧レベルをサポートするように設計されており、柔軟な I/O インタフェースの実装に対するニーズに応えます。Cyclone III デバイスを使用して、3.3 V LVTTTL を最大 8 mA で、3.3 V LVCMOS を最大 2 mA で直接ドライブできます。Cyclone III デバイスを 3.3/3.0/2.5 V LVTTTL/LVCMOS システムでレシーバとして使用する場合、「Cyclone III デバイス・ハンドブック」の Cyclone III の絶対最大 DC 入力電圧および最大許容オーバーシュート/アンダーシュート電圧要件を含む動作条件に従う必要があります。

Cyclone III を 3.3/3.0/2.5 V 電圧レベルにインタフェースする場合、デバイスの信頼性を確保するには「AN 447: Cyclone III デバイスと 3.3 V/3.0 V/2.5 V LVTTTL/LVCMOS I/O システムのインタフェース」のガイドラインに従います。

#### パッド配置の検討事項

バンクの  $V_{CCIO}$  電源は、バンク内のスイッチング出力からのノイズに敏感です。 $V_{CCIO}$  電源で許容ノイズ・レベルを維持するために、差動パッドに対するシングル・エンド I/O パッドの配置に制約があります。Quartus II ソフトウェアは、これらの制約を自動的にチェックします。

バンクでシングル・エンド電圧リファレンス形式の入力を使用すると、Quartus II ソフトウェアは  $V_{REF}$  パッドおよび電源ペア ( $V_{CCIO}$  と GND) に対する出力の配置に関する制約を自動的にチェックします。この制約は  $V_{CCIO}$  電源で許容ノイズ・レベルを維持し、 $V_{REF}$  レールのシフトによる出力スイッチング・ノイズを防止するためのものです。



「Cyclone III デバイス・ハンドブック」の「Cyclone III デバイスの I/O 機能」の章の「パッド配置および DC のガイドライン」の項で、サポートされている各差動 I/O 規格の差動パッドに対するシングル・エンド・パッドの配置ガイドラインを提供しています。電圧リファレンス形式の入力パッドがバンクに存在する場合の入力、出力、および双方向パッドの配置ガイドラインも、同じ項に記載されています。

特定のアプリケーションでは、Quartus II ソフトウェアでの制約チェックを緩和することができます。例えば、トグルしないシングル・エンド・ピンがある場合、それを差動ピンの近くに安全に配置して、ピン配置チェックを省略することができます。Quartus II ソフトウェアでこれを設定するには、Assignment Editor で、ピンの Toggle Rate アサインメントに 0 MHz のトグル・レートを割り当てます。Output Enable Group アサインメントは、 $V_{REF}$  グループで電圧リファレンス形式の入力を使用する場合に、外部メモリ・インタフェースで出力ピンまたは双方向ピンの効率的な配置を可能にするのに特に有用な設定です。



これらの機能の実装について詳しくは、「Quartus II ハンドブック Volume 2」の「I/O Management」の章を参照してください。

### 同時スイッチング・ノイズの最小化

近接する多数のピンが同時にレベルを変化させ、近くのノイズの少ないピンに $V_{CC}$ サグまたはグラウンド・バウンスが発生した場合、同時スイッチング・ノイズ (SSN) が問題になります。SSN で発生したノイズによって、ノイズ・マージンが減少し誤ったスイッチングが発生する可能性があります。

デザインの作成時は、同時にスイッチングするピンを分離して配置するようにします。可能な場合は、スイッチング・ピンを異なる I/O バンクに振り分けます。付近にある未使用 I/O ピンを  $V_{CC}$  に設定して  $V_{CC}$  サグを抑えるか、グラウンドに設定してグラウンド・バウンスを最小化します。また、低速スルー・レート機能をオンにして、スイッチング・ピンに低いドライブ強度を使用することもできます。

ボード上のデカップリング・コンデンサを使用して I/O ピンおよび電源のノイズを低減することができます。スイッチング I/O ピンを適切に終端することで、ノイズの少ないピンでの反射や SSN の影響も減少します。



ボード・デザイン・ガイドラインについては、「AN 224: 高速ボード・レイアウト・ガイドライン」および「AN 315: 高速 FPGA のプリント基板の設計ガイドライン」を参照してください。

### 未使用ピンの接続

デザインをコンパイルすると、Quartus II ソフトウェアはピン・レポート・ファイル (.pin) を生成します。このレポート・ファイルは、デバイスの未使用ピンの接続方法を指定します。Cyclone III デバイスの場合、未使用 I/O ピンは Quartus II ソフトウェアでの設定に応じて、レポート・ファイルでは以下のいずれかの名称になります。

- GND\*
- RESERVED
- RESERVED\_INPUT
- RESERVED\_INPUT\_WITH\_WEAK\_PULLUP
- RESERVED\_INPUT\_WITH\_BUS\_HOLD

GND\* として指定されるすべての I/O ピンは、デバイスのノイズ耐性を向上させるためにグラウンドに接続するか、未接続のままにすることができます。これらの I/O ピンは未指定の信号をドライブするため、ボード上ではすべての RESERVED の I/O ピンは未接続のままにしておきます。RESERVED の I/O ピンが  $V_{CC}$ 、グラウンド、またはその他の信号ソースと接続されると競合が起り、デバイスの出力ドライバが損傷されることがあります。

ボード上で、RESERVED\_INPUT ピンは High または Low 信号に接続することができ、RESERVED\_INPUT\_WITH\_WEAK\_PULLUP ピンおよび RESERVED\_INPUT\_WITH\_BUS\_HOLD ピンは未接続のままにしておくことができます。

### 終端方法

信号ラインでの信号反射を防止するために、正しい終端を行うことが重要です。ボードで使用する終端方法は、使用する I/O 規格および信号の伝達方向に応じて異なります。直列終端および並列終端を使用できます。一般的なガイドラインとして、直列終端は通常トランスミッタで使用され、並列終端はレシーバ端で使用されます。終端抵抗の値は、トレース・インピーダンスと一致しなければなりません。また、終端方法に基づき、最適な抵抗値を取得するためにボード・レベルのシミュレーションを実行することもできます。

Cyclone III デバイスは、ボード上の直列終端抵抗を置換できる直列 On-Chip Termination (キャリブレーション付き / なし) を備えています。



各種終端方法については、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスの I/O 機能」の章、「AN 224: 高速ボード・レイアウト・ガイドライン」、および「AN 315: 高速 FPGA のプリント基板の設計ガイドライン」を参照してください。

### ボード・レベル・シミュレーション

選択した I/O 信号がボード・セットアップにおいて確実にレシーバ・スレッショルド・レベルを満たすようにするには、Cyclone III IBIS または HSPICE モデルを使用するサードパーティ製のボード・レベル・シミュレーション・ツールでシミュレーションを実行します。IBIS モデルと HSPICE モデルは、いずれも I/O バッファの動作を記述したのですが、方法が異なります。IBIS モデルは I/O バッファを電圧-電流および電圧-時間データ曲線で示し、HSPICE モデルは I/O バッファをトランジスタ特性、寄生キャパシタンス、相互の接続などの物理的特性で記述しています。IBIS モデルと HSPICE モデルは、入手可能になると [www.altera.co.jp](http://www.altera.co.jp) からダウンロードできます。また、Quartus II ソフトウェアを使用してデザインに対するカスタム IBIS モデルおよび HSPICE モデルを作成し、これらのモデルでシミュレーションを実行して、ボード信号における終端方法の効果をチェックすることも可能です。



IBIS および HSPICE モデルを使用したシミュレーションの実行については、「Quartus II ハンドブック Volume 3」の「サードパーティ・シミュレーション・ツールでのアルテラ IP のシミュレーション」の章を参照してください。

## 消費電力の検討事項

この項では、ボード設計者が Cyclone III デバイス用ボードを設計する際のガイドラインについて説明します。

### ボードの電源

システム・ノイズを低減するには、電源がクリーンであることが重要です。パワー・プレーンへのノイズをフィルタするために、電源がボードのパワー・プレーンに入る位置にフェライト・ビーズとタンタル・コンデンサを配置します。一般に、タンタル・コンデンサはキャパシタンス値に高い安定性が要求される回路に使用されます。

フェライト・ビーズは電源とパワー・プレーン間に直列に接続し、コンデンサはパワー・プレーンとグラウンド間に並列に接続する必要があります。さまざまな周波数のノイズをフィルタするには、異なる値のコンデンサを組み合わせで使用します。



電源ノイズの最小化については、「AN 224: 高速ボード・レイアウト・ガイドライン」および「AN 315: 高速 FPGA のプリント基板の設計ガイドライン」を参照してください。

Cyclone III PLL は、追加の電源 ( $V_{CCA}$  および  $V_{CCD}$ ) が必要です。PLL には、デジタル・デバイスに組み込まれたアナログ・コンポーネントが搭載されているため、ボードを設計するための検討事項がいくつかあります。

- ジッタを抑えるには以下を実行します。
  - 電源から各  $V_{CCA}$  ピンに厚い配線パターン (最低 20 mils) を走らせる。
  - すべての  $V_{CCD}$  電源ピンをボード上で最もノイズの少ないデジタル電源に接続する。
- デバイスで PLL を使用するかしないかに関係なく、すべての  $V_{CCA}$  ピンおよび  $V_{CCD}$  電源ピンがそれぞれ 2.5 V 電源と 1.2 V 電源に接続されていることを確認します。
- $G_{NDA}$  ピンおよび  $G_{ND}$  ピンは、デバイスのデジタル・グラウンドと同じグラウンド・プレーンに接続する必要があります。



PLL のボード・レイアウトの検討事項について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「クロック・ネットワークおよび PLL」の章を参照してください。

## デバイスのパワーアップ

多くのアプリケーションでは、デバイスのパワーアップ時の動作、特にシステム動作中にシステムでボードを抜き差しするときの動作を把握することが重要です。検討事項には、I/O 動作、電源およびタイミングの条件が含まれます。Cyclone III デバイスにデザインを正常に実装するためには、ボードのデザインとコンフィギュレーションのセットアップを開始する前に、この項で説明する条件と検討事項を確認してください。

### テクノロジー

Cyclone III デバイスは、コンフィギュレーション前にデバイスのパワーアップ・シーケンスを制御するホット・ソケットおよびパワー・オン・リセット (POR) 回路を用いて設計されています。これらの回路は、Cyclone III デバイスがコンフィギュレーション可能な状態になることを保証し、これらのステージにおけるデバイス・インタフェースでの不確実性に対応します。また、Cyclone III デバイスが外部デバイスを使用することなく、ホット・スワップが可能になるようにします。図 1 に、Cyclone III デバイスのパワーアップ・ステージを示します。



ホット・ソケットおよびパワー・オン・リセット回路動作について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「ホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

図 1. Cyclone III のパワーアップ・ステージ

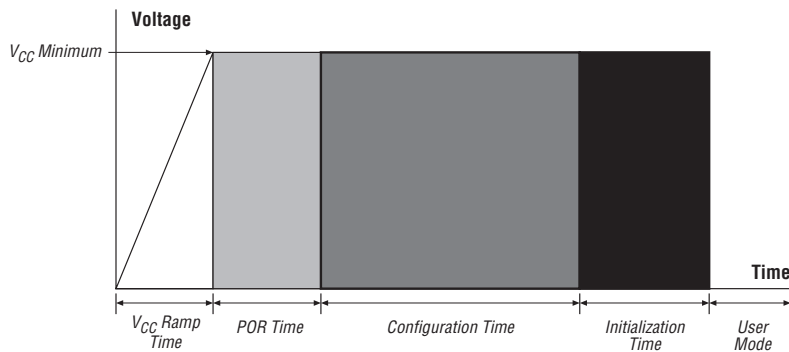


図 1 の注:

- (1) V<sub>CC</sub> ランプは、モノトニック (単調増加) でなければなりません。

要件と動作

表 5 に、Cyclone III デバイスの要件と動作をコンフィギュレーション前のステージごとに詳細に示します。

表 5. 各種パワーアップ・ステージでのデバイスの要件および動作		
ステージ	セットアップ	
	要件	動作
プリパワーアップ	<p>デバイスにダメージを与えることなく、信号を Cyclone III の I/O ピン、専用入力ピン、および専用クロック・ピンに入力することができます。デバイスに必要な POR 時間を、ファースト POR (3 ms ~ 9 ms) またはスタンダード POR (50 ms ~ 200 ms) のいずれかから決定します。選択は、MSEL ピンの設定で決定します。</p>	適用されません。
V <sub>CC</sub> ランプ	<p>電源の任意のパワーアップ・シーケンスをサポートできます。 V<sub>CCIO</sub>、V<sub>CCINT</sub>、および V<sub>CCA</sub> が必要です。コンフィギュレーション・ピン (1、6、7、および 8) を持つバンクの V<sub>CCIO</sub> が必要です。電源は、ファースト POR の場合は 50 μs ~ 3 ms、スタンダード POR の場合は 50 ms の所要 POR に準じたランプ・レートを満たす必要があります。ファースト POR は、Cyclone III デバイスが迅速にウェイクアップして動作を開始する必要があるときに使用されます。MSEL ピン設定を使用して、POR を選択します。[Cyclone III デバイス・ハンドブック Volume 1] の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。 V<sub>CC</sub> ランプは、モニタリングでなければなりません。</p>	<p>出力バッファは、すべての条件でトライ・ステートになります。以下に例を示します。</p> <ul style="list-style-type: none"> <li>● V<sub>CCINT</sub>の前にV<sub>CCIO</sub>がパワーアップされる場合</li> <li>● I/O パッド電圧がV<sub>CCIO</sub>より高い場合</li> <li>● ホット・ソケット中の突発的な電圧スパイク (オーバーシュート) の場合</li> </ul> <p>パワーアップ・サイクル中にドライブ・アウトすることが期待されるコンフィギュレーション・ピンは除外されます。これらのピンに対するホット・ソケット回路はありません。ホット・ソケット中には、I/O ピンから V<sub>CCINT</sub> または V<sub>CCIO</sub> への電流経路はありません。ホット・ソケット中のリーク電流またはドライブ電流については、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。ラッチ・アップが発生しないため、V<sub>CC</sub> から GND に大きな電流が流れる低インピーダンス・バスは生じません。</p>
POR	<p>V<sub>CC</sub> ランプを目的の動作電圧レベルに維持します。 最大 V<sub>CC</sub> ランプ時間を満たすことができない場合は、外部コンポーネントを使用して、電源が最小推奨動作レベルに達するまで、nCONFIG を Low に保持してください。そうしないと、デバイスが正しくコンフィギュレーションされず、ユーザ・モードに入らない可能性があります。</p>	<p>出力バッファはトライ・ステートのままです。POR 回路は、コンフィギュレーションがトリガされる前に、すべての V<sub>CC</sub> 電源が安定し、許容レベルに到達するまでデバイスをリセット状態に維持します。</p>

Cyclone III デバイスがユーザ・モードになった後も、POR 回路は  $V_{CCINT}$  および  $V_{CCA}$  ピンを継続してモニタするため、ユーザ・モード中のブラウン・アウト状態を検出できます。ユーザ・モード中に、 $V_{CCINT}$  および  $V_{CCA}$  電圧が POR トリップ・ポイント以下に低下すると、POR 回路がデバイスをリセットします。ユーザ・モード中に  $V_{CCIO}$  電圧が低下した場合、POR 回路はデバイスをリセットしません。



パワー・オン・リセットについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「ホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

## コンフィギュレーション・ピンの接続

コンフィギュレーション手法に応じて、異なるプルアップまたはプルダウン抵抗あるいはシグナル・インテグリティ要件が適用される場合があります。また、一部のコンフィギュレーション・ピンには、未使用の場合には特定の要件があります。コンフィギュレーション・ピンは正しく接続することが重要です。この項では、一般的な問題に対処するためのガイドラインを提供します。



ピンが Quartus II プロジェクトで選択されたコンフィギュレーション手法の一部である場合、兼用コンフィギュレーション・ピンの内部 PCI クランプ・ダイオードはオフになります。



専用および兼用コンフィギュレーション・ピンのリスト、および機能の説明と接続ガイドラインについては、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

## コンフィギュレーションおよび JTAG ピンの I/O 電圧要件

AS コンフィギュレーション手法でシリアル・コンフィギュレーション・デバイスを使用する場合は、DATA[0] に対するシリアル・コンフィギュレーション・デバイスの近端で  $25\ \Omega$  直列抵抗を接続しなければなりません。Cyclone III デバイスをマルチデバイス・コンフィギュレーションでカスケード接続する場合は、DATA および DCLK に対する Cyclone III マスタおよびスレーブ・デバイス間に、リピータ・バッファを接続する必要があります。リピータ・バッファの出力抵抗は、 $0.8Z_0 = R_E = 1.8Z_0$  で与えられる最大オーバーシュートの等式に適合しなければなりません。この等式で、 $Z_0$  は、伝送ライン・インピーダンス、 $R_E$  は出力バッファの等価抵抗です。



コンフィギュレーション要件については、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

## DCLK/TCK シグナル・インテグリティ

適切なデザイン手法を使用して、ボード上で DCLK および TCK トレースを設けることによって、オーバーシュート、アンダーシュート、またはリングングのないクリーンな信号が生成されます。ボードを設計するときは、クロック・ラインのレイアウトと同じ手法を使用して DCLK トレースと TCK トレースをレイアウトします。DCLK 信号にノイズが多い場合、コンフィギュレーションが影響を受け、nSTATUS エラーが発生することがあります。TCK トレースが、オーバーシュート、アンダーシュート、またはリングングのないクリーンな信号を生成するようにしてください。Cyclone III デバイスのチェーンでは、チェーン内の各デバイスの DCLK ピンまたは TCK ピンのノイズによって、チェーン全体のコンフィギュレーションまたは JTAG プログラミングが失敗することがあります。



チェーン内のデバイスの接続について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

## JTAG/ コンフィギュレーション・ピンのプルアップ/プルダウン

デバイスが ISP モードまたはユーザ・モードのとき、あるいはパワーアップ中に JTAG ピンにノイズがあると、デバイスは未定義状態または未定義モードになる場合があります。アルテラでは、抵抗を通して TCK ピンを Low に、TMS ピンを High に接続することを推奨しています。

$V_{CCINT}$  がパワーアップされると、JTAG 回路がアクティブになります。TMS および TCK ピンが  $V_{CCIO}$  に接続され、 $V_{CCIO}$  がパワーアップされていない場合、JTAG 信号はフローティング状態のままです。TCK ピンに遷移があると、JTAG ステート・マシンが不定状態になり、 $V_{CCIO}$  が最終的にパワーアップされたときに誤動作が生じる可能性があります。パワーアップ時に JTAG ステート・マシンのディセーブルするには、TCK ピンを Low にプルして、TCK 上に偶発的に立ち上がりエッジが発生しないようにします。

## JTAG/ コンフィギュレーション・チェーン接続

デバイスの JTAG ピンをダウンロード・ケーブルのヘッダに正しく接続します。チェーン内に複数のデバイスがある場合、1つのデバイスの TDO ピンをチェーン内の次のデバイスの TDI ピンに接続します。

すべての I/O 入力は 4.1 V の最大 AC 電圧を維持する必要があります。2.5 V、3.0 V、または 3.3 V の  $V_{CCIO}$  を使用する場合、JTAG ピンには電圧オーバーシュートを防止するための内部 PCI クランプ・ダイオードがないため、ダウンロード・ケーブルの  $V_{CC}$  を、 $V_{CCA}$  からの 2.5 V 電源でパワーアップしなければなりません。1.2 V、1.5 V、または 1.8 V のデバイス  $V_{CCIO}$  を使用する場合、ダウンロード・ケーブルの  $V_{CC}$  を、 $V_{CCIO}$  からの電源でパワーアップすることができます。



JTAG コンフィギュレーション・チェーンについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。AS、AP、PS、FPP など、他のコンフィギュレーション手法では、チェーン内の FPGA デバイスをカスケード接続することもできます。

### マルチ・ドライブ・マルチ VCCIO (レベル・シフト)

ターゲット・ボードの 10 ピン・ヘッダからアルテラのダウンロード・ケーブルに供給される動作電圧により、ダウンロード・ケーブルの I/O 電圧レベルが決まります。すべての Cyclone III デバイスの JTAG ピンは、バンク 1 に存在し、それらの I/O 規格のサポートは、バンク 1 の  $V_{CCIO}$  設定によって制御されます。

ダウンロード・ケーブルはデバイスの JTAG ピンにインタフェースするため、ダウンロード・ケーブルの I/O 電圧と JTAG ピンの電圧が仕様に準拠していることを確認します。表 6 に、各ダウンロード・ケーブルでサポートされる I/O 電圧を示します。

ダウンロード・ケーブル	I/O 電圧		
	2.5 V $V_{CCA}$ (1)	1.8 V $V_{CCIO}$ (2)	1.5 V $V_{CCIO}$ (2)
USB-Blaster™	√	√	—
ByteBlaster™ II	√	√	√
ByteBlasterMV™	√	—	—
MasterBlaster™	√	—	—

#### 表 6 の注:

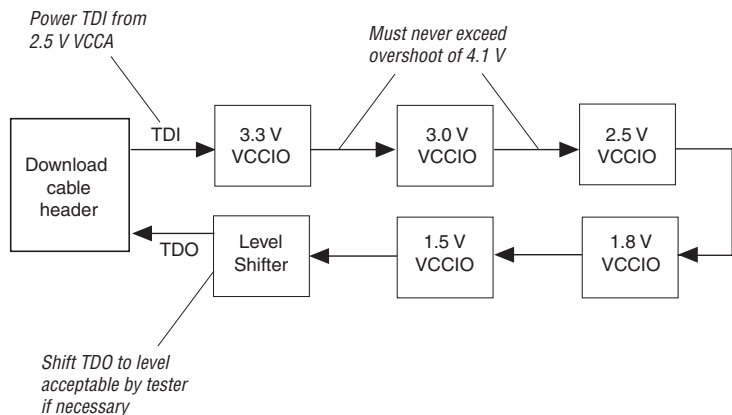
- (1) ダウンロード・ケーブルを Cyclone III デバイスにインタフェースする場合は、デバイスへのすべての I/O 入力は 4.1 V の最大 AC 電圧を維持する必要があります。アルテラでは、Cyclone III デバイスで 2.5 V、3.0 V、または 3.3 V の  $V_{CCIO}$  を使用する場合は、ダウンロード・ケーブルを 2.5 V の  $V_{CCA}$  でパワーアップすることを推奨しています。
- (2) 1.2 V、1.5 V、または 1.8 V のデバイス  $V_{CCIO}$  を使用する場合、ダウンロード・ケーブルの  $V_{CC}$  を、 $V_{CCIO}$  からの電源でパワーアップすることができます。ただし、アルテラのダウンロード・ケーブルは 1.2 V のターゲットの供給電圧をサポートしていません。



アルテラ・ダウンロード・ケーブルを使用した JTAG コンフィギュレーションについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章、および該当するダウンロード・ケーブル・ユーザガイドを参照してください。

$V_{CCIO}$  が異なるデバイスが含まれる JTAG チェインでは、 $V_{CCIO}$  レベルがより高いデバイスから  $V_{CCIO}$  レベルが同じまたはそれ以下のデバイスをドライブする必要があります。すべての I/O 入力は 4.1 V の最大 AC 電圧を維持する必要があります。2.5 V、3.0 V、または 3.3 V の  $V_{CCIO}$  を使用する場合に電圧オーバーシュートを防止するには、ダウンロード・ケーブルの  $V_{CC}$  を、 $V_{CCA}$  からの 2.5 V 電源でパワーアップする必要があります。1.2 V、1.5 V、または 1.8 V のデバイス  $V_{CCIO}$  を使用する場合、ダウンロード・ケーブルの  $V_{CC}$  を、 $V_{CCIO}$  からの電源でパワーアップすることができます。ただし、アルテラのダウンロード・ケーブルは、1.2 V のターゲット供給電圧をサポートしていません。このデバイス配置では、チェインの終端に 1 個のレベル・シフタのみ必要です。この配置が不可能な場合は、レベル・シフタをチェインに追加する必要があります。図 2 に、異なる  $V_{CCIO}$  を持つデバイスを含む JTAG チェインを示します。

図 2. JTAG チェイン内の異なる VCCIO を持つデバイス



### JTAG 信号のバッファリング

JTAG シグナル・インテグリティは、JTAG チェインをバッファする必要性を判断します。TCK 信号は、JTAG クロックであり、他の JTAG 信号と比べて最速のスイッチング信号なので、特に注意してください。アルテラではコネクタで信号をバッファすることを推奨しています。これはケーブルやボード・コネクタは伝送ラインの品質を劣化させる傾向があり、信号にノイズが発生させやすいからです。コネクタでの最初のバッファの後、チェーンが長くなったり信号がボード・コネクタを通過する必要がある場合は、バッファを追加してください。

3 個またはそれ以上のデバイスをケーブルがドライブする必要があるときは、信号が劣化しないようにケーブル・コネクタで信号をバッファします。信号をバッファするかどうかは、ボード・レイアウト、負荷、ボード上のコネクタ、ジャンパ、およびスイッチによっても異なります。JTAG 信号のインダクタンスまたはキャパシタンスに影響を与える要素が追加されると、チェーンにバッファが追加される可能性が高くなります。

並列にドライブされる TCK 信号と TMS 信号の場合は、各バッファが 8 つを超える負荷をドライブしないようにします。パスにジャンパまたはスイッチが追加されると、負荷の数が減少します。

### 未使用 JTAG ピンの接続

JTAG インタフェースを使用しない場合は、Cyclone III デバイスの JTAG ピンがフローティング状態（未接続）のままではなく、安定したレベルに接続されることを確認してください。JTAG コンフィギュレーションは、他のすべてのコンフィギュレーション手法より優先されるため、これらのピンをコンフィギュレーション中にフローティング状態のままにしたり、トグルしないようにする必要があります。

## MSEL コンフィギュレーション・モード・ピン

コンフィギュレーション手法を選択するには、Cyclone III デバイスの MSEL ピンを High または Low にドライブします。MSEL ピンは、それらのピンが存在するバンクの  $V_{CCINT}$  電源で駆動されます。MSEL[3..0] ピンには、常にアクティブな  $5\text{ k}\Omega$  内部プルダウン抵抗があります。パワー・オン・リセット (POR) およびリコンフィギュレーション中、MSEL ピンがロジック Low またはロジック High と判定されるには、それぞれ LVTTL  $V_{IL}$  レベルまたは  $V_{IH}$  レベルであることが必要です。不正なコンフィギュレーション手法の検出の問題を回避するために、MSEL ピンを  $V_{CCA}$  および GND にプルアップ抵抗またはプルダウン抵抗なしで接続してください。あるいは、テストまたはデバッグ中にコンフィギュレーション・モードを切り替えるために、各ピンを  $0\ \Omega$  抵抗で、 $V_{CCA}$  または GND のいずれかに接続できるようにボードを設定します。MSEL ピンをマイクロプロセッサや他のデバイスでドライブしてはなりません。MSEL ピンをフローティング状態のままにしないでください。



コンフィギュレーションについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。また、コンフィギュレーション問題のデバッグを支援するのに使用できるトラブルシュータへのリンクを含む [コンフィギュレーション・センタ](#) も参照してください。JTAG プログラミング問題をデバッグするための参考情報については、[JTAG Configuration & ISP Troubleshooter](#) を参照してください。FPGA のコンフィギュレーション問題をデバッグするには、[FPGA Configuration Troubleshooter](#) を参照してください。

## コンフィギュレーション・デバイス

アルテラのコンフィギュレーション・デバイス（EPCS4、EPCS16、EPCS64 および EPCS128）は、Cyclone III デバイスの AS コンフィギュレーション手法で使用されます。



シリアル・コンフィギュレーション・デバイスについて詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「シリアル・コンフィギュレーション・デバイス（EPCS1、EPCS4、EPCS16、EPCS64 および EPCS128）データシート」を参照してください。

### EPCS 接続

シリアル・コンフィギュレーション・デバイスの 4 ピン・インタフェースは、シリアル・クロック入力（DCLK）、シリアル・データ出力（DATA）、AS データ入力（ASDI）、およびアクティブ Low のチップ・セレクト（nCS）で構成されています。この 4 ピン・インタフェースは、Cyclone III デバイスの DCLK、DATA[0]、DATA[1]、および FLASH\_nCE ピンにそれぞれ接続します。AS コンフィギュレーション手法では、Cyclone III デバイスの FLASH\_nCE ピンは nCEO ピンとして機能し、DATA[1] ピンは ASDO ピンとして機能します。

シングル・デバイス AS コンフィギュレーション手法で、シリアル・コンフィギュレーション・デバイスを Cyclone III デバイスに接続する場合は、DATA[0] に接続するシリアル・コンフィギュレーション・デバイスの近端で 25 Ω 直列抵抗を接続しなければなりません。シングル・デバイス AS コンフィギュレーションでは、シリアル・コンフィギュレーション・デバイスから Cyclone III デバイスまでのボード・トレースの長さは 10 インチ以内とします。



AS コンフィギュレーション手法の接続について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

### Cyclone III デバイスの EPCS サポート

Cyclone III デバイスでは、アクティブ・マスタ・クロック周波数は標準 30 MHz、最大 40 MHz で動作します。Cyclone III デバイスは、最大 40 MHz をサポートするシリアル・コンフィギュレーション・デバイスとのみ連携して動作します。0.15 μm プロセス・ジオメトリで製造された EPCS4 の既存の製品は、最大 40 MHz の Cyclone III デバイスの AS コンフィギュレーションをサポートします。ただし、0.18 μm プロセス・ジオメトリで製造された EPCS4 の製品は、最大 20 MHz までしかサポートしていないため、Cyclone III デバイスの AS コンフィギュレーションをサポートしません。EPCS16 および EPCS64 シリアル・コンフィギュレーション・デバイスは影響を受けません。



0.15  $\mu\text{m}$  プロセス・ジオメトリと 0.18  $\mu\text{m}$  プロセス・ジオメトリの EPCS4 シリアル・コンフィギュレーション・デバイスを差異化する製品のトレーサビリティおよび移行日については詳しくは、アルテラ・ウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) の「PCN 0514 Manufacturing Changes on EPCS Family process change notification」を参照してください。

### フラッシュ・ピンおよびその他のピンの接続



AP コンフィギュレーション手法のフラッシュ・ピン接続については、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

### AP のフラッシュ

AP コンフィギュレーション手法では、汎用パラレル・フラッシュがコンフィギュレーション・メモリとして使用されます。Cyclone III デバイスの AP コンフィギュレーション・コントローラは、Intel StrataFlash<sup>®</sup> エンベデッド・メモリ (P30 および P33) フラッシュ・ファミリにインタフェースするよう設計されています。シリアル・コンフィギュレーション・デバイスとは異なり、AP コンフィギュレーション手法でサポートされる P30 および P33 フラッシュ・ファミリは、マイクロプロセッサとインタフェースするよう設計されています。ユーザ・モードでもアクセスできる業界標準マイクロプロセッサ・フラッシュからコンフィギュレーションできるため、AP コンフィギュレーション手法では同じフラッシュ・メモリ上でコンフィギュレーション・データとユーザ・データ (マイクロプロセッサ・ブート・コード) を結合することができます。

Intel P30 および P33 フラッシュ・ファミリは、フラッシュからのデータの読み出しに 40 MHz の DCLK 周波数で、連続同期バースト・リード・モードをサポートします。サポートされるスピード・グレードおよびパッケージ・オプションについては、対応するフラッシュのデータシートを参照する必要があります。例えば、Intel P30 および Intel P33 ファミリは 40 MHz のスピード・グレードのみサポートしますが、TSOP パッケージでは 40 MHz をサポートしていません。したがって、P30 および P33 FPGA パッケージは、AP コンフィギュレーション手法ではサポートされますが、TSOP パッケージはサポートされません。



アクティブ・パラレル・コンフィギュレーション手法およびサポートされるフラッシュについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

## デザイン および コンパイル

この項では、デザイン・プロセス中に検討する必要がある項目について説明します。これらの項目には、デザイン入力の検討事項と推奨事項、消費電力の検討事項、Cyclone III I/O ピンと PLL に関する情報、タイミングの検討事項、デザインでのシミュレーションの実行に関する情報が含まれます。

### デザイン・エントリ

Quartus II ソフトウェアにより、回路 / ブロック図またはハードウェア記述言語 (HDL) コーディングによるデザインの作成が可能になります。サポートされている一般的に使用される HDL 形式は、Verilog と VHDL です。単純なデザインの場合、回路図またはブロック図を使用するとデザインの作成作業が容易になります。しかし、ステート・マシンを備えたデザインなど、より複雑なデザインの場合は、HDL コーディングによって必要な柔軟性が得られ、場合によってはデザインの効率が向上することもあります。

デザインに HDL をデザイン入力として使用する場合、コーディング・スタイルに注意する必要があります。HDL コーディングは、デザインに対して達成されるロジック利用率と性能についての結果の品質に大きな影響を与えます。効率的なコーディングは、合成ツールがデザインを合成するときのパフォーマンス向上に役立ちます。



HDL コーディング・スタイルについて詳しくは、「Quartus II ハンドブック Volume 1」の「Recommended HDL Coding Styles」の章を参照してください。

Quartus II ソフトウェアは、ユーザが作成するメガファンクションのシンボル・ファイルまたは HDL ファイルを生成できます。ユーザはデザイン入力方法に関係なく、メガファンクションをデザインに統合することが可能です。また、HDL で記述されたデザインの特定のブロックに対するシンボル・ファイルを生成することもできます。それによって、デザインに HDL と回路図入力を混在させることができます。また、メモリなどの特定のデバイス・リソースを HDL によって推測することも可能です。

### サードパーティ EDA ツールを使用した HDL デザイン入力

Quartus II ソフトウェアの他に、サードパーティ EDA 合成ツールを使用して、一般的なハードウェア記述言語 (HDL) で記述されたデザインを合成することもできます。EDA ツールにより、デザインのネットリストが生成されます。このネットリストを Quartus II Fitter で使用して、配置配線手順を実行することができます。Quartus II Fitter 用のネットリストを生成できる EDA ツールには、Synplicity 社の Synplify および SynplifyPro ソフトウェア、Synopsys 社の Design Compiler、および Mentor Graphics® 社の Precision RTL Synthesis ソフトウェア、および LeonardoSpectrum™ ソフトウェアが含まれます。EDA ツールは、通常 .edf または .vqm 形式のデザイン・ネットリスト・ファイルを生成します。



サードパーティの合成ツールと Quartus II ソフトウェアの使用について詳しくは、「Quartus IIハンドブック Volume 1」の「合成」セクションを参照してください。

### SOPC Builder

SOPC Builder システム生成ツールは、プロセッサ、ペリフェラル、およびメモリをベースとしたシステムの作成に有用です。SOPC Builder では、System-On-a-Programmable-Chip (SOPC) をはるかに短い時間で構築できます。これは、システムのすべてのコンポーネントに対してデザインを作成する必要がないためです。SOPC システムはスタンドアロン・システムでもよく、あるいはカスタム・ロジック・デザインに統合することもできます。SOPC Builder は、Quartus II ソフトウェアに付属しています。



SOPC Builder および SOPC Builder を使用した SOPC システムの構築方法について詳しくは、アルテラ・ウェブサイトの [www.altera.co.jp/products/software/products/sopc/sop-index.html](http://www.altera.co.jp/products/software/products/sopc/sop-index.html) を参照してください。

### DSP Builder

アルテラの DSP Builder は、The MathWorks の MATLAB および Simulink システム・レベル・デザイン・ツールのアルゴリズム開発、シミュレーション、および検証機能を Quartus II ソフトウェアなどの VHDL および Verilog HDL デザイン・フローと組み合わせることによって、高水準アルゴリズムとハードウェア記述言語 (HDL) 開発ツールを統合します。

既存の MATLAB ファンクションや Simulink ブロックとアルテラの DSP Builder 提供ブロックやアルテラの IP (Intellectual Property) である MegaCore® ファンクションを組み合わせ、DSP アルゴリズム開発とシステム・レベル設計や実装を実現することができます。



DSP Builder および DSP Builder を使用した DSP システムの構築方法について詳しくは、アルテラ・ウェブサイトの [www.altera.co.jp/products/software/products/dsp/dsp-builder.html](http://www.altera.co.jp/products/software/products/dsp/dsp-builder.html) を参照してください。

### IP (Intellectual Property)

アルテラおよびアルテラのサードパーティ IP パートナは、広範な IP コアを提供しています。完全にパラメータ設定可能で性能が最適化されたこれらの IP コアは、十分にテストされ機能が実証されているので、これらの IP コアをデザインに使用して、設計およびテストに要する時間を節約することができます。これらの IP コアは評価用に提供されており、ライセンスを購入する前に機能とタイミングを検証することができます。

Nios II エンベデッド・プロセッサを備えたシステムに対しては、プロセッサ用の C/C++ コードを記述することができます。これは、ハードウェア記述言語よりも C/C++ プログラミング言語を使い慣れているシステム開発者にとって特に有用です。



アルテラおよびアルテラのサードパーティ IP パートナから提供されている IP コアについて詳しくは、[www.altera.co.jp/products/ip/ipm-index.html](http://www.altera.co.jp/products/ip/ipm-index.html) を参照してください。

## デザインの推奨事項

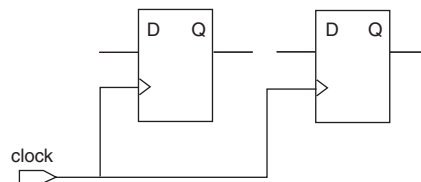
デザインが意図したとおりに機能することを保証するには、適切なデザイン手法（特にクロックに関連するもの）が不可欠です。

### 同期デザイン

同期デザインでは、クロック信号が信号遷移をトリガします。クロックのすべてのアクティブ・エッジで、レジスタのデータ入力がサンプリングされて、出力に転送されます。

図 3 に示すように、1つのクロック・ソースを使用してデザインのレジスタをクロックします。2 個のカスケード接続されたレジスタが異なるクロック・ソースまたはクロック・エッジでトリガされた場合、2 番目のレジスタでセットアップ時間の違反が発生して、2 番目のレジスタが最初のレジスタからのメタステーブルを解決するための十分な時間が得られず、その結果、2 番目のレジスタが不正な値をクロックする危険性があります。

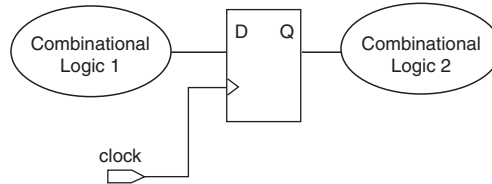
図 3. 同期デザイン



デザインからの組み合わせロジックの出力がデザインの他の部分に供給される場合、図 4 に示すように、信号がレジスタを通過するようにします。これは、組み合わせロジックの出力をクロック信号または非同期リセット信号として使用する場合に適用されます。組み合わせロジックを介した伝播遅延により、信号は多くの遷移を経て新しい値に確定される可能性があります。これは、組み合わせ出力の変化によって、不安定な期間が発生する場合がありますを意味します。

レジスタの入力はクロックの各アクティブ・エッジでのみサンプリングされ、デザイン（例えば、図 4 に示す組み合わせロジック 2）に転送されるので、レジスタのデータ入力で起こる遷移は、次のアクティブ・クロックのエッジまで、レジスタ出力またはデザインのその他の部分の入力に影響を与えません。レジスタのセットアップ時間およびホールド時間に違反しない限り、レジスタは、グリッチや他のロジックからの不安定な入力信号を効率よく分離します。

図 4. 組み合わせ出力信号のラッチ



デバイスへの入力信号をラッチすること、およびすべてのグリッチをフィルタすることを推奨します。Cyclone III の I/O は、この目的のための入力レジスタを備えています。入力信号用の入力レジスタを使用することにより、LE レジスタを使用する場合と比較して、セットアップ時間がより高速になります。これは **Fast Input Register** アサインメントと併せて実行できます。

また、LCELL プリミティブを使用してデザイン内の特定信号の遅延を増加させるなど、デザインをデバイスのアーキテクチャ内の遅延パスに依存させると、温度、電圧、プロセス変更、または配置配線の変更などの要因がデバイス内のロジック・パスのタイミングに影響を及ぼす可能性があるため、行うべきではありません。特定のパスのタイミングを変更すると、不要な機能の変化を引き起こし、デザインの機能に影響を与える可能性があります。同期化により、不要な機能の変化が排除されます。



デザインの同期化について詳しくは、「Quartus II ハンドブック Volume 1」の「アルテラ・デバイスのデザイン推奨事項」の章または **Quartus II Help** を参照してください。

## クロック

クロックは、デザインのタイミング精度、性能、および信頼性に大きな影響を及ぼすので重要です。クロックに関連する問題は、デザインにおいて機能およびタイミング問題を引き起こす可能性があります。設計段階では、クロックに関する次の項に注意してください。

### グローバル・クロック・ピンおよびクロック・ネットワーク

デザインへのクロック信号の入力には、専用クロック・ピンまたはグローバル・クロック配線を使用します。専用クロック・ピンはクロック・ネットワークを直接ドライブし、通常の I/O ピンを使用する場合と比較して、スキューが確実に低減されます。クロック・スキューが大きいと、ホールド・タイム違反が起こる可能性があります。クロック・ネットワークは Cyclone III デバイス全体をドライブするため、グローバル・クロックを使用して M9K メモリやロジック・アレイ・ブロックなどのデバイス内のすべての機能をドライブできます。クロック・ネットワークを使用すると、ファンアウトの大きい信号の遅延が予測可能でより安定したものになります。また、クロック・ピンとクロック・ネットワークを使用して、非同期リセットなどのコントロール信号をドライブすることも可能です。



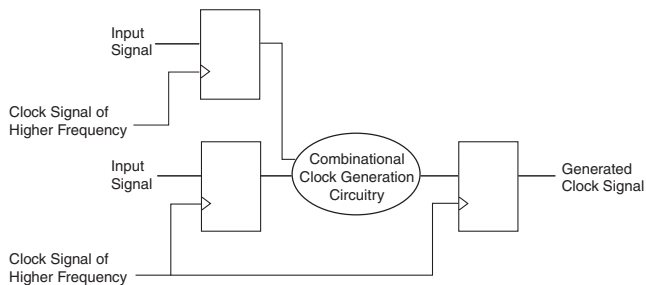
グローバル・クロック・ピンおよびクロック・ネットワークについて詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「クロック・ネットワークおよび PLL」の章を参照してください。

### 内部生成クロック

組み合わせロジックの出力は回路の入力に依存するので、この出力にはグリッチが発生します。入力信号は、組み合わせロジック回路に別々に到着して、グリッチを引き起こす可能性があります。また、入力信号にグリッチが存在する場合がありますが、組み合わせロジック回路はこれらのグリッチをフィルタしません。この組み合わせロジックの出力信号を他の回路のクロックとして使用する場合、これらのグリッチが機能上の問題を引き起こす可能性があります。

内部で生成されるクロックよりも高い周波数のクロック信号がある場合は、組み合わせ回路の入力信号と、クロックとして使用される回路からの出力信号を必ずラッチしてください (図 5)。組み合わせ回路の入力信号をラッチすることで、回路への信号の到着がクロックによって制御され、入力信号ですべてのグリッチがフィルタされます。回路からの出力信号をラッチすると、回路で発生するすべてのグリッチをフィルタすることができます。

図 5. 入力および出力信号のラッチ



### クロック分周

高い周波数クロックから低い周波数クロックを得るには、PLL を使用してクロックを分周します。PLL は予測可能な出力遅延を備えており、出力信号の位相を変更して遅延を補正することもできます。カスケード接続されたレジスタを使用してクロックを分周することは、結果的にクロックに遅延を発生させます。これはリップル・キャリー・レジスタ・チェーンにより実装されますが、チェーンを介して遅延が伝播され、入力クロックと出力クロックの間、および生成される異なる出力クロック間に位相シフトが生じます。また、遅延はレジスタの配置にも依存します。

### 反転クロック

1 個の LE で実装された NOT ゲートを使用する代わりに、PLL を使用して反転クロックを生成します。PLL により、出力信号の位相シフトを設定して、入力信号と出力信号の間の遅延を補正することができます。

### 多重化クロック

ユーザ・デザインによっては、異なるクロック・ソースの選択が必要です。専用のクロック・コントロール・ブロック、または Cyclone III デバイスの PLL クロック・スイッチオーバー機能を使用してクロック入力を多重化します。クロック・コントロール・ブロックにより、クロック・ピンまたはクロック・ネットワークのソースとしての PLL 出力のいずれかから、最大 4 つの異なるクロック・ソースを選択することが可能です。altclkctrl メガファンクションにより、2 本のクロック入力ピンと 2 つの PLL 出力からクロック・ソースをダイナミックに選択できます。

PLL クロック・スイッチオーバー機能では、クロック入力ピンまたは別の PLL からの出力クロックのいずれかから、2 つのクロック・ソースをダイナミックに選択することも可能です。



Cyclone III のクロック・コントロール・ブロックおよび PLL クロック・スイッチオーバー機能について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「クロック・ネットワークおよび PLL」の章を参照してください。



クロック・コントロール・ブロック用の altclkctrl メガファンクションの使用方法については、「altclkctrl Megafunction User Guide」を参照してください。



Cyclone III PLL 用の altpll メガファンクションの使用方法については、「altpll Megafunction User Guide」を参照してください。

### ゲート付きクロック

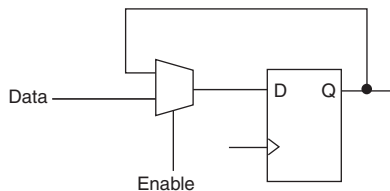
ゲート付きクロックにより、ユーザはクロック信号をオフにすることができます。ただし、Cyclone III デバイスのクロックをオフにする方法としては、クロック・コントロール・ブロックの使用が推奨されます。クロック・コントロール・ブロックにより、クロック・ネットワークをパワーダウンすることができます。altclkctrl メガファンクションを使用して、クロック・コントロール・ブロックをインスタンス化します。



Cyclone III クロック・コントロール・ブロックについて詳しくは、「クロック・ネットワークおよび PLL」の章「Cyclone III デバイス・ハンドブック Volume 1」、クロック・コントロール・ブロックの使用方法については、「altclkctrl Megafunction User Guide」を参照してください。

クロックをオフにする目的が、クロックするレジスタを停止してレジスタ出力の変化を防止することである場合は、図 6 に示すように、クロックをオフにする代わりに、レジスタへの入力をコントロールすることができます。クロック信号がトグルし続けている間、イネーブル信号はレジスタの入力をコントロールします。これにより、レジスタ出力は同じクロックを使用するその他のレジスタ出力に同期されます。レジスタへのクロックをゲートすると、クロックに余分な遅延が生じ、レジスタ出力が他の信号と同期されないことがあります。

図 6. 同期クロック・イネーブル



ロジック・リソースを使用してゲート付きクロックを実装する必要がある場合は、クロックをイネーブルまたはディセーブルするゲーティング信号をラッチして、ゲーティング信号に生じる可能性があるグリッチをフィルタします。そうしないと、ゲーティング信号からのグリッチがクロック信号に伝播することがあります。また、ソースでクロック信号をゲートしても、同じクロック信号でクロックされるデザイン内の異なるブロック間のクロック遅延差が最小化されます。

## チップ・ワイドのリセット

Cyclone III デバイスは、M9K ブロックのレジスタを含め、デバイス内のすべてのレジスタをクリアするチップ・ワイドのリセットをサポートします。このリセットはレジスタに関連するすべてのコントロール信号より優先されるため、デバイスをいつでも再初期化することができます。

Quartus II ソフトウェアからチップ・ワイドのリセットをイネーブルにするには、Assignments メニューの **Settings** をクリックします。Device の下の **Device & Pin Options** をクリックします。次に、General ウィンドウの **Enable device-wide reset (DEV\_CLRn)** をオンにします。デザインをコンパイルする前に、この機能をイネーブルにします。チップ・ワイドのリセット・オプションがオンの場合、DEV\_CLRn ピンを Low に保持すると、すべてのレジスタがリセットされます。この機能がオフの場合、DEV\_CLRn ピンは通常のユーザ I/O ピンとして機能します。

## レジスタ・パワーアップ・レベル

Cyclone III のレジスタのパワーアップ・レベルが High または Low になるよう選択することができます。デフォルトでは、デバイスがパワーアップしたときに、デバイス内のすべてのレジスタがクリアされ、ラッチされた出力信号が Low にドライブされます。レジスタがパワーアップ時に High になるよう設定すると、Cyclone III デバイスの電源投入時に別のデバイスのアクティブ Low 入力がアクティブになることはありません。レジスタがパワーアップ時に High になる機能は、Cyclone III デバイスへの電源投入時のシステム・リセット信号としても使用可能です。レジスタがパワーアップ時に High になるように設定されている場合、レジスタ出力は非同期クリア信号がアサートされるか、Low データ信号がクロック・インされるまで High に保持されます。非同期プリセット信号を使用して、デバイスがパワーアップされた後にレジスタ出力が High に保持されるようにすることができます。デザインをコンパイルする前に、Quartus II デザインのレジスタがパワーアップ時に High になるように設定します。

これを Quartus II ソフトウェアで設定するには、Assignment Editor に進み、[図 7](#)に示すように、レジスタのパワーアップ・レベル・アサインメントを High に設定します。

図 7. レジスタ・パワーアップ・レベル

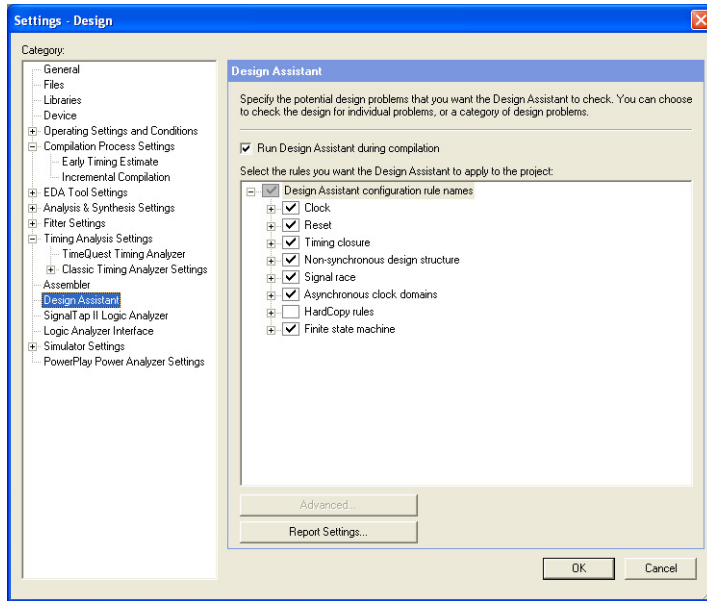
To	Assignment Name	Value	Enabled
reg_1	Power-Up Level	High	Yes
reg_1			Yes

## デザイン・アシスタント

Quartus II デザイン・アシスタントは、デザインのコンパイル中にアルテラ推奨のデザイン・ガイドラインまたはデザイン・ルールに基づいて、デザインの信頼性を解析します。デザイン・アシスタントは、クロック、リセット、タイミング・クロージャ、および非同期デザイン構造などの領域に関するルールをチェックします。デザイン・アシスタントでチェックしたい領域を選択することができます。デザイン・アシスタントは指定された設定に基づいてデザインの違反をレポートします。HardCopy ルールは、Cyclone III デバイスをターゲットとするデザインには適用されません。

デザイン・アシスタントをオンにするには、Assignments メニューの **Settings** をクリックします。**Design Assistant** の下のデザイン・ルールを選択します。[図 8](#)に、デザイン・アシスタントがチェックする領域を示します。

図 8. デザイン・アシスタントのルール



デザイン・アシスタントについて詳しくは、「Quartus II ハンドブック Volume 1」の「アルテラ・デバイスのデザイン推奨事項」の章を参照してください。

## インクリメンタル・コンパイル

インクリメンタル・コンパイルは、通常ボトムアップまたはトップダウン・デザインに使用されるより小さなパーティションに分割されているデザインに適しています。インクリメンタル・コンパイルは、デザインで変更されていないパーティションのコンパイル結果と性能を保持しながら、変更されているパーティションにのみ焦点を絞ることによって、コンパイル時間を短縮します。また、残りのパーティションに影響を及ぼすことなく、デザインの特定のパーティションに対して最適化を実行することもできます。

## 消費電力の最適化

この項では、デザインの消費電力を低減するのに役立つ、Quartus II ソフトウェアの機能とデザイン手法について説明します。

## Quartus II の消費電力の最適化機能

Quartus II ソフトウェアはパワー・ドリブン・コンパイルを提供して、デバイスのダイナミック消費電力を完全に最適化します。パワー・ドリブン・コンパイルは、解析および合成レベル、およびフィッタ・レベルで実行されるパワー・ドリブン・シンセシスとパワー・ドリブン配置配線を使用して、デザインの全消費電力を低減することに重点を置いています。デザインによっては、消費電力が最適化された合成とフィッティングを使用して、ダイナミック消費電力を平均で最大 16% 低減できます。アルテラは消費電力を最小限に抑えるために、両方のオプションをアクティブにすることを推奨しています。ただし、消費電力の最適化よりもデザインのタイミング制約要件を優先させる必要があります。



パワー・ドリブン・コンパイルについて詳しくは、「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章を参照してください。

Quartus II ソフトウェアには、プロジェクトの設定およびアサインメントに基づく、デザインの消費電力要件を満足するための一連の推奨事項を通じてユーザをガイドする、Power Optimization Advisor があります。デザインをコンパイルした後、PowerPlay Power Analyzer ツールを実行して、デザインの消費電力を求めます。この情報に基づいて、Power Optimization Advisor を実行して消費電力を節約するための推奨事項を実装できます。各推奨事項には、説明すなわち効果と適切な設定を行うために必要な措置の概要が含まれています。推奨事項は、設定を適用する順序を示すために、複数のステージに分かれています。



Power Optimization Advisor について詳しくは、「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章および Quartus II Help を参照してください。

デザイン・スペース・エクスプローラ (DSE) は、Quartus II ソフトウェアに含まれているデザイン最適化ユーティリティです。消費電力の最適化をターゲットとするデザインに対して、最適な Quartus II ソフトウェアのオプションを探し、レポートするのに使用できます。



DSE について詳しくは、「Quartus II ハンドブック Volume 2」の「デザイン・スペース・エクスプローラ」の章を参照してください。

## 低消費電力デザイン手法

この項では、デザインの全体的な消費電力に影響を与えるデザイン手法のガイドラインを示します。これらの手法の結果は、デザインによって異なる可能性があります。

### クロック消費電力管理

クロック配線の消費電力は Quartus II ソフトウェアで自動的に最適化されます。Quartus II ソフトウェアは、ダウンストリームのレジスタに供給する必要があるクロック・ネットワーク部のみをイネーブルにします。あるいは、クロック・コントロール・ブロックを使用してクロック・イネーブル信号を実装することもできます。クロック・ネットワークがパワーダウンすると、そのクロック・ネットワークで供給されるすべてのロジックはトグルしないため、デバイスの全体的な消費電力が減少します。



クロック・コントロール・ブロックの使用方法については、「altclkctrl Megafunction User Guide」を参照してください。

### メモリの消費電力の低減

メモリの消費電力を低減する鍵は、メモリ・クロッキング・イベント数を低減することです。これは、クロック・ネットワーク上のクロック・コントロール・ブロックを使用して、またはメモリ・ポート上のクロック・イネーブル信号をメモリ単位で使用することによって実現できます。クロック・イネーブル信号は、必要な場合のみメモリをイネーブルにし、それ以外の時間はメモリをシャット・ダウンして、メモリ全体の消費電力を低減します。メモリ・ブロック・ファンクションを生成するときは、Quartus II MegaWizard Plug-In Manager を使用し、**Clock enable signal** オプションを選択することによってイネーブル信号を作成できます。

### パイプライン化とリタイミング

デザインに多数のグリッチがあると、高速スイッチング動作時において消費電力が増加します。長い組み合わせパスにフリップ・フロップを挿入してパイプライン化すると、デザインのグリッチを低減できます。フリップ・フロップによってグリッチが組み合わせパスを伝播しなくなるため、組み合わせロジックでの消費電力が減少します。しかし、デザイン内のグリッチが多くない場合は、不要なレジスタが追加されるため、パイプライン化によって消費電力が増加する可能性があります。

### アーキテクチャの最適化

特定のデバイスのアーキテクチャ機能を使用して、消費電力を低減します。例えば、Cyclone III デバイスで使用可能な専用 DSP ブロックを LE の代わりに使用して、演算関連ファンクションを実行します。また、LE レジスタからシフト・レジスタを構築する代わりに、RAM ベースの FIFO バッファから大きなシフト・レジスタを構築します。

## I/O の検討事項

Cyclone III デバイスは、I/O の柔軟性強化と機能向上により、システム統合を増強しています。FPGA デバイスの I/O 機能、ボード・レイアウト・ガイドライン、およびシグナル・インテグリティの問題は、ピン位置の決定や、各デザイン・ピンに対するその他のタイプのアサインメントに大きく影響します。以下のツールを使用し、この項で説明する検討事項を考慮に入れることによって、シグナル・インテグリティの問題を回避しながら、I/O リソースを性能とコストについて最適化することができます。

### I/O ツール

I/O デザイン・フローには、ピン関連アサインメントの作成、およびピン配置ガイドラインに照合した検証が含まれます。Quartus II ソフトウェアの Pin Planner ツールおよび Assignment Editor ツールは、ピン関連アサインメントの作成および編集を通じてユーザを支援します。I/O アサインメントの解析は、ピン・アサインメントの適用性をチェックするのに役立ちます。以下の項では、ピン関連アサインメントの作成と編集に使用されるツールについて説明します。

#### Pin Planner

Pin Planner はピン関連アサインメントの作成と編集に使用されます。Pin Planner Package View により、ピン番号ではなくデバイス・パッケージ・ビューを使用して、ピン位置およびその他のアサインメントを作成します。Pin Planner を使用すると、I/O バンク、 $V_{REF}$  グループ、および差動ピンの組み合わせを視覚的に識別できます。Package View でのピンの視覚的な表示は、ピン・ロケーション・アサインメントを作成する際に、ボード・レイアウトでの配線混雑による問題を最小化するのに役立ちます。

Pin Planner は、シリコン・ダイの周り順にパッドを表示する Pad View ウィンドウで補完されます。パッケージ・ピンは、シリコン・ダイの最上部メタル層の周辺部にあるパッドに接続されます。ピン配置ルールによってはパッド配置の制約を規定しているものもあるので、ピンが割り当てられたパッド位置に注意してください。デザインにおけるインタフェースの良好なシグナル・インテグリティを維持するために、Pad View ウィンドウを使用してピン配置の決定をガイドします。

Pin Planner ツールの Pin Migration View は、プロジェクト用に 1 つまたは複数のマイグレーション・デバイスが選択されている場合に、マイグレーション・デバイスの機能を変更するピンを表示します。Pin Migration View は、マイグレーション・デバイス間に存在する可能性があるピンの違いを識別するのに役立ちます。



Pin Planner ツールの Package View、Pad View、および Pin Migration View の使用について詳しくは、「Quartus II ハンドブック Volume 2」の「I/O 管理」の章を参照してください。

デザイン・ファイルがない場合でも、以下のステップを使用して、デザイン・サイクルの早期段階で Pin Planner で I/O をプランしてください。

1. **Pin Planner** にインタフェース（メガファンクションまたは **IP MegaCore**）を追加します。
2. インタフェースのすべての外部ピンに対して I/O ピン・アサインメントを作成します。
3. 必要なトップレベル・ラッパ・ファイルを作成します。
4. **Start I/O Assignment Analysis** コマンドでアサインメントを検証します。

I/O アサインメント解析用の I/O ピンを確保して、ピンのタイプ（入力、出力、または双方向）を決定します。



I/O ピンの予約方法については、「**Quartus II ハンドブック Volume 2**」の「I/O 管理」の章を参照してください。

### Assignment Editor

**Pin Planner** がターゲット・デバイスの直感的なグラフィカル表現を提供するのに対し、**Assignment Editor** は、すべてのピン関連アサインメントの作成と変更を可能にする、スプレッドシートに似たインタフェースを提供します。

### ピン関連アサインメント

選択可能な I/O 機能により、Cyclone III デバイスの柔軟性が向上し、多数の低コスト・アプリケーションにおいて他のデバイスに接続できます。各種 I/O 関連機能の統合により、Cyclone III デバイスを使用したアプリケーションのコストがさらに削減されます。注目すべき機能には、ドライブ強度コントロール、スルー・レート・コントロール、オープン・ドレイン、バス・ホールド、PCI クランプ・ダイオード、ウィーク・プルアップ、直列 **On-Chip Termination**、およびプログラマブル・プリエンファシスを備えた専用の出力バッファが含まれます。以下の項では、これらの機能のいくつかを使用する場合に伴う検討事項について説明します。



各 I/O 機能について詳しくは、「**Cyclone III デバイス・ハンドブック Volume 1**」の「Cyclone III デバイスの I/O 機能」の章を参照してください。

### ドライブ強度およびスルー・レート・コントロール

各 I/O 規格は、さまざまなプログラマブル・ドライブ強度をサポートします。I/O の性能ターゲットに適合するように、適切なドライブ強度の設定を選択します。ドライブ強度が高すぎると、I/O 性能が向上するだけでなく、インタフェースのノイズも増大することに注意してください。出力バッファ・ドライブ強度が、I/O 規格の電圧スレッショルド・パラメータに違反する過剰なオーバershoot やアンダershoot を生じない範囲で、十分に高いことを確認してください。同時に、設定が低すぎて階段状の応答にならないようにする必要があります。階段状の応答は、エッジ・レートを大幅に高め、ピンがクロック・ソースとして使用される場合に不正クロッキングの原因になります。



Cyclone III IBIS モデルでシミュレーションを実行して、ドライブ強度の設定が目的の性能と受信側の入力仕様に適合しているかを判断してください。

Cyclone III デバイスは、すべての入力で 4.1 V の最大 AC 電圧を順守します。デバイスの信頼性を確保するために、Cyclone III レシーバでの最大電圧オーバーシュートが仕様を超えてはなりません。詳細については、「AN 447: Cyclone III デバイスと 3.3/3.0/2.5 V LVTTTL/LVCMOS I/O システムのインタフェース」を参照してください。

ピンが同時に切り替わる可能性がある大きなデータ・バスが使用される場合、アルテラはスルー・レート・コントロールをオンにして、クロストークやグラウンド・バウンスなどの同時スイッチング出力 (SSO) の影響を低減することを推奨しています。スルー・レート・コントロールは、ドライブ強度が 8 mA 以上のシングル・エンド I/O 規格でのみ使用可能です。

### 直列 On-Chip Termination

Cyclone III デバイスの直列 On-Chip Termination (OCT) は、キャリブレーション付きとキャリブレーションなしの 2 つの方法で実装することができます。選択の基準は、主にドライバ・インピーダンス精度に対する追加外部コンポーネントのコストです。キャリブレーションなしの OCT は、ドライバ出力機能を使用して、終端のインピーダンスを伝送線路のインピーダンスにマッチングさせます。より高いインピーダンス・マッチング精度が必要な場合は、電圧および温度変動を考慮したキャリブレーション付き OCT を実装します。キャリブレーション・プロセスは、コンフィギュレーションの終了時に開始され、ユーザ・モード動作の前に完了します。精度を高めながら、 $25\ \Omega \pm 1\%$  または  $50\ \Omega \pm 1\%$  の 2 本の外部抵抗をキャリブレーション・ブロック用の  $R_{UP}$  ピンと  $R_{DN}$  ピンのペアに接続する必要があります。キャリブレーション・ブロックはデバイスの各サイドで使用できます。推奨される  $25\ \Omega$  または  $50\ \Omega$  以外のインピーダンス値へのキャリブレーションも可能であり、この値はバッファ・インピーダンスの範囲によってのみ制限されます。



サポートおよび実装については、「Cyclone III デバイス・ハンドブック」の「Cyclone III デバイスの I/O 機能」の章の「On-Chip Termination のサポート」の項を参照してください。

プログラマブル・プリエンファシスを備えた専用の差動出力バッファ

Cyclone III デバイスは、左側と右側の I/O バンクに専用の差動出力バッファを提供します。これらのバッファは、外部抵抗なしで LVDS 信号を最大 840 Mbps で送信することができます。同様に、専用のトランスミッタ・バッファを用いて外部抵抗なしで、RSDS、mini-LVDS、および PPDS を異なる速度で送信することができます。レシーバでは差動終端抵抗のみ必要です。トップおよびボトム I/O バンクは差動 I/O 規格の信号を送信できますが、トランスミッタに追加抵抗ネットワークが必要です。Quartus II ソフトウェアの altlvds メガファンクションを使用して、LVDS 用シリアライザおよびデシリアライザ (SERDES) を実装することができます。Cyclone III デバイスは専用の SERDES 回路を備えていないので、SERDES はコア・ロジックに実装されます。



サポートおよび実装について詳しくは、「Cyclone III デバイス・ハンドブック Volume 1」の「高速差動インタフェース」の章を参照してください。

遠端のレシーバでのデータ・アイ開口部を最大にするために、プログラマブル・プリエンファシスは専用の差動出力バッファでサポートされています。長い配線パターンを使用する高速インタフェースでは通常、伝送媒体で表皮効果や誘電損失に起因する高周波信号の減衰が生じます。プログラマブル・プリエンファシスは、データ・ストリームの各遷移で高周波成分を増幅することによって減衰を低減します。Quartus II ソフトウェアでこれをイネーブルにするには、Assignment Editor で、ピンに対する Programmable Pre-emphasis アサインメントを **On** に設定します。

## PLL の検討事項

### PLL の設計後

PLL の設計後、ボードを設計する前に、以下のことを検討する必要があります。

### PLL の選択

Cyclone III デバイスには、4 つの同じ PLL があります（ただし、EP3C5 と EP3C10 には同じ PLL が 2 つしかありません）。特定の PLL を使用するか、あるいは Quartus II ソフトウェアに最適な PLL を選択させるかを選択できます。最初のオプションでは、適切な専用入力および出力クロック・ピンが使用可能な PLL を選択しなければなりません。PLL の入力クロックは、専用の入力クロック・ピンまたは別の PLL 出力のいずれかでドライブしなければなりません。PLL の入力クロックは内部ロジックからはドライブできません。PLL の出力クロックは、最適な配線のための専用クロック出力ピン（c0 のみに適用）、ユーザ I/O、またはグローバル・クロック（GCLK）に接続する必要があります。



PLL および対応するピンの位置については、該当するデバイス・ピンアウト、および「Cyclone III デバイス・ハンドブック」の「Cyclone III デバイスのクロック・ネットワーク および PLL」の章を参照してください。

### ピン・アサインメント

以下に、PLL の入力および出力ポートに対して Quartus II ソフトウェアで推奨されるピン・アサインメントを示します。

- inclk[1,0] – 専用クロック入力ピン（CLK[15..0]）
- clkswitch、areset、pfdena、scandata、scanclk、configupdate、scanckena、phasecounterselect[2..0]、phaseupdown、phasestep – ユーザ I/O またはロジック・アレイ信号

- `c[4..0]` – 専用 PLL クロック出力ピン (c0 のみ) またはユーザ I/O またはロジック・アレイ信号 (c0-c4)
- `clkbad[1,0]`、`locked`、`activeclock`、`scandone`、`scandataout`、`phasedone` – ユーザ I/O またはロジック・アレイ信号



正しいピンについては、アルテラ・ウェブサイト ([www.altera.co.jp](http://www.altera.co.jp)) の資料ページの「デバイス・ピンアウト」を参照してください。

### タイミング解析

タイミング解析を実行して、タイミング制約が満たされていることを確認する必要があります。2個のPLLをカスケード接続する場合は、クロック不確実性 (Clock Uncertainty) アサインメントを使用して、PLL のカスケード接続によるクロック・ジッタをモデル化することができます。



タイミング解析について詳しくは、「Quartus II ハンドブック Volume 3」を参照してください。



Clock Uncertainty アサインメントについて詳しくは、「Quartus II ハンドブック」の「Quartus II クラシック・タイミング・アナライザ」の章の「Clock Uncertainty」の項を参照してください。

### シミュレーション

altpll メガファンクションは、動作およびタイミング・シミュレーションをサポートします。



シミュレーションのサポートと方法について詳しくは、「Quartus II ハンドブック Volume 3」を参照してください。

## コンフィギュレーション・ソフトウェアの設定

この項では、コンフィギュレーション・ファイルまたはプログラミング・ファイルを生成するためにコンパイル前に Quartus II ソフトウェアで設定できるいくつかのコンフィギュレーション・オプションについて説明します。これらの設定およびピンがボードおよびシステム・デザインに影響を与えます。

### オプションのコンフィギュレーション・ピン

**Device and Pin Options** ダイアログ・ボックスの **General** タブで、以下のオプションのコンフィギュレーション・ピンをイネーブルにすることができます。

## CLKUSR

Quartus II ソフトウェアの **Enable user-supplied start-up clock** (CLKUSR) オプションにより、内部オシレータまたは CLKUSR ピンに供給される外部クロックのどちらのクロック・ソースを初期化に使用するかを選択することができます。

## INIT\_DONE

INIT\_DONE ピンをモニタして、Cyclone III デバイスが初期化を完了してユーザーモードになっているかどうかをチェックすることができます。INIT\_DONE ピンはオプションのピンであり、Quartus II ソフトウェアの **Enable INIT\_DONE output** オプションでオンにすることができます。INIT\_DONE ピンはオープン・ドレイン出力で、V<sub>CC</sub> への外部プルアップを必要とします。

## オート・リスタート・コンフィギュレーション

Quartus II ソフトウェアで **auto-restart configuration after error** オプションをイネーブルにすることができます。コンフィギュレーション・エラーが発生すると、Cyclone III デバイスは nSTATUS を Low にドライブします。これにより、Cyclone III デバイスは内部でリセットされます。Cyclone III デバイスは、リセット・タイムアウト期間を過ぎると nSTATUS ピンを解放します。次に、nSTATUS ピンはプルアップ抵抗によって V<sub>CC</sub> にプルアップされます (リコンフィギュレーションを開始できることを示します)。

## コンフィギュレーション・ファイル・サイズの見積り

Cyclone III デバイスは、圧縮されたコンフィギュレーション・ビットストリームを受信して、このデータをリアルタイムで復元することができるため、アクティブ・シリアルおよびバッチ・シリアル方式に必要なメモリおよびコンフィギュレーション時間を低減します。圧縮されていないロウ・バイナリ・ファイル (.rbf) のサイズは、Cyclone III デバイスの圧縮されていないコンフィギュレーション・ファイルのサイズとほぼ同じです。複数のデバイス・コンフィギュレーションに必要なストレージ容量を算出するには、各デバイスのファイル・サイズを加算してください。



Cyclone III デバイスの圧縮されていないロウ・バイナリ・ファイルのサイズについては、「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章を参照してください。

ロウ・バイナリ・ファイルのサイズのデータは、デザインをコンパイルする前のファイル・サイズの見積りにのみ使用してください。16 進 (.hex) フォーマットや表形式テキスト・ファイル (.tff) フォーマットなど、コンフィギュレーション・ファイル形式ごとにファイル・サイズが異なります。ただし、Quartus II ソフトウェアの特定のバージョンでは、同じデバイスを対象としたデザインの非圧縮コンフィギュレーション・ファイルのサイズは同じになります。圧縮を使用した場合、圧縮率はデザインに依存するため、ファイル・サイズはコンパイルするたびに変わる可能性があります。

## プログラミング・ファイルの変換

Cyclone III のデータをコンフィギュレーション・デバイスに格納するために、デフォルトの SOF データを異なるファイル形式に変換し、コンフィギュレーション・デバイスにプログラムすることができます。**Device and Pin Options** ダイアログ・ボックスで、コンパイル中に追加プログラミング・ファイルを生成するようにソフトウェアを設定できます。SOF を変換するには、File メニューの **Convert Programming Files** をクリックします。Quartus II ソフトウェアは、POF、Hexout、RBF、TTF、RPD、または JIC フォーマットへのデータ変換をサポートします。コンフィギュレーション・デバイスをプログラムするために POF および JIC ファイルは Quartus II Programmer で使用され、Hexout、RBF、TTF、および RPD ファイルは他のプログラマで使用されます。

マルチ・デバイス・コンフィギュレーション・チェーンを使用するときは、**Convert Programming Files** ダイアログ・ボックスで、各デバイスの SOF を 1 つのコンフィギュレーション・ファイルに結合する必要があります。コンフィギュレーション・ファイルを生成するときには、コンフィギュレーション・ファイルとボード上のデバイスの順序が一致することを確認してください。



デバイスのコンフィギュレーション・オプションの設定またはコンフィギュレーション・ファイルの生成について詳しくは、「コンフィギュレーション・ハンドブック Volume 2」の「ソフトウェアの設定」セクションを参照してください。



プログラミング・ファイル形式およびプログラマの使用について詳しくは、「Quartus II ハンドブック Volume 3」の「Quartus II Programmer」の章を参照してください。

## ピン配置の検証

ピン関連アサインメントの作成後に、そのアサインメントを Cyclone III デバイスに固有のルールに照合して検証する必要があります。この項では、検証およびピン配置に関する検討事項を説明します。

### I/O アサインメントの解析

**Start I/O Assignment Analysis** コマンドにより、デザインのコンパイル前、コンパイル中、またはコンパイル後に、I/O アサインメントの適用性をチェックすることができます。デザイン・ファイルが使用可能な場合は、このコマンドを使用してデザインの I/O ピンと周囲のロジックに対して徹底的な適用性チェックを実行することができます。これらのチェックには、適切なりファレンス電圧ピンの使用、有効なピン配置アサインメント、および許容 I/O 規格が含まれます。ピン関連アサインメントを追加または変更するたびに解析を実行してください。



**Start I/O Assignment Analysis** コマンドおよびそのデザイン・フローについて詳しくは、「Quartus II ハンドブック Volume 2」の「I/O 管理」の章を参照してください。

## DC のガイドライン

出力ピンからの大きな定常電流がソースまたはシンクされると、エレクトロマイグレーションのためにデバイスが損傷する可能性があります。エレクトロマイグレーションでは、導電性金属を流れる多量の電流によって、導電性金属の原子の移動が生じます。High 出力のピンをグランドに接続するか、Low 出力のピンを直接  $V_{CC}$  に接続する例もあります。Cyclone III I/O ピンがシンクおよびソースでできる最大 DC 電流は、それぞれ 25 mA と 40 mA です。特定のピンを High または Low にプルする必要がある場合は、外部抵抗を介して接続します。

さらに、連続する出力パッド・セットの全電流シンクまたはソースに対する制限があります。これはパッドの位置と関係があるので、Quartus II ソフトウェアを使用し、ピンの最大 DC 電流を供給してこの違反をチェックします。Quartus II ソフトウェアでこれを設定するには、Assignment Editor に進み、ピンの Electromigration Current アサインメントに最大 DC 電流を入力します。Quartus II ソフトウェアで DC の制約を表示するには、Assignments メニューの **Device** をクリックします。**Device & Pin Options** をクリックし、**Pin Placement** タブを選択します。**Electromigration** ウィンドウに制約がリストされます。



電流制限の仕様については、「Cyclone III デバイス・ハンドブック」の「Cyclone III デバイスの I/O 機能」の章の「パッド配置および DC のガイドライン」の項を参照してください。

## 検証

この項では、タイミング、消費電力、およびシミュレーションにおけるデザインの見直しに関する情報を提供します。

### タイミングの検討事項

デザインがハードウェアで正しく動作することを保証するために、タイミングを理解することが不可欠です。

#### TimeQuest 対クラシック・タイミング・アナライザ

Quartus II ソフトウェアは、TimeQuest タイミング・アナライザとクラシック・タイミング・アナライザの 2 つの強力なタイミング解析ツールを備えています。これらのタイミング・アナライザは、Cyclone III デバイス・ファミリをサポートしています。

新しいデバイス・ファミリに対しては、クラシック・タイミング・アナライザよりも新しい TimeQuest タイミング・アナライザの方が推奨されます。TimeQuest タイミング・アナライザは、業界標準の Synopsys Design Constraints (SDC) フォーマットのタイミング制約をサポートし、インタラクティブなタイミング・レポート・スタイルの使いやすい GUI を備えています。

TimeQuest タイミング・アナライザは、より効率的な仕様および微調整コントロールを提供するため、複雑なタイミング解析に適しており、また高速ソース・シンクロナス・インタフェースおよびクロック多重化デザイン構造を制約するのに理想的です。DDR/DDR2 外部メモリ・インタフェースのデザインのタイミング解析には、TimeQuest タイミング・アナライザが必要です。



TimeQuest タイミング・アナライザおよびクラシック・タイミング・アナライザについて詳しくは、「Quartus II ハンドブック Volume 3」の「Quartus II TimeQuest タイミング・アナライザ」および「Quartus II クラシック・タイミング・アナライザ」の章を参照してください。

### 早期タイミング見積り

Quartus II の Early Timing Estimation で、デザインのタイミングを見積ることができます。Early Timing Estimation は、デザインのフル・コンパイルを実行することなく、暫定タイミング情報を提供します。コンパイル時間を節約するために、フィッタは完全な最適化を実行しません。したがって、タイミング情報は見積りにすぎません。

Realistic、Optimistic、または Pessimistic の Early Timing Estimation レベルを設定できます。一般に、Realistic（現実的）設定が使用される場合、遅延見積りは、完全フィットで得られる遅延の 10% 以内です。Early Timing Estimate は、早期の配置配線遅延に基づいて、完全なタイミング・レポートを生成します。

### デザイン・タイミングのチェック

デザインが動作することを保証するために、タイミング・レポートをチェックして、タイミング違反がないことを確認します。内部タイミングと I/O タイミングを満足することが重要です。タイミング・レポートの  $f_{MAX}$  は、デザインが動作可能な最大周波数を示します。Cyclone III デバイスがボード上の他のデバイスと正しくインタフェースすることを確認するために、タイミング・レポートの  $t_{SU}$ 、 $t_{CO}$ 、 $t_H$ 、および  $t_{PD}$  の値をチェックしてください。例えば、Cyclone III デバイスが他のデバイスからデータを受信する場合、データが Cyclone III デバイスのレジスタにクロックされているとき、 $t_{SU}$  と  $t_H$  に違反していないことを確認します。 $t_{SU}$  または  $t_H$  に違反すると、レジスタ出力が準安定状態（メタステーブル）になることがあります。メタステーブル出力は短時間にわたって不正になり、それによってデザイン機能に影響を及ぼします。

Cyclone III デバイスがレジスタでラッチされたデータを別のデバイスに送信するときは、Cyclone III デバイスの  $t_{CO}$  をチェックして、外部デバイスのデータ到着時間を推定します。



TimeQuest タイミング・アナライザおよびクラシック・タイミング・アナライザについて詳しくは、「Quartus II ハンドブック Volume 3」の「Quartus II TimeQuest タイミング・アナライザ」および「Quartus II クラシック・タイミング・アナライザ」の章を参照してください。



メタスタビリティについて詳しくは、「AN 42: アルテラ・デバイスのメタスタビリティ」を参照してください。

### I/O タイミング解析

Cyclone III デバイスがボード上の外部デバイスにインタフェースするときにはタイミング要求を満足するよう、TimeQuest タイミング・アナライザまたはクラシック・タイミング・アナライザで I/O 解析を実行します。外部デバイスのレジスタから Cyclone III デバイスの指定された入力ピンまたは双方向ピンまでの指定されたクロック・ソースを基準とする信号の最大または最小遅延が分かっている場合は、Input Delay アサインメントを使用します。

Cyclone III デバイスからのレジスタ付き出力については、Cyclone III デバイスのレジスタ付き出力から外部デバイスのレジスタ付き入力までの指定されたクロック・ソースを基準とする信号の最大または最小遅延に対して、Output Delay アサインメントを作成できます。

### スキュー管理

スキューとは、2 つの異なる送信先における信号の到着時間の差のことです。同期デザインの場合、クロック信号とデータ信号のパス長が異なるため、クロック・スキューとデータ・スキューが生じます。高速信号では、信号の時間間隔が短いいためスキューがより重要になります。これらの高速信号用にクロック・ネットワークを使用すると、クロックおよびデータ・スキューが低減されます。

Quartus II の Maximum Clock Arrival Skew アサインメントを使用して、クロック信号と各種デスティネーション・レジスタ間の許容最大クロック到着スキューを指定します。データ信号については、Maximum Data Arrival Skew アサインメントを使用して、各種デスティネーション・レジスタまたはピンに対する許容最大データ到着スキューを指定します。これらのアサインメントが使用される場合、Quartus II ソフトウェアは最長クロック・パスまたはデータ・パスと最短クロック・パスまたはデータ・パスの間のタイミング差を算出し、フィッタは要求を満たすよう試みます。

### その他のタイミング解析および最適化機能

Quartus II ソフトウェアは、タイミング解析および性能最適化のためのその他の機能も提供します。適切な合成およびフィッタ設定でタイミング・ドリブンをコンパイルを実行して、タイミングを最適化できます。また、Quartus II ソフトウェアのデザイン・スペース・エクスプローラ、LogicLock、およびその他の機能を使用して、デザイン性能を向上させることもできます。



「Quartus II ハンドブック」の「Quartus II インテグレートッド・シンセシス」および「面積とタイミングの最適化」の章では、Quartus II ソフトウェアでの各種タイミングの最適化設定とタイミング最適化手法について説明しています。

## PowerPlay Power Analyzer

デザインが完成したら、QuartusII ソフトウェアで PowerPlay Power Analyzer ツールを使用して、デザインの消費電力を正確に計算して、熱バジェットおよび電源バジェットに違反していないことを確認します。PowerPlay Power Analyzer ツールは、デザインを合成して、ターゲット・デバイスにフィットさせることを要求します。デザイン・リソース、ターゲット・デバイスでのデザインの配置配線方法、各 I/O セルに割り当てられる I/O 規格などの情報が提供されることによって、PowerPlay Power Analyzer ツールは、正確な電力の見積りを提供することができます。

PowerPlay Power Analyzer ツールを使用するプロセスは、入力データのソースの指定、動作条件の指定、および PowerPlay Power Analyzer ツールの実行の 3 つの部分で構成されます。入力データは、コンパイルされたデザインのシグナル・アクティビティ・データ（トグル・レートおよびスタティック確率）で構成されます。シグナル・アクティビティ・データは、シミュレーション結果、Assignment Editor でのユーザ・アサインメント、ユーザ定義のデフォルト・トグル・レート、およびベクタなし見積りから得ることができます。

動作条件には、デバイスの電力特性、周囲温度およびジャンクション温度、冷却ソリューション、およびボードの熱モデルが含まれます。これらはすべて Quartus II ソフトウェアで設定できます。PowerPlay Power Analyzer ツールは、ダイナミック、スタティック、および I/O 熱消費電力、電圧源から消費される電流、解析に使用されるシグナル・アクティビティの集計、そしてシグナル・アクティビティのためのデータ・ソースの総合的な品質を反映する信頼性指標を計算します。



シグナル・アクティビティ・ファイル（SAF）およびその作成方法については、「Quartus II ハンドブック Volume 3」の「Quartus II Simulator」の章を参照してください。



PowerPlay Power Analyzer ツールについて詳しくは、「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章を参照してください。

## シミュレーション

シミュレーションを実行して、デザインが正しく動作することを検証します。複数のモジュールで構成されるデザインについては、シミュレーションによって各モジュールが結合される前に機能的に動作することが確認されます。より低いレベルでデザインをデバッグすると、デバッグ時間が節約されます。シミュレーションによって、ピンまたはレジスタでラッチされた信号をモニタできます。

さまざまなシミュレーション・ツールを使用して、Cyclone III デザインでシミュレーションを実行することができます。一般に使用されるサードパーティ・シミュレーション・ツールには、Mentor Graphics 社の ModelSim® や Synopsys 社の VCS および Cadence 社の NC-Sim などがあります。Quartus II シミュレータに加え、ModelSim-Altera Edition および ModelSim-Altera Web Edition も使用できます。ModelSim-Altera Edition および ModelSim-Altera Web Edition は、Cyclone III ファミリをサポートします。

これらのサードパーティ・シミュレーション・ツールは、RTL の機能シミュレーション、合成後のシミュレーション、およびゲート・レベル・シミュレーションをサポートします。RTL の機能シミュレーションは合成および配置配線前のデザインの機能を検証するので、ゲート・レベル・シミュレーションまたは合成後のシミュレーションの前に RTL の機能シミュレーションを実行します。

合成後シミュレーションは、合成が実行された後のデザインの機能を検証します。Quartus II ソフトウェアで合成後のネットリストを作成し、このネットリストを使用してサードパーティ・シミュレーション・ツールで合成後シミュレーションを実行できます。合成後のデザインが検証されたら、Quartus II Fitter を使用して、ターゲットの Cyclone III デバイスにおけるデザインの配置配線に進むことができます。Quartus II ソフトウェアの EDA Netlist Writer を使用して、特定のサードパーティ・シミュレーション・ツール用のシミュレーション・ネットリストを生成します。

ゲート・レベルのタイミング・シミュレーションは、ワースト・ケースのタイミング遅延が計算された後のデザインの動作を検証する、配置配線後のシミュレーションです。

同様に、Quartus II シミュレータは機能シミュレーションとタイミング・シミュレーションの両方をサポートします。デザイン・フローの初めに機能シミュレーションを実行して、デザインの機能動作または論理動作をチェックします。デザインをコンパイルする必要はなく、タイミング情報が含まれていないデザインの機能シミュレーション・ネットリストを生成して、機能シミュレーションを実行するだけです。

タイミング・シミュレーションは、デザインをコンパイルするときにタイミング・アナライザで生成されたタイミング・ネットリストを使用します。タイミング・シミュレーションは、異なるデバイス・ブロックの遅延と配置配線情報を考慮するので、機能シミュレーションよりも正確です。デザインがターゲット・デバイスで確実に動作するように、トップレベル・デザインでデザイン・フローの最後にタイミング・シミュレーションを実行します。



シミュレーション・ツールを使用したデザインのシミュレーションについて詳しくは、「Quartus II ハンドブック Volume 3」の「シミュレーション」セクションを参照してください。

## デザインの デバッグ

Quartus II ソフトウェアは、デザイン段階でデザインのデバッグを支援するための多数のデバッグ・ツールを備えています。

### SignalTap II

Quartus II ソフトウェアの SignalTap II エンベデッド・ロジック・アナライザは、FPGA デザインのリアルタイム信号動作をキャプチャおよび表示するシステム・レベルのデバッグ・ツールです。SignalTap II エンベデッド・ロジック・アナライザは、高いデータ収集レートを備え、Cyclone III デザインで 200 MHz 以上の高周波数信号をモニタするのに適しています。

SignalTap II ロジック・アナライザ (.stp) ファイルを作成するか、または SignalTap II ロジック・アナライザ・メガファンクションをインスタンス化することによって、SignalTap II エンベデッド・ロジック・アナライザを使用することができます。アナライザを実行するには、データ収集を制御するクロック信号を指定する必要があります。1 個の Cyclone III デバイスで異なるクロック・ドメインを持つ異なるデザインをモニタするには、デバイスでそれぞれがモニタしているデザインのクロック信号でクロックされる、複数のアナライザを実行できます。

SignalTap II エンベデッド・ロジック・アナライザは、デバイスの JTAG ピンを使用しており、アルテラのダウンロード・ケーブルを使用してデバイスにインタフェースできます。すなわち、JTAG コンフィギュレーションのセットアップを SignalTap II のデバッグに使用できます。1 つの JTAG チェイン内の複数デバイスを同時にデバッグすることも可能です。モニタするチェイン内の各モジュールには、STP ファイルがなければなりません。

SignalTap II エンベデッド・ロジック・アナライザは、インクリメンタル・コンパイルをサポートします。このため、SignalTap II ロジック・アナライザの設定に変更を加えるたびに、フル・コンパイルを実行する必要がないため、コンパイル時間が短縮されます。SignalTap II エンベデッド・ロジック・アナライザを使用するとき、Cyclone III デバイスの性能への影響を最小限に抑えるために、デザインをバック・アノテーションして、インクリメンタル・コンパイルを使用します。



SignalTap II エンベデッド・ロジック・アナライザを使用してデバッグを行う方法について詳しくは、「Quartus II ハンドブック Volume 3」の「SignalTap II エンベデッド・ロジック・アナライザを使用したデザインのデバッグ」の章を参照してください。

### SignalProbe

Quartus II ソフトウェアの SignalProbe 機能を使用して、モニタする内部信号を Cyclone III デバイスの未使用 I/O ピンに配線することができます。これにより、どの内部信号でもモニタするために外部に配線できるため、デバッグ・プロセスが容易になります。SignalProbe 機能を使用しても、Quartus II ソフトウェアは既存のデザインのリソースの配置と配線を保持するため、デザインの動作と性能には影響を与えません。



SignalProbe 機能を使用してデバッグを行う方法について詳しくは、「Quartus II ハンドブック Volume 3」の「Quick Design Debugging Using SignalProbe」の章を参照してください。

## イン・システム・ソースおよびプローブ

Quartus II ソフトウェアの SignalTap II エンベデッド・ロジック・アナライザと SignalProbe 機能により、デザインの内部信号または出力信号をチェックできますが、デバイスに入力信号を供給する必要があります。ボードのプロトタイプ作成段階で、Cyclone III デバイスに入力信号を供給する外部コンポーネントを簡単に用意できない場合があります。したがって、Cyclone III デバイスのデザインをチェックまたはデバッグしたい場合は、Cyclone III デバイスに正しい入力信号を手動で供給する必要があります。

Quartus II ソフトウェアは、ユーザがデザインに入力信号を供給し、内部信号および出力信号をプローブできるようにするイン・システム・ソースおよびプローブ機能を備えています。イン・システム・ソースおよびプローブ機能は、`altsource_probe` メガファンクションおよびランタイム時に `altsource_probe` メガファンクション・インスタンスを制御可能なイン・システム・ソースおよびプローブ・エディタで構成されています。各 `altsource_probe` メガファンクション・インスタンスは、ソース出力ポートおよびプローブ入力ポートを提供します。ここで、ソース・ポートは選択された信号をドライブし、プローブ・ポートは選択された信号をサンプリングします。イン・システム・ソースおよびプローブ・エディタでデバイスに書き込むソース・データを手動で変更することができます。Quartus II ソフトウェアでのイン・システム・ソースおよびプローブ・エディタは、USB Blaster や ByteBlaster II ダウンロード・ケーブルなどのアルテラのダウンロード・ケーブルを通じてデバイスと通信します。



イン・システム・ソースおよびプローブ機能を使用してデバッグを行う方法について詳しくは、「Quartus II ハンドブック Volume 3」の「Design Debugging Using In-System Sources and Probes」の章を参照してください。

## その他のデバッグ機能

Quartus II ソフトウェアの他のデバッグ機能には、デザインの内部信号を解析するために外部ロジック・アナライザに送信可能にするロジック・アナライザ・インタフェース、JTAG により Cyclone III デバイスの M9K メモリへのリードおよびライト・アクセスを提供する In-System Memory Content Editor、およびその周辺にユーザ独自のシステム・レベルのデバッグ基盤を構築可能な `sld_virtual_jtag` メガファンクションなどがあります。



ロジック・アナライザ・インタフェース機能を使用してデバッグを行う方法について詳しくは、「Quartus II ハンドブック Volume 3」の「外部ロジック・アナライザを使用したイン・システム・デバッグ」の章を参照してください。



In-System Memory Content Editor を使用してオンチップ・メモリにアクセスする方法について詳しくは、「Quartus II ハンドブック Volume 3」の「In-System Updating of Memory and Constants」の章を参照してください。



デバッグへの sld\_virtual\_jtag メガファンクションの使用方法について詳しくは、「sld\_virtual\_jtag Megafunction User Guide」を参照してください。

## テスト作業

### バウンダリ・スキャン・テスト

生産環境でのデバイスに対する最も一般的なボード・レベルのテストの1つがバウンダリ・スキャン・テストです。Cyclone III デバイスは IEEE 1149.1 (JTAG) バウンダリ・スキャン・テストをフルにサポートします。バウンダリ・スキャン・テストでは、物理的なテスト・プローブを使用せずに、デバイスの通常動作中にボード・レベルでピンの接続をテストすることができます。バウンダリ・スキャン・テストを実行するには、デバイスのバウンダリ・スキャン記述言語 (BSDL) ファイルを持つ必要があります。

コンフィギュレーション済み Cyclone III デバイスでバウンダリ・スキャン・テストを実行するには、アルテラのウェブサイトにある BSDL ファイルを使用します。コンフィギュレーション後のデバイスの場合は、デザインに応じて BSDL ファイルを修正する必要があります。アルテラは、コンフィギュレーション後のデバイス用の BSDL ファイルを再生成するために BSDLCustomizer ツールを提供しています。BSDLCustomizer は、Quartus II ソフトウェアおよびアルテラ・ウェブサイトから入手可能なコンフィギュレーション済みデバイスの BSDL ファイルで生成されるデザインの .pin ファイルを使用して、ポート定義とバウンダリ・スキャン・セル・グループ属性が変更された別の BSDL ファイルを生成する Tcl スクリプトです。

バウンダリ・スキャン・テストのベンダには、ASSET InterTech、Corelis、Goepel Electronic、JTAG Technologies などがあります。

## その他の 検討事項

### 信頼性

半導体デバイスを扱う際は、デバイスの信頼性を維持するために、いくつかの基本ルールに注意してください。



イン・システム・ソースおよびプローブ半導体デバイスを扱うときには、デバイスの即時機能障害や I/O 性能の低下、あるいは長期的な信頼性低下を引き起こす可能性がある静電気放電 (ESD) に注意してください。



デバイスを ESD が発生しない環境で保管したり、グランド・ストラップを着用するなど、デバイスを取り扱い際は注意してください。

信頼性の高いデバイス動作を達成するために、「Cyclone III デバイス・ハンドブック Volume 2」の「Cyclone III デバイス・データシート: DC およびスイッチング特性」の章に記載するとおり、デバイスは必ず推奨動作条件内で動作させてください。デバイスを絶対最大定格で長期間動作させると、デバイスが損傷して正しく動作しなくなる可能性があります。

## FPGA スタータ・キット

デザイン・プロセスを簡略化し、製品の迅速な市場投入を支援するために、Cyclone III FPGA のスタータ・キットをテストおよびデバッグ・プラットフォームとして使用することができます。スタータ・キットは使いやすく、ソフトウェア、リファレンス・デザイン、ケーブル、およびプログラミング・ハードウェアが含まれています。

Cyclone III スタータ・キットについて詳しくは、[Cyclone III FPGA スタータ開発キット](#)を参照してください。

## まとめ

このデザイン・ガイドラインは、Cyclone III FPGA で設計するときに FPGA の設計者が知っていなければならない Cyclone III デバイスの使い方のさまざまな側面をカバーします。また、このガイドラインによりデザイン・フローも簡単になります。正しいツールと適切なデザイン手法を使用すれば、Cyclone III デバイスで簡単にデザインを設計し、時間を節約できます。

## 参考資料

このアプリケーション・ノートでは、以下のドキュメントを参照しています。

- 「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイス・ファミリの概要」の章
- 「Cyclone III FPGA 用 PowerPlay Early Power Estimator ユーザガイド」
- 「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章
- 「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスの I/O 機能」の章
- 「Cyclone III デバイス・ハンドブック Volume 1」の「外部メモリ・インタフェース」の章
- 「アルテラ・ウェブサイトの資料ページ」の「デバイス・ピンアウト」
- 「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのコンフィギュレーション」の章
- 「コンフィギュレーション・ハンドブック Volume 2」の「シリアル・コンフィギュレーション・デバイス (EPCS1、EPCS4、EPCS16、EPCS64、および EPCS128) データシート」の章
- 「AN 386: Using the Parallel Flash Loader with the Quartus II Software」
- 「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのリモート・システム・アップグレード」の章
- 「altremote\_update Megafunction User Guide」

- 「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのクロック・ネットワークおよびPLL」の章
- 「Cyclone III デバイス・ハンドブック Volume 2」の「Cyclone III デバイス・データシート: DC & スイッチング特性」の章
- 「AN 447: Cyclone III デバイスと 3.3 V/3.0 V/2.5 V LVTTTL/LVC MOSI/O システムのインタフェース」
- 「Quartus II ハンドブック Volume 2」の「I/O 管理」の章
- 「AN 224: 高速ボード・レイアウト・ガイドライン」
- 「AN 315: 高速 FPGA のプリント基板の設計ガイドライン」
- 「Quartus II ハンドブック Volume 3」の「サードパーティ・シミュレーション・ツールでのアルテラ IP のシミュレーション」の章
- 「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III デバイスのホット・ソケットおよびパワー・オン・リセット」の章
- 「Quartus II ハンドブック Volume 1」の「Recommended HDL Coding Styles」の章
- 「Quartus II ハンドブック Volume 1」の「アルテラ・デバイスのデザイン推奨事項」
- 「altclkctrl Megafunction User Guide」
- 「altpll Megafunction User Guide」
- 「Quartus II ハンドブック Volume 2」の「デザイン・スペース・エクスプローラ」の章
- 「Cyclone III デバイス・ハンドブック Volume 1」の「Cyclone III の高速差動インタフェース」の章
- 「コンフィギュレーション・ハンドブック」
- 「Quartus II ハンドブック Volume 3」の「Quartus II Programmer」の章
- 「Quartus II ハンドブック Volume 3」の「Quartus II TimeQuest Timing Analyzer」の章
- 「Quartus II ハンドブック Volume 3」の「Quartus II Classic Timing Analyzer」の章
- 「AN 42: アルテラ・デバイスのメタスタビリティ」
- 「Quartus II ハンドブック Volume 1」の「Quartus II Integrated Synthesis」の章
- 「Quartus II ハンドブック Volume 2」の「Area and Timing Optimization」の章
- 「Quartus II ハンドブック Volume 3」の「Quartus II Simulator」の章
- 「Quartus II ハンドブック Volume 3」の「PowerPlay による電力解析」の章
- 「Quartus II ハンドブック Volume 3」の「SignalTap II エンベデッド・ロジック・アナライザを使用したデザインのデバッグ」の章
- 「Quartus II ハンドブック Volume 3」の「Quick Design Debugging Using SignalProbe」の章
- 「Quartus II ハンドブック Volume 3」の「Design Debugging Using In-System Sources and Probes」の章
- 「Quartus II ハンドブック Volume 3」の「外部ロジック・アナライザを使用したイン・システム・デバッグ」の章
- 「Quartus II ハンドブック Volume 3」の「In-System Updating of Memory and Constants」の章
- 「sld\_virtual\_jtag Megafunction User Guide」

## 改訂履歴

表 7 に、本資料の改訂履歴を示します。

表 7. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 8 月 v1.0	初版	—



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)  
Literature Services:  
[literature@altera.com](mailto:literature@altera.com)

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001

# デザイン・ チェックリスト

このチェックリストは、本資料で説明したガイドラインの要約を提供します。このチェックリストを使用して、デザインの各ステージでガイドラインに従っていることを確認してください。

プロジェクト名:
日付:

## 1 ページの「デバイスの選択」

	Done (確認済)	N/A (該当なし)	
1	<input type="checkbox"/>	<input type="checkbox"/>	ロジック/メモリ/マルチプライヤの集積度、PLL の I/O ピン数、パッケージの種類、および将来の開発のための予備リソースなどに基づいて、デバイスを選択。
2	<input type="checkbox"/>	<input type="checkbox"/>	パーティカル・デバイス・マイグレーションを検討。スピード・グレードおよび選択可能なコア電圧の可用性を検討。将来低速グレードのデバイスを使用する計画がある場合は、十分なタイミング・マージンを確保。

## 4 ページの「早期システム・プランニング」

	Done	N/A	
3	<input type="checkbox"/>	<input type="checkbox"/>	冷却ソリューションと電源をプランするために、Early Power Estimator スプレッドシートを使用して消費電力と放熱性を見積る。
4	<input type="checkbox"/>	<input type="checkbox"/>	より低い I/O キャパシタンス、電圧 I/O 規格、および高周波信号のための抵抗終端 I/O 規格を使用して、I/O 消費電力を低減。
5	<input type="checkbox"/>	<input type="checkbox"/>	デザインに適切な I/O 規格 (シングル・エンド、電圧リファレンス、または差動) を選択。
6	<input type="checkbox"/>	<input type="checkbox"/>	同じ $V_{CCIO}$ および $V_{REF}$ を共有する I/O ピンを同じ I/O バンク内に配置。
7	<input type="checkbox"/>	<input type="checkbox"/>	Cyclone III デバイス・パッケージ、コンフィギュレーションに使用可能なリソース、およびシステムで要求されるコンフィギュレーション時間に基づいてコンフィギュレーション手法を選択。
8	<input type="checkbox"/>	<input type="checkbox"/>	AS、AP、および PS コンフィギュレーション手法の場合は、高速または標準 POR 時間を選択可能。
9	<input type="checkbox"/>	<input type="checkbox"/>	AS および PS コンフィギュレーション手法でのコンフィギュレーション・ファイルのサイズを低減するために、圧縮機能を使用。
10	<input type="checkbox"/>	<input type="checkbox"/>	Cyclone III PLL をクロック管理に使用。
11	<input type="checkbox"/>	<input type="checkbox"/>	PLL 入力、出力、および VCO 周波数がデータシートの仕様を満足していることを確認。
12	<input type="checkbox"/>	<input type="checkbox"/>	1 個の PLL を使用したときに、m、n、c カウンタまたは VCO 周波数で目的の周波数が得られない場合は、PLL をカスケード接続して必要な周波数を取得。

- |    |                          |                          |  |
|----|--------------------------|--------------------------|--|
| 13 | <input type="checkbox"/> | <input type="checkbox"/> | バックアップ入力クロックが必要な場合、またはユーザ・モードで入力クロック・ソースを変更する場合は、PLL のクロック・スイッチオーバー機能を使用。                      |
| 14 | <input type="checkbox"/> | <input type="checkbox"/> | デザインに基づいて 4 つの使用可能な PLL 補正モードの 1 つを使用。   |
| 15 | <input type="checkbox"/> | <input type="checkbox"/> | Cyclone III デバイスをリコンフィギュレーションすることなく、ユーザ・モードで PLL 設定をダイナミックに変更する必要がある場合は、PLL リコンフィギュレーション機能を使用。 |
| 16 | <input type="checkbox"/> | <input type="checkbox"/> | デザインに必要な areset、locked または pfdena コントロール信号を使用。   |
| 17 | <input type="checkbox"/> | <input type="checkbox"/> | オンチップ・デバッグ用 LE、メモリ、I/O などの追加リソースを確保して JTAG ピンを配線。  |

### 16 ページの「ボード・デザインの検討事項」

- |    | Done                     | N/A                      |  |
|----|--------------------------|--------------------------|--|
| 18 | <input type="checkbox"/> | <input type="checkbox"/> | Cyclone III デバイスを 3.3 V/3.0 V/2.5 V LVTTTL/LVCMOS I/O システムにインタフェースするときに、正しいハードウェア設定を使用。  |
| 19 | <input type="checkbox"/> | <input type="checkbox"/> | ピン配置の制約をチェックするために Quartus II ソフトウェアを使用。  |
| 20 | <input type="checkbox"/> | <input type="checkbox"/> | 同時にスイッチングするピンから入力ピンを分離。可能であれば、ピンの同時スイッチングを回避。  |
| 21 | <input type="checkbox"/> | <input type="checkbox"/> | 以下の方法を使用して、ボードへの同時スイッチング・ノイズの影響を最小化。 <ul style="list-style-type: none"> <li>● 同時にスイッチングする I/O を別の I/O バンクに振り分け。</li> <li>● 未使用 I/O ピンを V<sub>CC</sub> またはグラウンドに設定。</li> <li>● スイッチング・ピンの低速スルー・レート機能をオンにする。</li> <li>● スイッチング・ピンに低ドライブ強度を使用。</li> <li>● ボードにデカップリング・コンデンサを追加。</li> <li>● スイッチング・ピンに適切な終端方法を使用。</li> </ul> |
| 22 | <input type="checkbox"/> | <input type="checkbox"/> | デバイスの未使用ピンをピンの動作に応じてボードに接続。  |
| 23 | <input type="checkbox"/> | <input type="checkbox"/> | 信号を適切に終端。  |
| 24 | <input type="checkbox"/> | <input type="checkbox"/> | IBIS または HSPICE シミュレーションをボード・レベルで実行。   |
| 25 | <input type="checkbox"/> | <input type="checkbox"/> | 電源プレーンのノイズを最小化。  |
| 26 | <input type="checkbox"/> | <input type="checkbox"/> | パワーアップ要件とパワーアップ時における Cyclone III デバイスの I/O 動作を検討。  |
| 27 | <input type="checkbox"/> | <input type="checkbox"/> | 使用するコンフィギュレーション手法に基づいて、所定のコンフィギュレーション信号に正しい直列抵抗を追加。  |
| 28 | <input type="checkbox"/> | <input type="checkbox"/> | Cyclone III デバイスをマルチ・デバイス・コンフィギュレーションでカスケード接続するときは、コンフィギュレーション信号用のリピータ・バッファを使用。  |

- |    |                          |                          |   |
|----|--------------------------|--------------------------|---|
| 29 | <input type="checkbox"/> | <input type="checkbox"/> | DCLK 信号または TCK 信号がクリーンなことを確認。   |
| 30 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション・ピンを推奨値の抵抗を通じて High または Low に接続。   |
| 31 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション・チェーンのデバイスが正しく接続されていることを確認。  |
| 32 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション・チェーン内に異なる $V_{CCIO}$ レベルのデバイスがある場合は、コンフィギュレーション用の入力ピンが許容電圧レベルの信号でドライブされることを確認。入力信号の電圧レベルがこれらの入力ピンの許容範囲にない場合は、レベル・シフタを使用。  |
| 33 | <input type="checkbox"/> | <input type="checkbox"/> | ダウンロード・ケーブルで 4 個以上のデバイスをドライブしなければならない場合は、ボード・コネクタでコンフィギュレーション信号をバッファ。   |
| 34 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション・ピンに入る信号が 4.1 V 以上オーバーシュートしないよう、設定に応じて直列抵抗とバッファを使用。  |
| 35 | <input type="checkbox"/> | <input type="checkbox"/> | JTAG ピンを未接続のままにしないこと。   |
| 36 | <input type="checkbox"/> | <input type="checkbox"/> | 使用するコンフィギュレーション手法に基づいて、MSEL ピンを $V_{CCA}$ またはグラウンドに直接接続。<br>EPCS4 シリアル・コンフィギュレーション・デバイスで Cyclone III デバイスをコンフィギュレーションするときには、0.15 $\mu\text{m}$ プロセス・テクノロジーで製造された EPCS4 デバイスを使用。これらの EPCS4 デバイスは最大 40 MHz のクロック周波数をサポート。 |
| 37 | <input type="checkbox"/> | <input type="checkbox"/> | AP コンフィギュレーションの場合、40 MHz クロックをサポート可能な Intel P30 および P33 ファミリーからフラッシュ・メモリを選択。  |
| 38 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション・デバイスまたはフラッシュ・メモリの他のピンのピン接続をチェック。  |

### 30 ページの「デザインおよびコンパイル」

- |    | Done                     | N/A                      |   |
|----|--------------------------|--------------------------|---|
| 39 | <input type="checkbox"/> | <input type="checkbox"/> | デザインの複雑さに基づいて、回路図または HDL によるデザイン・エントリのトレードオフを検討。                                      |
| 40 | <input type="checkbox"/> | <input type="checkbox"/> | Quartus II ソフトウェア以外に、サードパーティ EDA ツール、SOPC Builder、DSP Builder、または IP コアによるデザインの構築を検討。 |
| 41 | <input type="checkbox"/> | <input type="checkbox"/> | デザイン・エントリに HDL を使用する場合は、推奨コーディング・スタイルを使用。   |
| 42 | <input type="checkbox"/> | <input type="checkbox"/> | サードパーティ合成ツールを使用してデザインを合成する場合は、Quartus II Fitter 用の合成ツールで生成されるネットリストを使用して、配置配線手順を実施。   |
| 43 | <input type="checkbox"/> | <input type="checkbox"/> | 同期デザインを使用。  |
| 44 | <input type="checkbox"/> | <input type="checkbox"/> | 組み合わせロジックの出力と入力をラッチしてグリッチを除去。   |

- 45   デザインのクロックに注意。クロック・ピン、グローバル・クロック・ネットワーク、クロック・コントロール・ブロック、および PLL をクロック信号に使用。
- 46   レジスタをクリアするためにチップ・ワイド・リセットを使用。
- 47   パワーアップ時にレジスタを High にする必要がある場合は、レジスタのパワーアップ・レベルを設定。
- 48   デザインの信頼性をチェックするために Quartus II Design Assistant を使用。
- 49   ボトムアップまたはトップダウン・デザインのコンパイル時間を短縮するためにインクリメンタル・コンパイルを使用。
- 50   Design Space Explorer、パワー・ドリブн・コンパイル、ゲート・レベル・レジスタのリタイミング、面積最小化の合成、Power Optimization Advisor など、さまざまな Quartus II ソフトウェア設定を利用して消費電力を最適化。
- 51   クロック消費電力管理、メモリ省電力化、パイプライン処理およびリタイミング、アーキテクチャ最適化など、消費電力を最適化するデザイン手法に注意。
- 52   Quartus II Pin Planner を使用してピン・アサインメントを実施。
- 53   Pin Planner Package View を使用して、ピン、I/O バンク、V<sub>REF</sub> グループ、および異なるピン・ヘアの位置をビジュアルに識別。
- 54   Pin Planner で Pin Migration View を使用して、マイグレーション・デバイス間に存在する可能性があるピンの違いを識別。
- 55   信号ノイズの低減またはピンからの階段状出力を防止、および信号のオーバーシュートまたはアンダーシュートを防止するために、出力ピンまたは双方向ピン上で正しいドライブ強度およびスルー・レートを使用する。
- 56   Cyclone III シリーズの直列 On-Chip Termination 機能を I/O インピーダンス・マッチングに、終端を特定の I/O 規格に使用してボード・スペースを節約。
- 57   PLL カスケード接続に起因するクロック・ジッタをモデル化するために、クロックの不確実性 (Clock Uncertainty) アサインメントを使用。
- 58   送信時の高周波信号の減衰を低減するために、高周波信号にプログラマブル・プリエンファシスを使用。
- 59   追加抵抗なしで差動 I/O 規格を実装するために、専用の差動出力バッファを使用。
- 60   デザインで使用するクロック・ピンの位置に基づいて、使用したい PLL の位置を決定するか、またはクロック・ピンに対するユーザのピン・アサインメントに基づいて、Quartus II ソフトウェアに自動的に PLL の位置を決定させる。
- 61   altpll メガファンクションおよび altpll\_reconfig メガファンクションのポートを推奨ピンに割り当てる。
- 62   クロックの不確実性 (Clock Uncertainty) を使用して PLL モデルのジッタのタイミン解析をチェック。

- |    |                          |                          |   |
|----|--------------------------|--------------------------|---|
| 63 | <input type="checkbox"/> | <input type="checkbox"/> | PLL デザインに対してタイミングまたは機能シミュレーションを実行して機能をチェック。   |
| 64 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション完了時に初期化をコントロールするために、CLKUSR ピンを使用。  |
| 65 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション後の初期化プロセスの完了を示すために、INIT_DONE ピンを使用。  |
| 66 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション中にエラーが発生した場合に Cyclone III デバイスのリコンフィギュレーションを強制するために、auto-restart configuration after error オプションを使用。 |
| 67 | <input type="checkbox"/> | <input type="checkbox"/> | ストレージ要件を軽減しコンフィギュレーション時間を短縮するために、Cyclone III デバイスのコンフィギュレーションに圧縮コンフィギュレーション・ファイルを使用。                            |
| 68 | <input type="checkbox"/> | <input type="checkbox"/> | コンフィギュレーション・データに必要なストレージ・スペース量を見積るために、RBF ファイルを使用。  |

48 ページの「検証」

- |    | Done                     | N/A                      |  |
|----|--------------------------|--------------------------|--|
| 69 | <input type="checkbox"/> | <input type="checkbox"/> | Quartus II ソフトウェアで I/O アサインメント解析を実行。Quartus II ソフトウェアは、制約に対する I/O パッドの位置もチェック。             |
| 70 | <input type="checkbox"/> | <input type="checkbox"/> | I/O ピンで推奨仕様を超える電流をシンクまたはソースしない。Quartus II ソフトウェアで制限を設定することも可能。                             |
| 71 | <input type="checkbox"/> | <input type="checkbox"/> | タイミング解析を実行するために、TimeQuest タイミング・アナライザをクラシック・タイミング・アナライザより優先して使用。                           |
| 72 | <input type="checkbox"/> | <input type="checkbox"/> | フル・コンパイル実行前にタイミングの見積りが必要な場合は、Early Timing Estimation を実行。                                  |
| 73 | <input type="checkbox"/> | <input type="checkbox"/> | タイミング・レポートをチェックして、 $s_u$ 、 $t_H$ 、 $t_{CO}$ 、 $t_{PD}$ 、または $f_{MAX}$ の違反がないかを確認。          |
| 74 | <input type="checkbox"/> | <input type="checkbox"/> | 入力および出力遅延を指定するために、Quartus II アサインメントを使用。   |
| 75 | <input type="checkbox"/> | <input type="checkbox"/> | データおよびクロック・スキューを指定するために、Quartus II アサインメントを使用。   |
| 76 | <input type="checkbox"/> | <input type="checkbox"/> | 合成およびフィッタ設定、DSE、LogicLock によるタイミング・ドリブ・コンパイルなど、他の Quartus II ソフトウェア機能を性能最適化に利用。            |
| 77 | <input type="checkbox"/> | <input type="checkbox"/> | デザインでの消費電力の見積りを実行するために PowerPlay Power Analyzer を使用。                                       |
| 78 | <input type="checkbox"/> | <input type="checkbox"/> | Quartus II シミュレータまたは他のサードパーティ・シミュレーション・ツールを使用してタイミングまたは機能シミュレーションを実行し、デザインが正しく動作していることを確認。 |

## 53 ページの「デザインのデバッグ」

	Done	N/A	
79	<input type="checkbox"/>	<input type="checkbox"/>	内部または出力信号をチェックするために、SignalTap II エンベデッド・ロジック・アナライザを使用。
80	<input type="checkbox"/>	<input type="checkbox"/>	既存デザインのリソースの配置および配線に影響を与えずに、内部信号を出力ピンに配線することによって、内部信号をモニタするための SignalProbe 機能を使用。
81	<input type="checkbox"/>	<input type="checkbox"/>	デバッグのために入力信号をデザインに供給するために、イン・システム・ソースおよびプローブ機能を使用。
82	<input type="checkbox"/>	<input type="checkbox"/>	デバッグ時のコンパイル時間を短縮するためにインクリメンタル・コンパイルを使用。

## 55 ページの「テスト作業」

	Done	N/A	
83	<input type="checkbox"/>	<input type="checkbox"/>	ボードのピン接続をチェックするためにバウンダリ・スキャン・テストを実行。
84	<input type="checkbox"/>	<input type="checkbox"/>	デザインに基づいて BSDL ファイルを再生成するために、BSDLCustomizer ツールを使用。

## 55 ページの「その他の検討事項」

	Done	N/A	
85	<input type="checkbox"/>	<input type="checkbox"/>	デバイスを取り扱う際は ESD に注意する。
86	<input type="checkbox"/>	<input type="checkbox"/>	推奨動作条件下でデバイスを動作させる。
87	<input type="checkbox"/>	<input type="checkbox"/>	Cyclone III デバイスの各種機能をテストするために、Cyclone III FPGA スタータ開発キットを使用。