

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

はじめに

PCI Express は、広範囲なコンピュータ・プラットフォームや通信プラットフォームを対象として定義された高性能汎用 I/O インタコネクトです。PCI Express はシリアルポイント・ツー・ポイント・パケット化インタフェースを採用していますが、旧型 PCI プロトコルとソフトウェア互換性を維持しています。PCI Express は、マルチドロップ型のパラレル PCI や PCI-X バスに比べて高い性能とシステム全体コストの削減を提供します。

アルテラの PCI Express コンパイラは、PCI Express エンドポイントをデザインする際に使うことができるカスタマイズした高性能 PCI Express MegaCore® ファンクションを生成します。PCI Express MegaCore ファンクションは、「PCI Express Base Specification Revision 1.1」および「PCI Express Base Specification Revision 1.0a」に準拠しています。

PCI Express 高性能リファレンス・デザインはアルテラの PCI Express MegaCore を採用し、FPGA 内蔵メモリとシステム・メモリとの間でデータ転送を行う高性能チェイニング・ダイレクト・メモリ・アクセス (DMA) を内蔵しています。このリファレンス・デザインは、DMA 転送をセットアップする Windows XP ベースのソフトウェア・アプリケーションを含んでいます。また、このソフトウェア・アプリケーションは、転送性能の測定と表示も行います。このリファレンス・デザインで採用されているチェイニング DMA は、PCI Express コンパイラにより生成されたチェイニング DMA の例です。このリファレンス・デザインでは、アルテラ PCI Express MegaCore の性能を中心に説明し、ユーザによる PCI Express MegaCore の評価を可能にします。

このアプリケーション・ノートには次の内容が含まれています。

- 2 ページの「PCI Express のスループットを理解する」
- 6 ページの「リファレンス・デザインに含まれている内容」
- 6 ページの「リファレンス・デザインの機能説明」
- 11 ページの「デザイン・ウォークスルー」
- 21 ページの「性能ベンチマークの結果」

PCI Express のスループットを理解する

PCI Express システムのスループットは、プロトコル・オーバーヘッド、ペイロード・サイズ、コンプリーション遅延、フロー・コントロール更新遅延などの複数のファクタに依存します。また、スループットはリンク内の両デバイスの特性にも依存します。この項では、スループットを解析する際に考慮すべき様々なファクタについて説明します。この例では、2.5 Gbps で動作している x1 リンクを想定します。

プロトコル・オーバーヘッド

PCI Express は 8b/10b エンコーディングを採用しています。このエンコーディングでは、データの各バイトが 10 ビット・データ・コードに変換されるため、25% のオーバーヘッドが発生します。したがって、有効データ・レートは 2 Gbps に、すなわちレーン当たり 250 MBps に削減されます。

また、データ・リンク・レイヤ・パケット (DLLP) と物理レイヤ・パケット (PLP) を送信するときにアクティブ・リンクも使います。PLP のサイズは 4 バイト、すなわちダブル・ワード (DW) であり、SKP オーダ・セットで構成されています。DLLP サイズは 2 DW であり、ACK/NAK とフロー・コントロール DLLP から構成されています。ACK とフロー・コントロール更新 DLLP は、トランザクション・レイヤ・パケット (TLP) の逆方向へ送信されます。リンクが両方向の広帯域幅トラフィックで駆動される場合には、DLLP 動作が多くなるため、各 TLP で 1 DLLP 程度になります。DLLP と PLP により、TLP が使用できる有効帯域幅が小さくなります。図 1 に、TLP フォーマットを示します。

図 1. TLP フォーマット



1 個の TLP に対応するオーバーヘッドは、5 DW ~ 7 DW の範囲で変わります。オーバーヘッドには、Start フレーミング・シンボル、End フレーミング・シンボル、シーケンス ID、TLP ヘッダ (長さ 3 DW または 4 DW)、オプションの ECRC、LCRC が含まれます。TLP ヘッダのサイズは TLP のタイプに依存し、1 TLP から変化することができます。TLP の残りの部分には、0 ~ 1024 DW のデータ・ペイロードが含まれます。

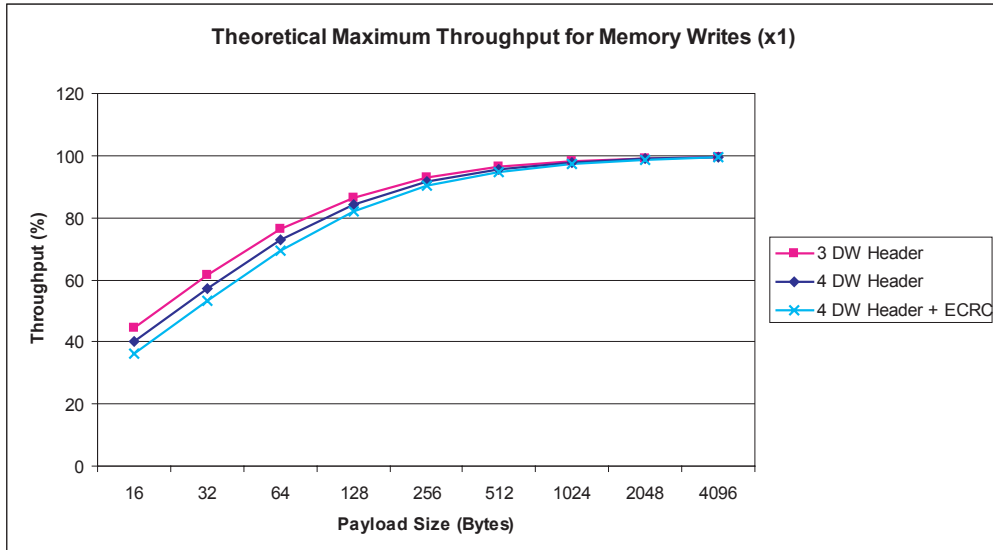
ポスト・ライトのスループット

理論最大スループットは次式で計算されます。

$$\text{スループット \%} = \text{ペイロード・サイズ} / (\text{ペイロード・サイズ} + \text{オーバーヘッド})$$

図 2 に、DLLP と PLP を無視した場合の、様々な TLP ヘッダ・サイズに対する最大スループットを示します。256 バイトの最大ペイロード・サイズと 3 DW の TLP ヘッダ（すなわち 5 DW オーバヘッド）の場合、最大スループットは $(256 / (256 + 20))$ すなわち 92% になります。

図 2. メモリ書き込みの最大スループット



TLP ペイロードの最大サイズは、PCI Express コンフィギュレーション・スペース内のデバイス・コントロール・レジスタ（ビット 7～5）により制御されます。MegaCore パラメータ **maximum payload size supported** により、デバイス対応レジスタ（ビット 2～0）内の **maximum payload size supported** フィールドの読み出し専用値が設定され、このペイロード・サイズに対して MegaCore ファンクションが最適化されます。MegaCore ファンクションは、最大ペイロード・サイズに対してコンフィギュレーションすることができます。これは後で、システムによりサポートされる最大ペイロード・サイズに基づいて、システムから小さくすることができます。この MegaCore パラメータはコア使用率に影響するため、そのコアが使用されるシステムによりサポートされる最大ペイロード・サイズを超えないようにこのパラメータを設定する必要があります。

PCI Express はフロー・コントロールを採用しています。このフロー・コントロールでは、レシーバが TLP を受信するために十分な空きバッファ・スペースを持っている限り、TLP は送信されません。デバイスは TLP を送信する前に十分なヘッダとデータのクレジットを必要とします。コンプリータのアプリケーション・ロジックが TLP を受け取ると、コンプリータのトランザクション・レイヤ内にある RX バッファ・スペースを解放します。コンプリータはフロー・コントロール更新（FC Update DLLP）を送信します。このフロー・コントロール更新は発信元

TLPにより消費されたクレジットを返します。デバイスが初期クレジットをすべて使い切った場合、リンク帯域幅がクレジット更新を受信する速度により制限されます。フロー・コントロール更新は、最大ペイロード・サイズおよび送信デバイスと受信デバイス内の遅延に依存します。



フロー・コントロール更新ループについて詳しくは、「PCI Express コンパイラ・ユーザガイド」を参照してください。このガイドには、フロー・コントロール更新ループと対応する遅延についての詳細情報が記載されています。

読み出しスループット

PCI Express は、読み出しに分割トランザクションを使っています。リクエストはまずメモリ読み出しリクエストを送信します。次に、コンプリータはメモリ読み出しリクエストを確認するため ACK DLLP を送信します。続いて、複数のコンプリーション・パケットに分割できるコンプリーション・データを返します。読み出しスループットは、次の例に示すように、コンプリーションを複数パケットに分割できるため、書き込みスループットに比べて大幅に低くなります。読み出しリクエストを 512 バイトとし、コンプリーション・パケット・サイズを 64 バイトとすると、最大スループットは次のように計算できます。

$$\text{コンプリーション・パケット数} = 512/64 = 8$$

$$\text{ECRC} = 8 \times 20 = 160 \text{ バイトなしの 3 DW TLP ヘッダのオーバヘッド}$$

$$\text{最大スループット \%} = 512 / (512 + 160) = 76\%。$$

これらの計算では、DLLP と PLP を考慮していません。PCI Express 仕様で規定される読み出しコンプリーション境界 (RCB) パラメータにより、複数のコンプリーションで読み出しリクエストがサービスされる整列アドレス境界が自然に決定されます。ルート・コンプレックスの場合、RCB は 64 バイトまたは 128 バイトです。他のすべての PCI Express デバイスの場合、RCB は 128 バイトです。

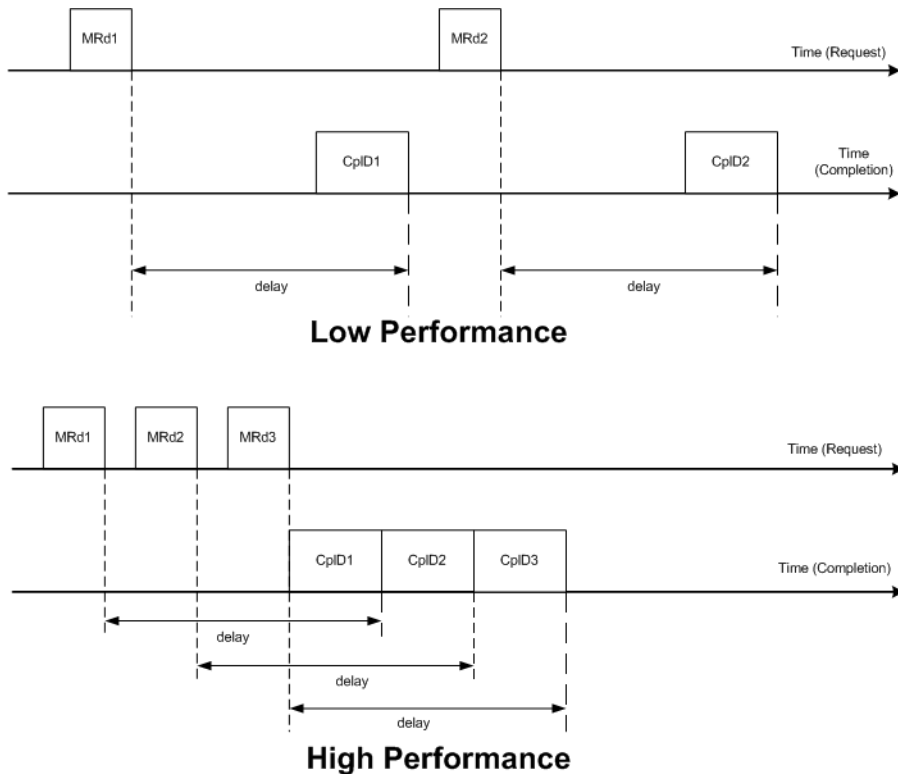


非整列の読み出しリクエストでは、さらにスループットが低下することがあります。

読み出しスループットは、アプリケーション・ロジックが読み出しリクエストを発行してからすべてのコンプリーション・データが返されるまでの往復遅延に依存します。スループットは、十分な読み出しリクエストを発行できるアプリケーションおよびこの遅延に対処するためのコンプリータの処理能力（または少なくとも十分な非ポスト・ヘッダ・クレジットを提供する処理能力）に依存します。

図 3 に、メモリ読み出しリクエスト (MRd) とコンプリーション (CplD) のタイム・チャートを示します。図の上側のタイム・チャートは、コンプリーションを待った後に、後続の読み出しリクエストを発行するために、スループットが低下するリクエストを示しています。下側のタイム・チャートは、コンプリーションの遅延に対処するため十分なメモリ読み出しリクエストを発行して、高いスループットを維持するリクエストを示しています。

図 3. 読み出しリクエストのタイム・チャート



さらに、リクエストはコンプレッション・データ・パケットに対して最大スループットを維持する必要があります。これは、Rx バッファ内でコンプレッションに対する適切な設定を選択することにより、およびアプリケーション・ロジックが読み出しリクエストを発行し、コンプレッション・データを処理するレートを管理することにより、実現することができます。



Rx バッファ設定の推奨事項について詳しくは、「PCI Express コンパイラ・ユーザガイド」を参照してください。

最終的なスループットは、一時的に大きくなることのある読み出しリクエスト・データの量により制約されます。この量は、ヘッダ・タグ数と発行可能な読み出しリクエストの最大サイズにより制限されます。読み出しリクエストの最大サイズは、PCI Express コンフィギュレーション・スペースにあるデバイス・コントロール・レジスタ（ビット 14～12）から制御されます。ヘッダ・タグは、アプリケーション・レイヤが他のリクエストとそのリクエストに対するコンプレッションを区別するために非ポスト・リクエストに与えた番号です。コアはエラー・チェックのために、読み出しリクエストとコンプレッションを記録するため、ア

アプリケーションが使用する最大タグ数は IP コア・コンフィギュレーション内で設定する必要があります。大きなタグ数を指定すると、コアが使用するリソースが増えるため、コア性能 (f_{MAX}) が低下することがあります。Windows システムでは、4K バイト読み出しリクエストに対して途切れない連続読み出しコンプリーションを保証するために、通常は 8 個のタグで十分です。

リファレンス・デザインに含まれている内容

リファレンス・デザインには次のコンポーネントが含まれています。

- ソフトウェア・アプリケーションと windows 用ドライバ (32 ビット、Windows XP)
- x1、x4、x8 動作 StratiX® II GX PCIe 開発キットの FPGA プログラミング・ファイル
- SOF、POF、SignalTap® II ファイルを含む、開発ボードおよびコンフィギュレーション用 Quartus® II Archives (QAR)

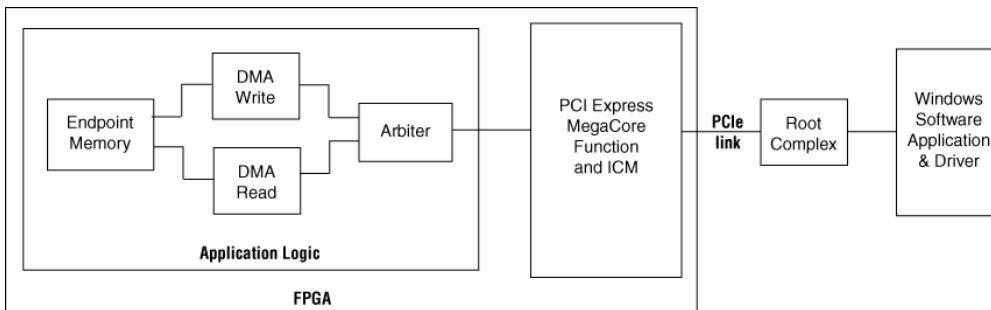
リファレンス・デザインの機能説明

リファレンス・デザインは、次のコンポーネントから構成されています。

- MegaCore ファンクションで生成したチェイニング DMA 例を構成するアプリケーション・レイヤ・ロジック
- MegaCore ファンクション・バリエーション
- ソフトウェア・アプリケーションおよび Windows XP ドライバ

図 4 に、これらのコンポーネントを示します。

図 4. リファレンス・デザインのコンポーネント



このチェイニング DMA 例は、アプリケーション・ロジック内の 2 個の DMA モジュールと内蔵メモリ (エンドポイント・メモリと呼びます) から構成されています。このデザインは、DMA 読み出しトランザクションと DMA 書き込みトランザクションを同時にサポートすることができます。DMA 書き込みモジュールは、PCI Express リンクを経由してエンドポイント・メモリからルート・コンプレックス (システム・メモリ) へデータを転送する書き込み動作を行います。DMA

読み出しモジュールは、PCI Express リンクを経由してルート・コンプレックス（システム・メモリ）からエンドポイント・メモリへデータを転送する読み出し動作を行います。

リファレンス・デザイン自体は FPGA に完全に内蔵されているため、PCI Express リンク以外の他のハードウェア・インタフェースに依存しません。チェイニング DMA は、システム・メモリとエンドポイント・メモリとの間で大量の非連続メモリを転送する際に、シンプルな DMA に比べて高い性能を提供します。シンプルな DMA では、ソフトウェア・アプリケーションが、ディスクリプタごとに DMA レジスタをプログラムする必要があります。チェイニング DMA では、各転送に対してディスクリプタ・テーブルを使っています。これらのディスクリプタ・テーブルには次の情報が含まれます。

- 転送の長さ
- 転送の送信元と送信先のアドレス
- ソフトウェア・アプリケーションと DMA モジュールとの間のハンドシェイク動作を設定する制御情報

各ディスクリプタは 4 DW で構成されています。ディスクリプタは、連続したメモリ・ページ内にまとめて配置されます。

ソフトウェア・アプリケーションは、GUI に設定した属性に基づいて、システム・メモリ内に必要なディスクリプタ・テーブルを生成します。また、ソフトウェア・アプリケーションは、総ディスクリプタ数や先頭ディスクリプタ・テーブルのアドレスなどの情報を含むディスクリプタ・ヘッダ・テーブルも生成します。転送の開始時に、ソフトウェア・アプリケーションは DMA レジスタにディスクリプタ・テーブル・ヘッダを設定します。DMA モジュールは、各 DMA 読み出しと DMA 書き込みのこれらのディスクリプタ・テーブルを連続するように集めて、各ディスクリプタの転送を行います。

DMA モジュールには性能カウンタも内蔵されています。このカウンタは、ソフトウェアがディスクリプタ・ヘッダ・テーブルを DMA レジスタへ書き込んだときにカウントを開始し、DMA モジュールにより最後のデータが転送されたときカウントを停止します。転送が完了した後、ソフトウェア・アプリケーションはカウンタ値を使って転送スループットを計算して報告します。カウンタ値には、ディスクリプタ初期読み出し遅延が含まれるため、ソフトウェア・アプリケーションから報告されるスループットは実際の値より小さくなります。



チェイニング DMA 例アーキテクチャとプログラミングの説明については、「PCI Express コンパイラ・ユーザガイド」を参照してください。

コアの設定

リファレンス・デザインで使用したコアは、256 バイトの最大ペイロード・サイズをサポートします。10 ページの図 7 に示すように、完了とリクエストを受信する性能は High に設定されています。

図 5 ～ 7 に、リファレンス・デザインで使用したコア・パラメータ (MegaWizard® Plug-In Manager で設定) を示します。これらの図は、x8 動作のコア設定を示しています。x1 および x4 動作の設定は同じです。ただし、レーン数は 1 または 4 に設定されています。



コア・パラメータについて詳しくは、「PCI Express コンパイラ・ユーザガイド」を参照してください。

図 5. MegaWizard Plug-In Manager – システム設定

MegaWizard Plug-In Manager - PCI Express Compiler
PCI Express Compiler
 Version 7.1

Parameter Settings | Simulation Model | Summary

System Settings | Capabilities | Buffer Setup | Power Management

PHY type: Stratix II GX | PHY interface: Serial | Configure transceiver block

Lanes: x8 | Xcvr ref_clk: 100 MHz | Internal datapath: 64 bits

Port type: Native Endpoint | PCI Express version: 1.1 | Internal clock: 125 MHz

PCI Base Address Registers (Type 0 Configuration Space)

BAR	BAR Type	BAR Size
1:0	64-bit Prefetchable Memory	256 MBytes - 28 bits
2	32-bit Non-Prefetchable Memory	256 KBytes - 18 bits
3	Select Type to Enable	
4		
5		
N/A		
EXP-ROM	Select to Enable	

Warning: Selected PHY (Stratix II GX) requires the Quartus II device family setting to be Stratix II GX prior to compilation.
 Info: License ordering code for the selected configuration is IP-PCIeI8.
 Info: Native Endpoint implementation requires MSI message 64-bit address capability.
 Info: Native Endpoint implementation doesn't support I/O or 32-bit Prefetchable memory BAR types.
 Info: Stratix II GX internal PHY doesn't support power management options.

Cancel < Back Next > Finish

図 6. MegaWizard Plug-In Manager – 機能

MegaWizard Plug-In Manager - PCI Express Compiler

PCI Express Compiler
Version 7.1

About Documentation

1 Parameter Settings 2 Simulation Model 3 Summary

System Settings > Capabilities > Buffer Setup > Power Management >

PCI Read-Only Registers

Device ID: 0xE002 Class code: 0xFF0000 Subsystem ID: 0xE002

Vendor ID: 0x1172 Revision ID: 0x01 Subsystem vendor ID: 0x1172

General Capabilities

Link common clock

Implement advanced error reporting

Implement ECRC check

Implement ECRC generation

Link port number: 0x01

Device Capabilities

Tags supported: 16

MSI Capabilities

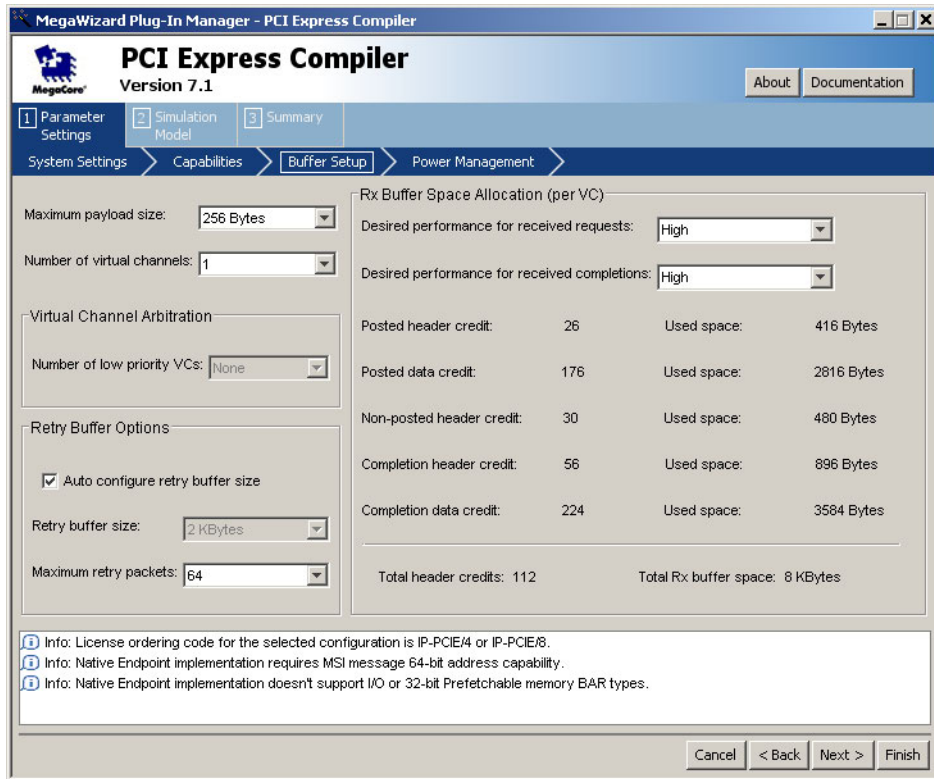
MSI messages requested: 4

MSI message 64-bit address capable

Info: License ordering code for the selected configuration is IP-PCIE/4 or IP-PCIE/8.
Info: Native Endpoint implementation requires MSI message 64-bit address capability.
Info: Native Endpoint implementation doesn't support I/O or 32-bit Prefetchable memory BAR types.

Cancel < Back Next > Finish

図 7. MegaWizard Plug-In Manager – バッファ・セットアップ



Quartus II の設定

リファレンス・デザイン・パッケージに添付されている Quartus II Archives (QAR) には、推奨シンセシス、フィッタ、このリファレンス・デザインで使ったバリエーション内で選択したパラメータに対するタイミング解析の設定が含まれています。

デザイン・ウォークスルー

この項では、リファレンス・デザインのインストール方法とソフトウェア・アプリケーションの動作方法について説明します。次の情報が含まれます。

- ハードウェア条件
- ソフトウェア条件
- ソフトウェア・インストレーション
- ハードウェア・インストレーション
- ソフトウェア・アプリケーションの実行

ハードウェア条件

リファレンス・デザインには次のハードウェアが必要です。

- Stratix II GX PCI Express 開発ボード
- Stratix II GX PCI Express 開発ボード用の×8/×4/×1 PCI Express スロットを持つ 32 ビット Windows XP が動作するコンピュータ。ソフトウェア・アプリケーションとハードウェアがこのコンピュータにインストールされます（このドキュメントではコンピュータ #1 と呼びます）。
- FPGA プログラミング・ファイルを Stratix II GX PCI Express 開発ボードへダウンロードするための、Quartus II ソフトウェアをインストールしたコンピュータ（このドキュメントではコンピュータ #2 と呼びます）。
- アルテラの USB-Blaster™ ケーブルまたはその他のアルテラ・ダウンロード・ケーブル。
- ×4 動作 PCI Express ×8-to-×4 レーン・コンバータまたは ×1 動作 PCI Express ×8-to-×1 レーン・コンバータ。レーン・コンバータは、チャンネル・コネクタ数を増やし、チャンネル PCB パターン数を減らす拡張カードです。



PCI Express を使うと、レーン数の少ないカードを大きいレーン数をサポートできる大型コネクタに挿入できる“アップ・プラグング”が可能になります。レーン数の大きいカードをレーン数の小さいスロットに挿入すること（“ダウン・プラグング”）はできません。これは、コネクタ・キーイングにより防止されています。したがって、Stratix II GX カードを ×4/×1 スロットに挿入する場合は、×4/×1 レーン・コンバータが必要になります。

ソフトウェア条件

リファレンス・デザイン・アプリケーションを動作させるためには、次のソフトウェアのインストレーションが必要です。

- www.altera.co.jp から圧縮ファイルとしてダウンロード可能な PCI Express 高性能リファレンス・デザイン・パッケージ
- コンピュータ #2 上で動作する Quartus II ソフトウェア・バージョン 7.1

ソフトウェア・インストール

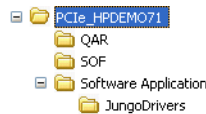
ソフトウェア・アプリケーションをインストールするためには、管理者権限が必要です。

ソフトウェア・アプリケーションは、32 ビット Windows XP 上でのみ動作し、Jungo 社の WinDriver バージョン 8.11 を使います。

ソフトウェア・アプリケーションと windows ドライバをインストールするときは、次のステップを実行します。

1. PCI Express 高性能リファレンス・デザイン・パッケージをコンピュータ #2 にダウンロードして、圧縮ファイルを解凍します。図 8 に、ディレクトリ構造を示します。

図 8. ディレクトリ構造



2. カードを挿入しない状態で、**Software Application** ディレクトリをコンピュータ #1 へコピーします。
3. **JungoDrivers** ディレクトリで、**install.bat** をダブル・クリックして、このアプリケーションの Windows XP ドライバをインストールします。
4. **Software Application** ディレクトリから **altpcie_demo.exe** を実行して、ソフトウェア・アプリケーションを起動します。

ハードウェア・インストール

ハードウェアをインストールするときは、次のステップを実行します。

1. コンピュータ #1 をパワーダウンして、Stratix II GX カードを PCI Express スロットに挿入します。x1/x4動作の場合、PCI Express レーン・コンバータを使います。
2. コンピュータ #1 を起動します。
3. リファレンス・デザインで FPGA をプログラムします。最適結果を得るためには POF (プログラミング・オブジェクト・ファイル) を使います。

開発ボードのプログラミングは、コンピュータ #2 上で Quartus II ソフトウェアを使って行うため、コンピュータ #2 とコンピュータ #1 上の開発ボードとの間に、アルテラの USB-Blaster ケーブル（または他のダウンロード・ケーブル）による接続が必要です。POF または SOF（ソフトウェア・オブジェクト・ファイル）による FPGA プログラミングについて次に説明します。

- 13 ページの「USB-Blaster ケーブルの接続」
- 13 ページの「POF によるプログラミング」
- 16 ページの「SOF によるプログラミング」

USB-Blaster ケーブルの接続

USB-Blaster ケーブルを接続するときは、次のステップを実行します。

1. USB-Blaster ケーブルの 10 ピン雌プラグを Stratix II GX EP2SGX90 PCI Express 開発ボード上の JTAG ヘッド (J5) に接続します。ケーブル上のマーカ線をヘッド (J5) のピン 1 へ接続します。J5 のピン 1 は、ボード上に示してあります。
2. ケーブルの他端を Quartus II ソフトウェアが動作するコンピュータ（コンピュータ #2）上の USB ポートに接続します。

POF によるプログラミング

POF で FPGA をプログラムするときは、次のステップを実行します。


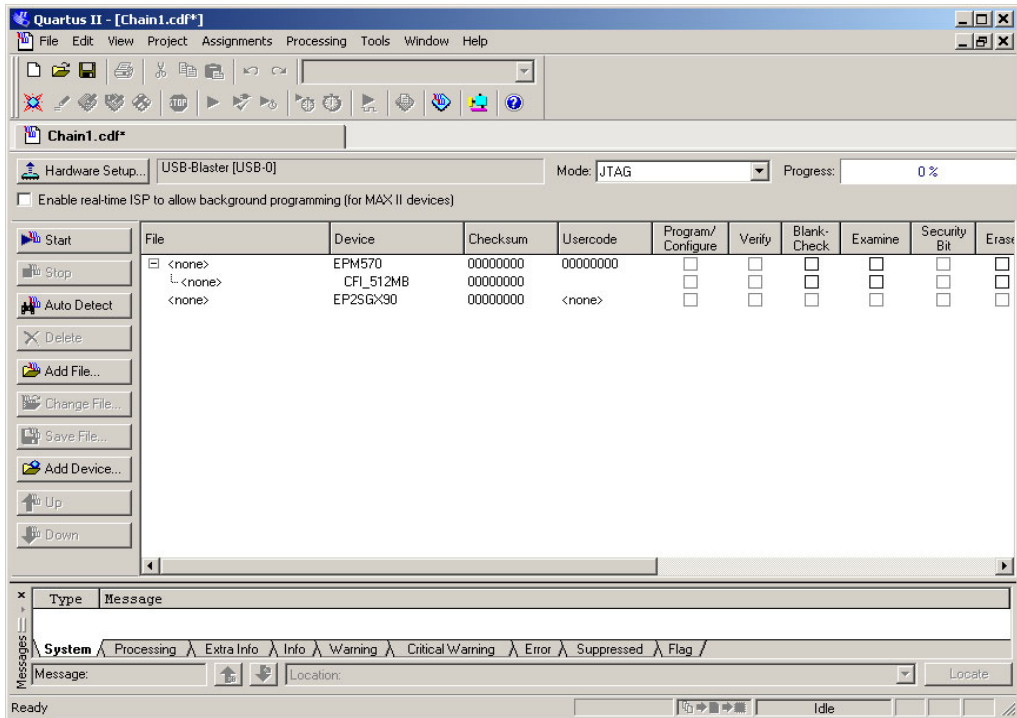

1. コンピュータ #2 上で Quartus II プログラマを起動します。
2. Quartus II プログラマ内で、**Auto Detect** をクリックして、Stratix II GX ボード上の JTAG チェインに接続されているデバイスのリストを表示します。 9 に、操作結果を示します。

図 9. Quartus II ソフトウェア・ダイアログ・ボックス



 ボード上のフラッシュのプログラミング状態に応じて、様々な結果が表示されます。

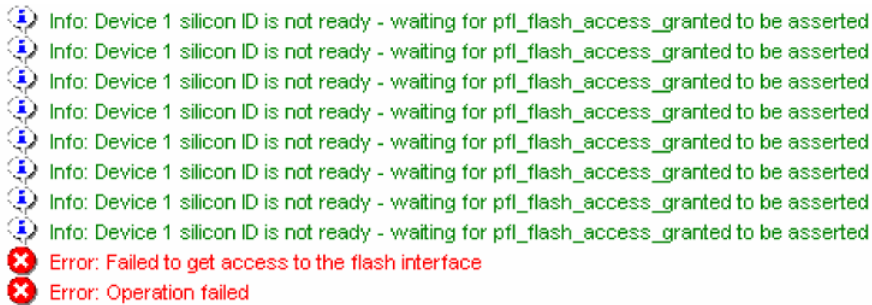
- MAX II デバイスにフラッシュ・デバイスが接続されている場合は、5 に進みます。その他の場合は、MAX II デバイスを選択します。右クリックして、**Attach Flash Device** をクリックします。
- Attach Flash Device** ダイアログ・ボックスで、CFI_512MB デバイスを選択します。OK をクリックします。
- MAX II デバイス (EPM570) を選択します。右クリックして、**Change File** をクリックします。**Change File** ダイアログ・ボックスで、**sof** ディレクトリから **pfl2.pof** プログラミング・ファイルを選択します。
- Open** をクリックします。ダイアログ・ボックスが閉じます。
- フラッシュ・デバイスを選択して、右クリックし、**Change File** をクリックします。**Change File** ダイアログ・ボックスで、**sof** ディレクトリから該当する POF (×1、×4、または×8) を選択します。

8. **Open** をクリックします。ダイアログ・ボックスが閉じます。
9. MAX II デバイスとフラッシュ・デバイスの **Program/Configure** ボックスをオンにします。**Start** をクリックします。MAX II デバイスとフラッシュ・デバイスが、リファレンス・デザインによりプログラムされます。



メッセージ “Device 1 silicon ID is not ready” (図 10) が表示されたときは、開発ボード上の **Config_Done** ボタン (S1) を押して、プログラミングを開始します。これは、ボード上のフラッシュがプログラム済みの場合に発生します。

図 10. Device Not Ready メッセージ



10. プログラミングが終了したら、コンピュータ #1 をパワーダウンして再起動します。
11. オペレーティング・システムが新しいハードウェア・デバイスを検出して、**Found New Hardware Wizard** を表示します。このウィザードで、**Install the software automatically (Recommended)** を選択します。**Next** をクリックします。
12. **Finish** をクリックしてウィザードを閉じます。

SOF によるプログラミング

このソフトウェア・アプリケーションの使用を簡素化して、ブート・シーケンス回数を少なくするときは、POF を使ってください。ただし、添付の SOF によりボードをプログラムする場合は、ブート・シーケンスが次のいずれかのセーフ状態にあるときに FPGA プログラミングを行います。

- “Alert! Error initializing PCI Express slot 1” のようなメッセージによりエラーが表示されたとき
- ブート・シーケンス中に F8 キーを押して、Windows Boot マネージャを起動します。

SOF で FPGA をプログラムするときは、次のステップを実行します。

1. コンピュータ #2 上で Quartus II プログラマを起動します。
2. Quartus II プログラマ内で、**Auto Detect** をクリックして、Stratix II GX ボード上の JTAG チェインに接続されているデバイスのリストを表示します。14 ページの図 9 に、操作結果を示します。
3. Stratix II GX デバイス (EP2SGX90) を選択します。右クリックして、**Change File** をクリックします。**Change File** ダイアログ・ボックスで、**sof** ディレクトリから該当する SOF (×1、×4、または ×8) を選択します。
4. **Open** をクリックします。ダイアログ・ボックスが閉じます。
5. Stratix II GX デバイスの **Program/Configure** ボックスをオンにします。
6. **Start** をクリックします。Stratix II GX デバイスが、リファレンス・デザインによりプログラムされます。
7. コンピュータ #1 をソフト再起動します (Ctl-Alt-Delete、パワーダウンとは別です)。
8. オペレーティング・システムが新しいハードウェア・デバイスを検出して、**Found New Hardware Wizard** を表示します。このウィザードで、**Install the software automatically (Recommended)** を選択します。**Next** をクリックします。
9. **Finish** をクリックしてウィザードを閉じます。

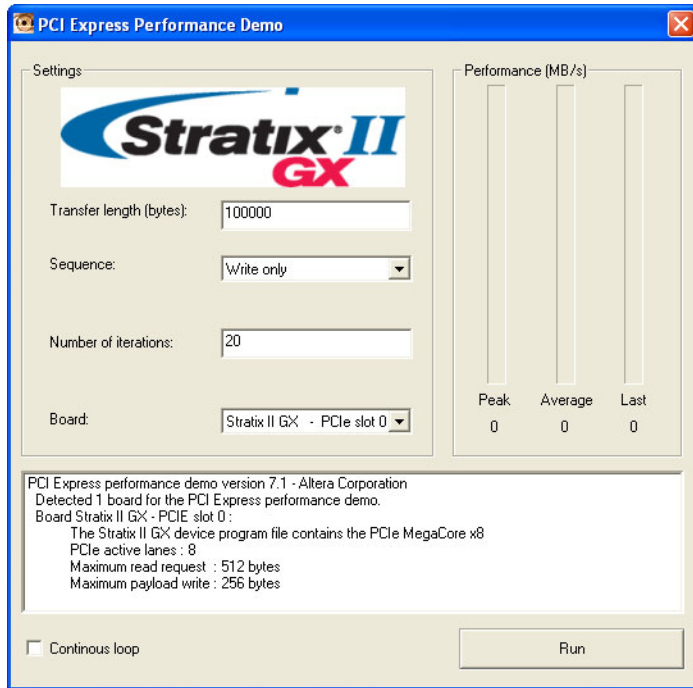
ソフトウェア・アプリケーションの実行

ソフトウェア・アプリケーションを実行するときは、次のステップを実行します。

1. **Software Application** ディレクトリ内でアプリケーション **altpcie_demo.exe** をダブル・クリックして、起動します。

- アプリケーションは、ボード・タイプ、アクティブ・レーン数、読み出しリクエスト最大サイズ、最大ペイロード・サイズを表示します (図 11)。

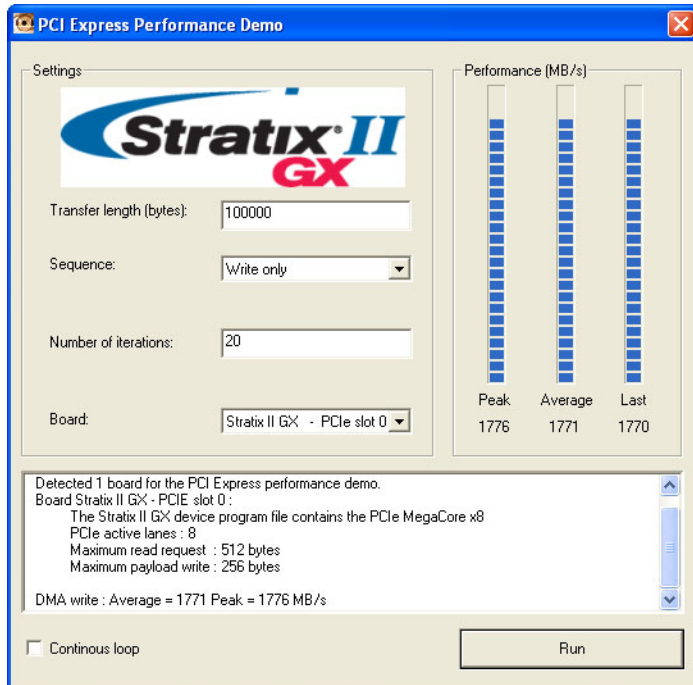
図 11. 初期設定



ソフトウェア GUI には、次のコントロール・フィールドがあります。

- **Transfer length**— バイト数で指定する転送長
 - **Sequence**— データ転送のシーケンスを制御
 - **Number of iterations**— データ転送の繰り返し数を制御
 - **Board**— ソフトウェア・アプリケーションの開発ボードを指定
 - **Continuous loop**— このオプションをオンにすると、アプリケーションは連続転送を実行
- Transfer length** に 100,000 バイトを、**Sequence** に **Write only** をそれぞれ設定します (図 12)。**Run** をクリックします。

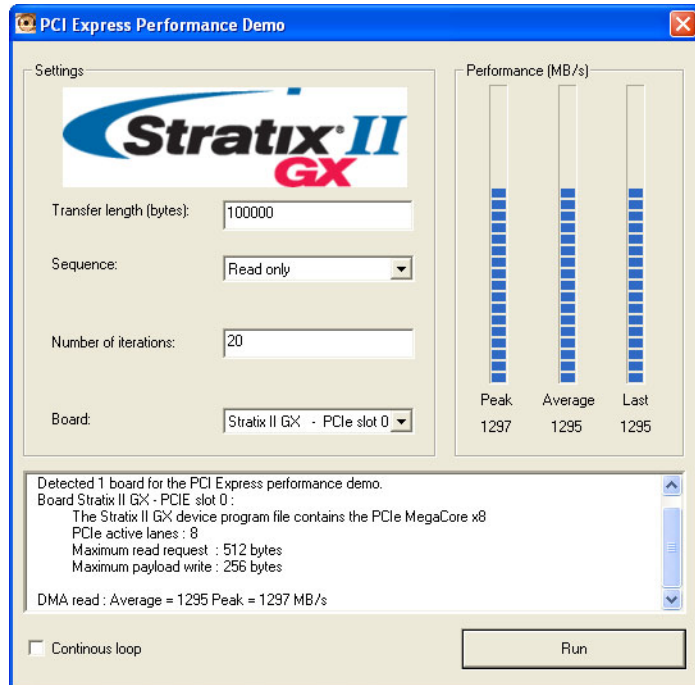
図 12. 書き込み専用オプション



ソフトウェアは、FPGA 内の DMA レジスタをプログラムして、FPGA からシステム・メモリへ 100,000 バイト単位のデータを転送します。パフォーマンス・バーに、ピーク、平均、最終スループットが表示されます。平均スループットが全繰り返しについて計算されます。

4. **Transfer length** に 100,000 バイトを、**Sequence** に **Read only** をそれぞれ設定します (図 13)。**Run** をクリックします。

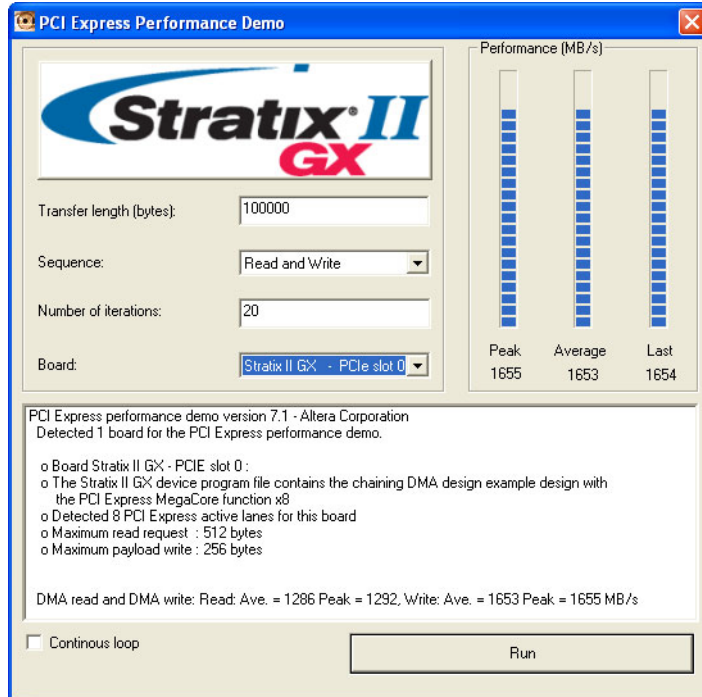
図 13. 読み出し専用オプション



ソフトウェアは、FPGA 内の DMA レジスタをプログラムして、システム・メモリから FPGA へ 100,000 バイト単位のデータを転送します。パフォーマンス・バーに、ピーク、平均、最終スループットが表示されます。平均スループットが全繰り返しについて計算されます。

5. **Transfer length** に 100,000 バイトを、**Sequence** に **Read and Write** をそれぞれ設定します (図 14)。**Run** をクリックします。

図 14. 同時読み出し / 書き込みオプション



このシーケンスでは、ソフトウェア・アプリケーションは、同時読み出し / 書き込み転送を実行するように DMA レジスタをプログラムします。パフォーマンス・バーに書き込みスループットが表示され、テキストで全繰り返し平均読み出し / 書き込みスループットが表示されます。

SignalTap II ファイル

また、リファレンス・デザイン・パッケージには、チェイニング DMA アプリケーション・ロジックの動作を表示する SignalTap II (STP) ファイルも含まれています。STP ファイルは、POF または SOF により FPGA をプログラムしたときに使うことができます。SignalTap II ファイルには、アプリケーション・ロジックのキー信号が含まれています。DMA 読み出しモジュールと DMA 書き込みモジュール内の init 信号は転送開始時にゼロに変化するため、データをキャプチャする SignalTap II ファイル内のトリガとして使うことができます。SignalTap II ファイルは、このデザインの性能についての情報を提供することができます。送信方向で、tx_ws0 信号の解除が頻繁に発生すると、コアが PCI Express リンクの遠端のデバイスから十分なクレジットを受け取っていないことを示します。受信方向で、rx_dv0 が解除されると、コアが十分なデータを受け取っていないことを示します。

性能 ベンチマーク の結果

表 1～3 に、PCI Express 開発キット（このリファレンス・デザインを使う Dell 社と NVIDIA 社の 2 つのチップセット向けの Stratix II GX エディション）による ×8、×4、×1 動作の性能を示します。チップセットの詳細はテーブル内に含まれています。表に、100,000 バイトの転送サイズと繰り返し 20 に対する平均スループットを示します。

テストしたプラットフォーム [名前、チップセット、 最大書き込みペイロード (バイト数)、読み出し コンプリーション (バイト数)]	DMA 書き込み (MB/s)	DMA 読み出し (MB/s)	同時 DMA 読み出し / 書き込み (MB/s) (1)	理論最大 スループット (MB/s)	
				書き込み	読み出し
Dell 490、5000X、256、64	1771	1295	1287/1652	1855	1523
NVIDIA、CK804、128、64	1632	1301	1302/1400	1729	1523

表 1 の注：

- (1) 同時 DMA 読み出し / 書き込み動作は、システム (PC) メモリ・コントローラに対して非常に敏感です。測定値は、4 個の DIMM を使って取得しました。

テストしたプラットフォーム [名前、チップセット、最大 書き込みペイロード (バイト数)、 読み出しコンプリーション (バイト数)]	DMA 書き込み (MB/s)	DMA 読み出し (MB/s)	同時 DMA 読み出し / 書き込み (MB/s) (1)	理論最大 スループット (MB/s)	
				書き込み	読み出し
Dell 490、5000X、256、64	847	654	645/828	927	761
NVIDIA、CK804、128、64	819	654	652/757	864	761

表 2 の注：

- (1) 同時 DMA 読み出し / 書き込み動作は、システム (PC) メモリ・コントローラに対して非常に敏感です。測定値は、4 個の DIMM を使って取得しました。

テストしたプラットフォーム [名前、チップセット、最大 書き込みペイロード (バイト数)、 読み出しコンプリーション (バイト数)]	DMA 書き込み (MB/s)	DMA 読み出し (MB/s)	同時 DMA 読み出し / 書き込み (MB/s) (1)	理論最大 スループット (MB/s)	
				書き込み	読み出し
Dell 490、5000X、256、64	224	162	155/213	231	190
NVIDIA、CK804、128、64	207	185	177/199	216	190

表 3 の注：

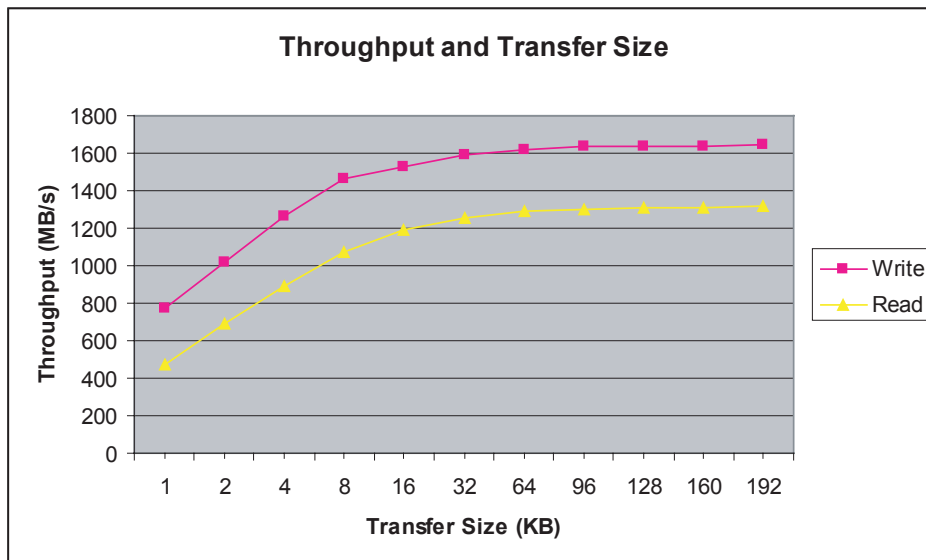
- (1) 同時 DMA 読み出し / 書き込み動作は、システム (PC) メモリ・コントローラに対して非常に敏感です。測定値は、4 個の DIMM を使って取得しました。

表 4 に、CATC PCI Express アナライザにより測定したスループットと Stratix II GX デバイス (×8 動作) 用ソフトウェア・アプリケーションおよび Dell 490 上での 100K のバイト転送により測定したスループットの比較を示します。ソフトウェア・アプリケーションからの数値と CATC PCI Express アナライザからの数値はよく一致しています。

動作	CATC の測定値 (MB/s)	アルテラ・ソフトウェア・ アプリケーションの測定値 (MB/s)
DMA 書き込み	1799	1771
DMA 読み出し	1316	1295

図 15 に、特定の転送サイズの後の性能整定値を示します。これらの値は、×8 モードで動作する Stratix II GX PCI Express 開発ボードを使って、NVIDIA CK804 チップセット上で取得しました。

図 15. スループットおよび転送サイズ



参考文献

PCI Express Specifications (www.pcisig.com)

PCI Express コンパイラ・ユーザガイド

Stratix II GX PCI Express 開発キットのドキュメント

WinDriver 情報 (www.jungo.com)

改訂履歴

表 5 に、このアプリケーション・ノートの改訂履歴を示します。

表 5. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 5 月 v 1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support
www.altera.com/support/
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001