

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

はじめに

HardCopy® II ストラクチャード ASIC は、Stratix® II FPGA と互換性のあるピン配置、集積度、アーキテクチャを備えた、低コストで高性能の 1.2 V、90 nm ストラクチャード ASIC です。HardCopy II ストラクチャード ASIC の PLL (Phase-Locked Loop)、メモリ、I/O エlement (IOE) などは、機能的および電氣的に Stratix II FPGA と同じです。インシステム・プロトタイプおよびデザイン検証用の Stratix II FPGA、量産用の HardCopy II ストラクチャード ASIC、および Quartus® II デザイン・ソフトウェアの組み合わせにより、完全な低リスク・ストラクチャード ASIC ソリューションを提供します。

3 種類の HardCopy II ストラクチャード ASIC (HC210(W)、HC220、HC230) に対応して、コンパニオン FPGA プロトタイプ・デバイスとして選択できる Stratix II FPGA は 3 種類あります。例えば、ロジック・ゲート数、メモリ、デジタル信号処理 (DSP) 機能のデザイン条件に応じて、EP2S90、EP2S130、または EP2S180 を使って HC230 デザインの試作を行うことができます。HC240 は EP2S180 を使用して試作します。

表 1 に、Stratix II FPGA から HardCopy II ストラクチャード ASIC へのマイグレーション・パスを示します。

HardCopy II ストラクチャード ASIC	パッケージ	Stratix II デバイス				
		EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
HC210W	484 ピン FineLine BGA® (1)	✓	✓	✓ (2)	—	—
HC210	484 ピン FineLine BGA	✓	✓	✓ (2)	—	—
HC220	672 ピン FineLine BGA	—	✓	—	—	—
HC220	780 ピン FineLine BGA	—	—	✓	✓ (2)	—
HC230	1,020 ピン FineLine BGA	—	—	✓	✓	✓ (2)
HC240	1,020 ピン FineLine BGA	—	—	—	—	✓

HardCopy II ストラクチャード ASIC	パッケージ	Stratix II デバイス				
		EP2S30	EP2S60	EP2S90	EP2S130	EP2S180
HC240	1,508 ピン FineLine BGA	—	—	—	—	✓

表 1 の注：

- (1) HC210W デバイスはワイヤボンド・パッケージを使用していますが、Stratix II FPGA プロトタイプ・デバイスはピン・コンパチブルのフリップチップ・パッケージを使用しています。
- (2) 使用しているデザイン固有のリソースに応じて、非常に積極的なダイの縮小が可能になります。Quartus II ソフトウェアを使ってデザインをフィッティングし、さらにアルテラのアプリケーション・エンジニアに相談して、デザインに対する積極的なダイの縮小が可能か否かを必ず確認してください。

Stratix II FPGA から HardCopy II ストラクチャード ASIC へのマイグレーション・パスは、ダイ面積の大幅な削減が可能であることを意味しています。プロトタイプとして大規模な FPGA を選択するほど、ダイ面積の削減が大きくなります。このダイ面積の削減は、微細なロジック・ファブリックとロジックおよび配線内のプログラム性の削除の組み合わせにより可能になっています。

この積極的なダイの縮小のため、さらに HardCopy II と Stratix II との間にセルとインタコネクットのアーキテクチャの違いがあるため、フロントエンド・デザイン・フロー段階で Quartus II ソフトウェアを使用して、HardCopy II リビジョンと Stratix II リビジョン内でデザインをフィットさせることが重要になります。Stratix II と HardCopy II のデザインの移行を確実にするためには、両リビジョンでのコンパイルに成功することが必要です。ここでコンパイルに成功するということは、配置および配線が正常に終了し、タイミング・クロージャを満たし、2 つのリビジョン間でのリビジョン比較が完了し、Quartus II ソフトウェアでコンパイルしたデザイン・プロジェクトが得られることを意味します。

多くの場合、HardCopy II ストラクチャード ASIC は、Stratix II FPGA をコンパイルした後は変更なしでコンパイルすることができます。Stratix II FPGA のロジックが HardCopy II ストラクチャード ASIC にフィットしない場合に対しては、このドキュメントで HardCopy II フィッティング技術への広範囲なガイドを提供します。

Stratix II のフィッティング方法については、「[Quartus II ハンドブック Volume 2](#)」の「[面積とタイミングの最適化](#)」の章を参照してください。

フィッティング問題の可能性を表示

デフォルトで、Quartus II ソフトウェアはフィットを 3 回試みます。1 回目にフィットできない場合には、その後の試行でフィットする可能性もあります。複数回のフィットが必要な場合には、フィッティングに問題がある可能性があります。インタコネクットのピーク使用率が 100% を超える場合、または平均インタコネクット使用率が45%を超える場合は、フィットしないことがあります。HardCopy II ストラクチャード ASIC は、2 層のカスタム・メタル層を使用して配線します。ピーク・インタコネクット使用率は、最も混雑する領域で配線リソースの何パーセントが使用されているかを表します。必要なリソースが使用可能なリソースを超える場合には、デザインはフィットしません。

フィットに影響する要因

HCell の使用率が高い（合成後、DSP を含む）

75% を超える HCell の使用率には問題があるため、HardCopy II ストラクチャード ASIC にはフィッティングしない危険性があります。HCell 使用率は、フィタ・レポートの Summary セクションに記載されます。HCell とアダプティブ・ロジック・モジュール（ALM）の比率はデザインの問題であるため、使用されている FPGA ALM ハードウェアの量に依存するので、FPGA コンパイルに基づいて HCell 使用率を正確に予測することはできません。FPGA 内の ALM は、使用または非使用のいずれかです。HardCopy II の場合、少量のロジックを使用している ALM に比べて、より多くの Hcell へ変換されます。

DSP の使用率が高い

HardCopy II DSP は、大きな連続領域を使う HCell ファブリックの外側に構築されます。使用率の高い DSP を持つデザインは、領域内の配線リソースの大部分を使うため、配線の大きな障害になります。

デザイン・アーキテクチャ

回路によっては、例えば大規模なクロスバー・スイッチのように、もともと配線を多く使うものがあります。ファンアウト数の大きいネットは、ベース層内に構築されたグローバル配線リソースではなく HardCopy II カスタム層内に分布している場合には、配線輻輳の原因になります。

RAM の使用率が高い

RAM ブロックは最適化され、密に配置されています。RAM ブロックは、付近の配線チャンネルの使用を制約することがあります。

輻輳を軽減し フィッティング を改善する技術

ファンアウト数の多いネットをグローバル・リソースへ昇格

Stratix II FPGA と HardCopy II ストラクチャード ASIC では、一般にクロックに使用されるグローバル・リソースとリージョナル・リソースがありますが、ファンアウト数の多い信号にも使われます。これらのグローバル・リソースは構築済みであるため、通常のプログラマブルな配線リソースを使いません。16 個のグローバル・クロックと 32 個のリージョナル・クロックがあります（デバイス 1 象限当たり 8 個）。

Stratix II FPGA のコンパイル時に、Quartus II ソフトウェアは FPGA フロアプランに基づいて、グローバル・リソースを使用するように信号を昇格させます。HardCopy II コンパニオン・デバイスのコンパイル時に、Quartus II ソフトウェアは FPGA コンパイル時に使ったものと同じグローバル・リソースを使います。これは、グローバル・リソースの使用を一致させる必要があるためです（リビジョン比較のため）。ここでは、HardCopy II フロアプランとその配線の輻輳を考慮していません。

フィッタ・レポートの **Resource** セクションに、グローバル・リソースに割り当てられないファンアウト数の大きいネットが存在するか否かが報告されます。使用可能なグローバル・リソースが存在する場合には、ファンアウト数の大きいネットをグローバル・リソースに割り当てることができます。これは、FPGA リビジョンと HardCopy II リビジョンの両方で行う必要があります。アサインメントを先に FPGA リビジョンで行った場合、FPGA リビジョンをコンパイルして移行させた後に、HardCopy II リビジョンでもこれらのアサインメントが可能と見なされます。

ファンアウト数の大きいネットの例としては、10,000 個のレジスタに配線されるリセットがあります。グローバル・リソースまたはリージョナル・リソースへのリアサインメントは、Tcl (Tool Control Language) コンソールから `set_instance_assignment` コマンドを使って行うことができます。あるいは、Quartus II 設定ファイル (.qsf) に追加することもできます。

信号をグローバル・リソースに割り当てるときは、次のアサインメントを使います。

```
set_instance_assignment -name GLOBAL_SIGNAL  
"GLOBAL CLOCK" -to <signal_name>.
```

信号をリージョナル・リソースに割り当てるときは、次のアサインメントを使います。

```
set_instance_assignment -name GLOBAL_SIGNAL  
"FAST_REGIONAL CLOCK" -to <signal_name>
```



リージョナル・クロックは、FPGA デザインと HardCopy II デザインの両方に必要な領域をカバーしていることを確認してください。

図 1 に、Quartus II ソフトウェアがファンアウト数の少ない信号をグローバル・クロックに昇格させたケースを示します。ファンアウト数の多い信号が存在する場合、これらをグローバル・クロックまたはリージョナル・クロックに割り当てる必要があります。

図 1. ファンアウト数の少ない信号をグローバル・クロックに昇格させる例

Name	Location	Fan-Out	Global Resource Used
1 PLL0:inst23latpll.altpll_component_clk:0	PLL_12	71509	Global clock
2 inst2	LCFF_X100_Y50_N25	70894	Global clock
3 CPU_wR_n	PIN_A17	30	Global clock
4 TOP1:instIM123_TOP1:vg0:0:U_1MACHINE1_TOP1:13PAGE1:11AABB:13WR_B	LCFF_X64_Y12_N7	2	Global clock
5 TOP1:instIM123_TOP1:vg0:0:U_1MACHINE1_TOP1:13PAGE1:11WRITE_AA_BB	LCFF_X117_Y39_N13	2	Global clock
6 TOP1:instIM123_TOP1:vg0:0:U_1MACHINE1_TOP1:13PAGE2:14ICPU_AB_WR_s	LCFF_X32_Y46_N17	2	Global clock
7 TOP1:instIM123_TOP1:vg0:0:U_1MACHINE1_TOP1:13PAGE2:14WRITE_AB	LCFF_X68_Y26_N7	2	Global clock
8 TOP1:instIM123_TOP1:vg0:10:U_1MACHINE1_TOP1:13PAGE1:11AABB:13WR_B	LCFF_X9_Y54_N5	2	Global clock
9 TOP1:instIM123_TOP1:vg0:10:U_1MACHINE1_TOP1:13PAGE1:11WRITE_AA_BB	LCFF_X61_Y89_N19	2	Global clock
10 TOP1:instIM123_TOP1:vg0:10:U_1MACHINE1_TOP1:13PAGE2:14ICPU_AB_WR_s	LCFF_X95_Y68_N11	2	Global clock
11 TOP1:instIM123_TOP1:vg0:10:U_1MACHINE1_TOP1:13PAGE2:14WRITE_AB	LCFF_X57_Y79_N23	2	Global clock
12 TOP1:instIM123_TOP1:vg0:11:U_1MACHINE1_TOP1:13PAGE1:11AABB:13WR_B	LCFF_X6_Y90_N25	2	Global clock
13 TOP1:instIM123_TOP1:vg0:11:U_1MACHINE1_TOP1:13PAGE1:11WRITE_AA_BB	LCFF_X9_Y53_N21	2	Global clock
14 TOP1:instIM123_TOP1:vg0:11:U_1MACHINE1_TOP1:13PAGE2:14ICPU_AB_WR_s	LCFF_X7_Y61_N21	2	Global clock
15 TOP1:instIM123_TOP1:vg0:11:U_1MACHINE1_TOP1:13PAGE2:14WRITE_AB	LCFF_X39_Y93_N17	2	Global clock
16 PLL0:inst23latpll.altpll_component_clk:1	PLL_12	1	Global clock

- Quartus promotes low fanout signals to global clock
- No regional clock used

図 2 に、グローバル・リソースに割り当てないファンアウト数の多い信号を示します。できるだけ多くのこれらの信号をグローバル・クロックまたはリージョナル・クロックに割り当てると、配線輻輳の回避に役立ちます。

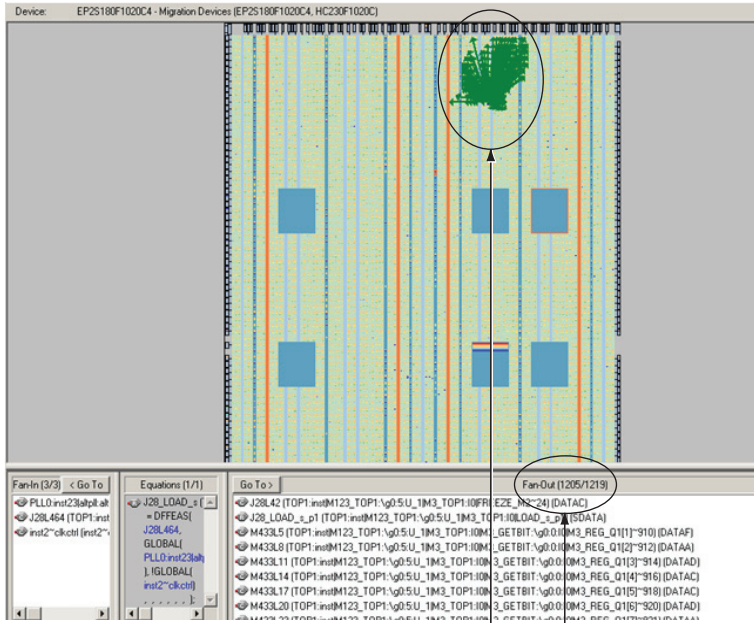
図 2. グローバル/リージョナル配線リソースを使わないファンアウト数の多い信号

Non-Global High Fan-Out Signals	
Name	Fan-Out
1 CPU_ADD[9]	16386
2 CPU_ADD[11]	16386
3 CPU_ADD[8]	3842
4 CPU_ADD[10]	3586
5 CPU_ADD[0]	1383
6 CPU_ADD[1]	1282
7 TOP1:instM123_TOP1:\vg0:5:U_1IM3_TOP1:IOLOAD_s	1205
8 TOP1:instM123_TOP1:\vg0:19:U_1IM3_TOP1:IOLOAD_s	1205
9 TOP1:instM123_TOP1:\vg0:4:U_1IM3_TOP1:IOLOAD_s	1205
10 TOP1:instM123_TOP1:\vg0:1:U_1IM3_TOP1:IOLOAD_s	1205
11 TOP1:instM123_TOP1:\vg0:18:U_1IM3_TOP1:IOLOAD_s	1205
12 TOP1:instM123_TOP1:\vg0:23:U_1IM3_TOP1:IOLOAD_s	1205
13 TOP1:instM123_TOP1:\vg0:13:U_1IM3_TOP1:IOLOAD_s	1205
14 TOP1:instM123_TOP1:\vg0:29:U_1IM3_TOP1:IOLOAD_s	1205
15 TOP1:instM123_TOP1:\vg0:8:U_1IM3_TOP1:IOLOAD_s	1205
16 TOP1:instM123_TOP1:\vg0:9:U_1IM3_TOP1:IOLOAD_s	1205
17 TOP1:instM123_TOP1:\vg0:11:U_1IM3_TOP1:IOLOAD_s	1205
18 TOP1:instM123_TOP1:\vg0:3:U_1IM3_TOP1:IOLOAD_s	1205
19 TOP1:instM123_TOP1:\vg0:27:U_1IM3_TOP1:IOLOAD_s	1205
20 TOP1:instM123_TOP1:\vg0:12:U_1IM3_TOP1:IOLOAD_s	1205
21 TOP1:instM123_TOP1:\vg0:22:U_1IM3_TOP1:IOLOAD_s	1205
22 TOP1:instM123_TOP1:\vg0:16:U_1IM3_TOP1:IOLOAD_s	1205
23 TOP1:instM123_TOP1:\vg0:21:U_1IM3_TOP1:IOLOAD_s	1205
24 TOP1:instM123_TOP1:\vg0:25:U_1IM3_TOP1:IOLOAD_s	1205
25 TOP1:instM123_TOP1:\vg0:30:U_1IM3_TOP1:IOLOAD_s	1205

- Very high fanout signals can cause routing congestion in HCII
- Manually assign these signals to global or regional clock

図 3 に、短い配線距離を持つファンアウト数の多い信号を示します。これらのファンアウトをリージョナル・クロック・リソースに再割り当てします。

図 3. 短い配線距離を持つファンアウト数の多い信号



- Very high fanout signals with short routing distance
- Manually assign this type signals to regional clock

最適化設定の調整

最適化設定により、デザインのコンパイル時に Quartus II ソフトウェアが使用する優先順位が制御されます。最適化は、デザイン全体、エンティティ、インスタンスの3つのレベルで制御することができます。デザインは、面積、速度、またはバランスについて最適化することができます。

デザイン全体について最適化を制御する際、Quartus II 設定ファイルで使用する構文は次のようになります。

```
set_global_assignment -name STRATIXII_OPTIMIZATION_TECHNIQUE  
<value>
```

ここで <value> は、**area**、**speed**、または **balanced** です。

エンティティについて最適化を制御する際には、Quartus II 設定ファイルで使用する構文は次のようになります。

```
set_global_assignment -name  
STRATIXII_OPTIMIZATION_TECHNIQUE -entity  
<entity_name> <value>
```

モジュールまたはエンティティのインスタンスについて最適化を制御する際は、構文は次のようになります。

```
set_instance_assignment -name  
STRATIXII_OPTIMIZATION_TECHNIQUE -to <instance_name>  
<value>
```

高速を要しないデザインでは、面積の最適化を選択することができます。このロジック・オプションは、加算器ロジックの構成方法も制御します。**Balanced** または **Speed** を選択すると、Quartus II ソフトウェアは HCell を多く使用する高速なバージョンを使うため、フィッティングに影響を与えることがあります。**Area** を選択すると、Quartus II ソフトウェアは通常バージョンを使います。高速な加算器の使用をオフにするときは、ロジック・オプション **Use High Speed Adder** を使用してください。加算器ロジックが性能のクリティカル・パスでない場合には、その様に設定する必要があります。中程度の速度条件を持つデザインに対しては、**Balanced** を使用してください。速度にクリティカルでないデザインの部分は、**Area** についても最適化することができます。例えば、次のようなアサインメントを使用することができます。

```
set_instance_assignment -name  
STRATIXII_OPTIMIZATION_TECHNIQUE -to  
"altpl10:b2v_inst5" AREA
```

これらのアサインメントを使用するときは、Stratix II FPGA リビジョンと HardCopy II リビジョンで同じに設定する必要があります。これにより、HCell 使用率を小さくして、配線性を向上させることができます。速度を最適化すると、配線が複雑になる傾向があります。クロック周波数の制約を厳しくすることは、使用するリソースが増えて配線が輻輳するので推奨できません。

ハード DSP ブロックの使用率の削減

DSP 機能を実装するときは、専用 DSP ブロックを使用するのが最適です。ハード DSP ブロックを使うと、Stratix II FPGA で優れた性能を得ることができます。また、HardCopy II ストラクチャード ASIC では、DSP HCell ライブラリの等価なものを使うと、優れた性能を得ることができます。タイミングに十分な余裕がある場合、ロジック・エレメント (LE) を使って DSP ブロックを実装すると、輻輳を減らして HardCopy II 内での HCell 使用率を小さくすることができます。FPGA 実装に DSP ブロックを実装するために十分な空きアダプティブ・ロジック・モジュール (ALM) がある場合には、これは可能です。ハード DSP ブロックまたはロジック・エレメントを使用する DSP ブロックの実装は、Stratix II FPGA リビジョンと HardCopy II リビジョンの間で同じである必要があります。

DSP ブロックの使用は、デザイン全体、エンティティ、またはインスタンスの 3 つのレベルで制御することができます。使用できるいくつかの設定を次に示します。

- **Auto** では、Quartus II ソフトウェアが DSP ブロックの使用を決定します。
- **DSP blocks** では、Quartus II ソフトウェアに DSP ブロックを使用させます。
- **Logic Elements** では、Quartus II ソフトウェアに DSP ブロックの代わりにロジック・エレメントを使用させます。

デザイン全体で DSP ブロック実装の自動選択を行うように設定するときは、次のアサインメントを使用します。

```
set_global_assignment -name DSP_BLOCK_BALANCING "Auto"
```

Logic Elements を使うようにエンティティを設定するときは、次のアサインメントを使用します。

```
set_global_assignment -name DSP_BLOCK_BALANCING -entity  
<entity name> "Logic Elements"
```

ハード **DSP blocks** を使用するようにインスタンスを設定するときは、次のアサインメントを使用します。

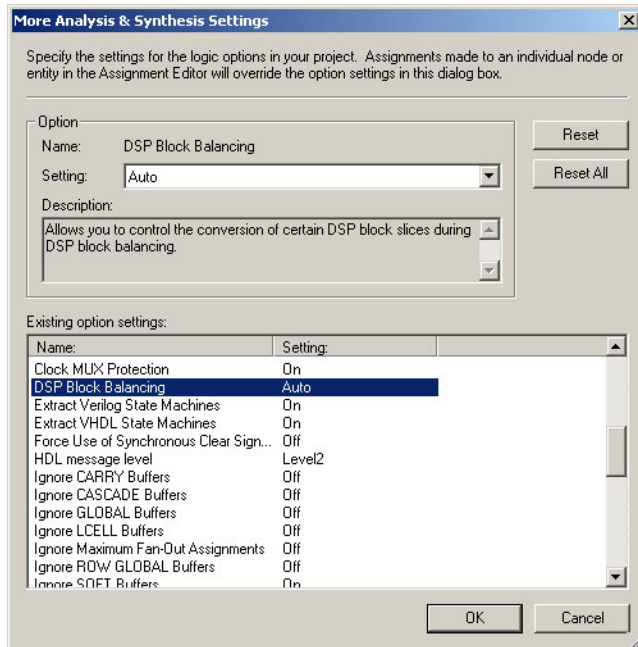
```
set_instance_assignment -name DSP_BLOCK_BALANCING DSP -to  
"mult_mux:u1|Mult0"
```

Quartus II ソフトウェアを使用して、DSP ブロックのグローバル使用率を制御するときは、次のステップに従います。

1. プルダウン・メニューから、**Assignments** へ移動し、次に **Settings** へ移動します。

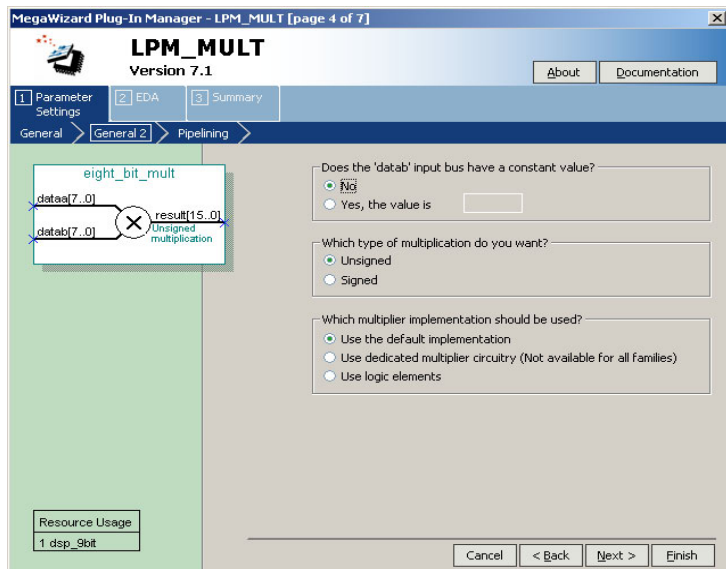
2. **Analysis and Synthesis Settings** をクリックします。
3. **More Settings...** をクリックします。
4. **DSP Block Balancing** ヘスクロール・ダウンして、クリックします。
5. プルダウンをクリックし、DSP ブロック実装方法を選択します (図 4)。

図 4. More Analysis & Synthesis Settings



DSP ブロックを使うメガファンクションによっては、ハード DSP ブロック実装または LE 実装を選択できるものもあります。この例としては、LPM_MULT メガファンクション (図 5) があります。ここでは、Quartus II ソフトウェアのデフォルト設定を使ってインスタンスが割り当てられています。上述のグローバル設定と組み合わせて、図 5 に示す設定を使い、Quartus II ソフトウェアを使う特定のエンティティを作成することができます。

図 5. MegaWizard Plug-In Manager - LPM_MULT [page 4 of 7]

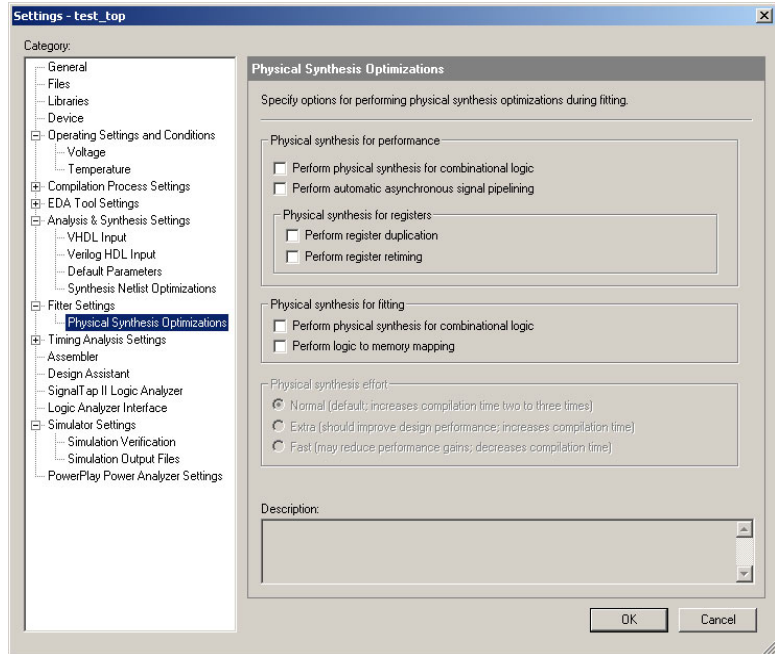


フィジカル・シンセシスのオフ設定

フィジカル・シンセシスでは、タイミング条件を満たそうとするとときに、信号とレジスタを複製することがあります。デザインでフィジカル・シンセシスを使わずにタイミングを満たすことができる場合には、HardCopy II へのフィットが容易になります。一方、フィジカル・シンセシスを使うと、HardCopy II 実装内の輻輳と HCell 使用率が増えることがあります。フィジカル・シンセシスをオフに設定すると、配線性が向上し、HCell 使用率が小さくなることがあります。Stratix II FPGA リビジョンと HardCopy II リビジョンで、フィジカル・シンセシスを同じに設定する必要があります。

フィジカル・シンセシスの設定は、**Fitter Settings** セクションにあります (図 6)。
選択をブランクにしておくこと、フィジカル・シンセシスがオフに設定されます。

図 6. フィルタ設定、フィジカル・シンセシス最適化の設定



フィジカル・シンセシスについて詳しくは、「[Quartus II ハンドブック Volume 2](#)」の「[ネットリストの最適化およびフィジカル・シンセシス](#)」の章をご覧ください。

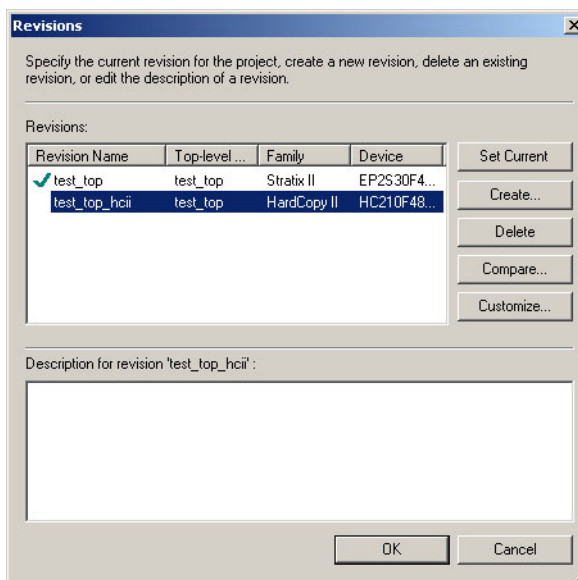
HardCopy II ストラクチャード ASIC を先に使用するフロー

FPGA を生成するために行われた最適化が、HardCopy II ストラクチャード ASIC に対する最適なデザイン方法ではないことがあります。HardCopy II ストラクチャード ASIC を先にコンパイルして、その後で FPGA へ移行させると、優れたフィットを実現します。

HardCopy II ストラクチャード ASIC を先に使用するフローを採用するときは、すでに HardCopy II コンパニオン・リビジョンを使用して FPGA を生成していた場合、次のステップに従います。

1. **Project** を開いて、**Revisions** を選択します。HardCopy II コンパニオン・リビジョンを削除します (図 7)。

図 7. プロジェクト説明のリビジョン、生成、削除または編集



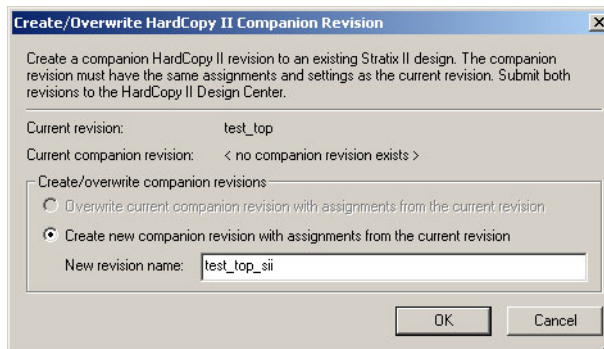
2. メイン・リビジョンを選択し、デバイスを使用する HardCopy II ストラクチャード ASIC に設定します。ワーニングが表示されます (図 8)。

図 8. ワーニング



3. コンパニオン・リビジョンをすでに削除したので、**yes** をクリックします。
4. HardCopy II ストラクチャード ASIC をコンパイルして、新しい FPGA コンパニオン・デバイスへ移行させます (図 9)。

図 9. 現在のリビジョンからのアサインメントにより新しいコンパニオン・リビジョンを生成



5. 最後に、FPGA リビジョンへ変更してコンパイルします。

フロアプランの最適化

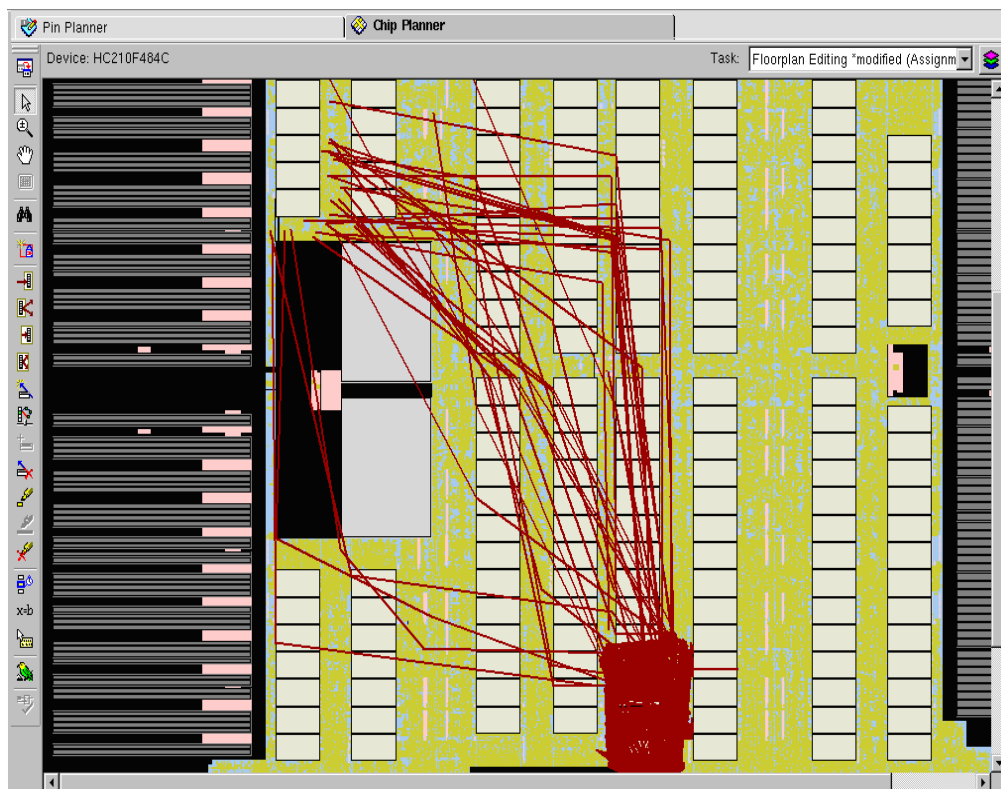
優れたフロアプランでは、交信を必要とするブロックは近くに配置されます。特にクリティカル・タイミング・パス内にあるブロックはそうします。例えば、I/O セルに接続されるブロックは、これらの I/O セルの近くに配置されます。フロアプランの品質は、輻輳マップから知ることができます。輻輳マップを表示するときは、**Chip Planner** を開き、**Show Routing Congestion** をクリックします。

LogicLock™ 領域は、FPGA から HardCopy II ストラクチャード ASIC へ自動的に移行されません。これらが必要な場合には、HardCopy II リビジョン内で生成する必要があります。アルテラは、HardCopy II リビジョン内で LogicLock 領域を再生成しないでデザインを先にコンパイルして、フィットが可能か否かを調べることを推奨します。

接続性を知るためにフライ・ラインを使用

Chip Planner で、輻輳する領域を通過する接続を持つコンポーネントを選択することができます。Show Node Fan-In and Show Node Fan-Out をオンに設定すると、フライ・ラインによりコンポーネントが接続される場所が表示されます。コンポーネントを移動することにより、接続が輻輳していない領域を通過するようになることができます。フライ・ラインの大部分が一方方向を向いている場合は、コンポーネントをその方向へ移動します。図 10 に、移動することにメリットがあるブロックの例を示します。

図 10. ノード・ファンインおよびノード・ファンアウトを表示するフライ・ラインの表示



ロジック・ブロックの移動について詳しくは、「[Quartus II ハンドブック Volume 2](#)」の「[LogicLock のデザイン手法](#)」の章をご覧ください。

Stratix II FPGA と HardCopy II ストラクチャード ASIC との間に物理的な実装の違いがあるため、LogiLock 領域はそれぞれに対して個別に生成されます。FPGA 内で LogiLock 領域を利用する必要があったデザインでも、HardCopy II ストラクチャード ASIC 内ではこれらを必要としない場合があります。

RTL コーディング・スタイル

HardCopy II ストラクチャード ASIC では、実装困難な構造を生成しない RTL コーディング・スタイルを使用してください。例えば、非常に幅の広いマルチプレクサやクロスバー・スイッチをコーディングすると、配線が輻輳する傾向が生じます。

DSP ブロックの効率悪い使用は、リソースを浪費します。乗算器は複数の 9×9 で提供されます。12×12 の乗算器では、18×18 と同じリソースが使用されます。デザインを実装する際に使うメモリの種類を Quartus II ソフトウェアに選択させると、最適な方法が得られます。特に、M-RAM を使うと、配線の輻輳が増える傾向があります。



詳細については、「[Quartus II ハンドブック Volume 2](#)」の「[RTL コーディング・スタイル](#)」の項を参照してください。

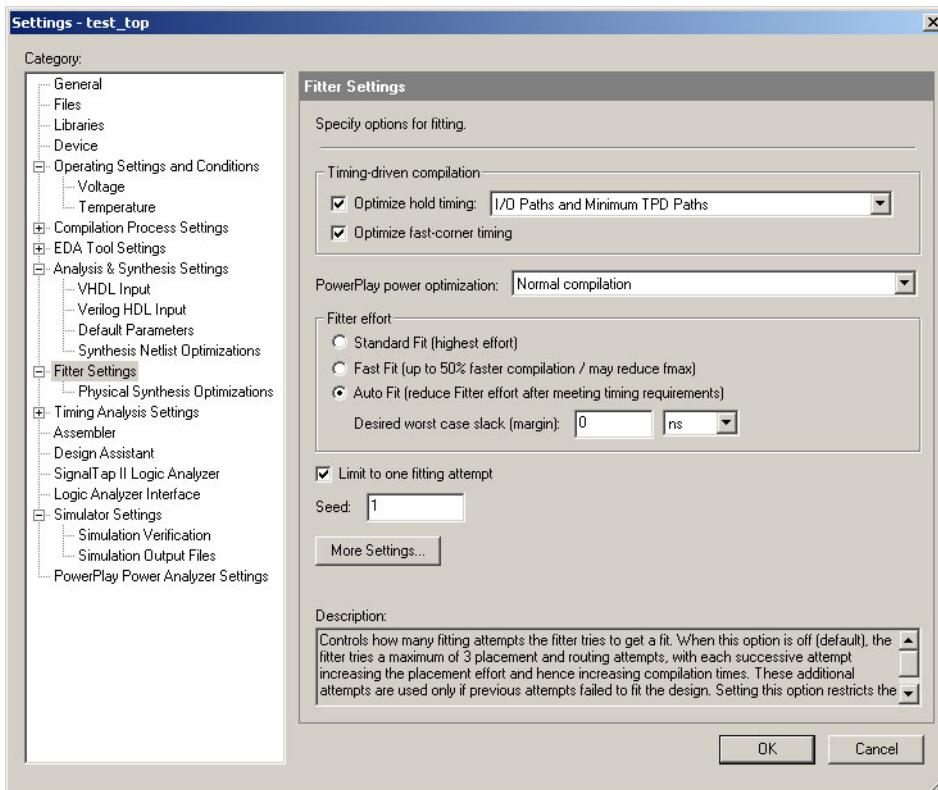
フィッタを 1 回の試行に最初から制約

デザインをフィットさせる早い段階で、フィッタを 1 回の試行に制約すると、コンパイル時間を短縮して、試すオプションを増やすことができます。Quartus II 設定ファイル内のアサインメントは次のようになります。

```
set_global_assignment -name FIT_ONLY_ONE_ATTEMPT ON
```

デザインがフィッティングできそうになったとき、フィッティング試行の制約をなくすことができます (図 11)。

図 11. フィッタの設定



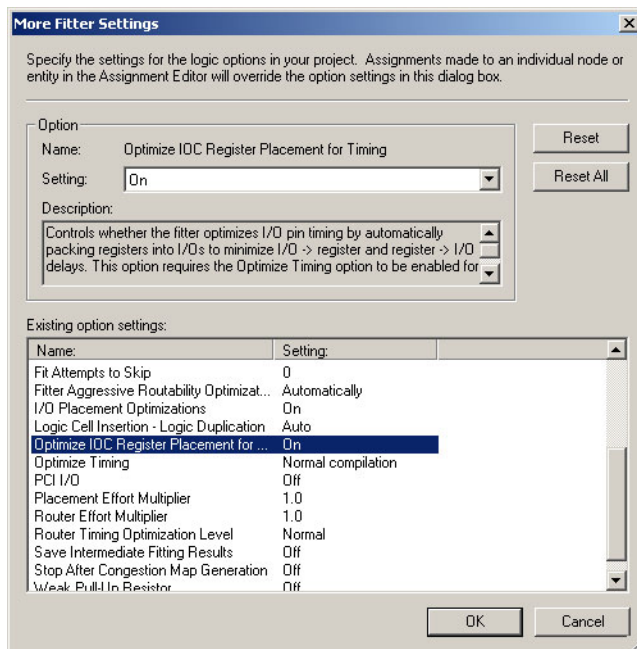
高速入力レジスタと高速出力レジスタの使用

高速入力レジスタと高速出力レジスタは、HCell リソースの使用が少なく済むように、I/O セル内に配置されています。

Quartus II ソフトウェア内で I/O セル・レジスタの使用率を制御するときは、次のステップに従います。

1. プルダウン・メニューから、**Assignments** へ移動し、次に **Settings** へ移動します。
2. **Fitter Settings** をクリックします。
3. **More Settings...** をクリックします。
4. **Optimize IOC Register Placement** ヘスクロール・ダウンして、それをクリックします。
5. プルダウンをクリックし、**On** を選択します (図 12)。

図 12. More Filter Settings



大規模な HardCopy II ストラクチャード ASIC の使用

HCell、配線リソース、メモリ、または DSP ブロックの不足のためにフィットを正常に完了できない場合は、より集積度の高いデバイスを使用する必要があります。HC230F1020 デバイスは、同じパッケージを使用したままで HC240F1020 デバイスへ移行することができます。他のアップグレード・パスを使う場合には、パッケージは異なってしまいます。

このため、PCB のレイアウトを行なう前に、FPGA と HardCopy II ストラクチャード ASIC のコンパイルを正常に完了しておくことをアルテラは推奨しています。他のオプションでは、冗長機能、オプション機能、または未使用機能を削除することで、RTL を最適化します。大規模デバイスへのパーティカル・マイグレーションは、パッケージ・ピン数の増加、パッケージ自体の大型化によるボード面積の増加、消費電力の増加、デバイス価格の増加の点で高くつきます。

まとめ

Stratix II FPGA から HardCopy II ストラクチャード ASIC へのマイグレーションにより、大幅なダイ・サイズの縮小、同等以上の性能、消費電力の低減が実現できます。このダイ・サイズの縮小とコストの削減を実現するためには、デザインによっては、HardCopy II ストラクチャード ASIC へフィットするように手を加える必要があります。



このアプリケーション・ノートで説明した手法は、「[Quartus II ハンドブック Volume 2](#)」の「[セクション III: 面積、タイミングおよび消費電力の最適化](#)」を補完するものです。

改訂履歴

表 2 に、本資料の改訂履歴を示します。

表 2. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 6 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Technical Support:
www.altera.com/support/
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001