



Stratix II および Stratix II GX デバイスの外部メモリ・インタフェース実装のためのデザイン・ガイドライン

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007年2月 ver 1.0

Application Note 449

はじめに

Stratix® II は、DDR2/DDR SDRAM、QDRII+/QDRII SRAM、および RLDRAM II インタフェースなどの DDR (Double Data Rate) メモリをサポートしています。これらのメモリ・インタフェースを備えたアプリケーションには、PC、エンベデッド処理、画像処理、ストレージ、通信、ネットワークングなどがあります。

メモリ・インタフェースを備えたアプリケーションの設計は、メモリ規格によってコントローラに課されるさまざまな要件を考慮すると、やりがいのある作業です。さらに、インタフェースの一部を変更すると、アプリケーションの他の多くに影響を与える可能性があるため、設計者はデザイン・プロセスの各ステップに十分注意しなければなりません。適切なデザイン・フローを知ることは、アプリケーションを立ち上げて動作させるためのデザイン時間およびデバッグ時間を短縮上で重要です。

表 1 に Stratix II および Stratix II GX デバイスが外部メモリ・デバイスでサポート可能な最大クロック・レートを要約します。ターゲット・クロック・レート性能に応じて、メモリ・インタフェースに対する DLL または PLL ベースの実装のいずれかを使用できます。両方のソリューションともピン・テーブルにリストされる事前に決定された DQS ピンおよび DQ ピンを使用していますが、DLL ベースのソリューションは専用回路を使用して、IOE 内部で DQS リード信号をシフトして、DQ リード・データをキャプチャします。PLL ベースのソリューションにより、Stratix II のサイド I/O バンクはメモリ・デバイスにインタフェースできます。ただし、このソリューションは DQS リード信号を無視し、PLL 出力を使用して DQ リード・データをキャプチャします。したがって、PLL ベースのソリューションではサポートされる最大クロック・レートが低くなります。DQS がデータのキャプチャに使用されていないときには、メモリ・デバイスからの DQS 信号と DQ 信号間のスキューが厳密であるという優位性が失われます。

表 1. 外部メモリ・インタフェースに対する Stratix II および Stratix II GX の最大クロック・レート・サポート (1 / 2) 注 (1)、(2)

メモリ規格	-3 スピード・グレード (MHz)		-4 スピード・グレード (MHz)		-5 スピード・グレード (MHz)	
	DLL ベース	PLL ベース	DLL ベース	PLL ベース	DLL ベース	PLL ベース
DDR2 SDRAM (3)	333	200	267	167	233	167
DDR SDRAM (3)	200	150	200	133	200	100
RLDRAM II	300	200	250 (4)	175	200	175
QDRII+ SRAM	300	-	-	-	-	-

表 1. 外部メモリ・インタフェースに対する Stratix II および Stratix II GX の最大クロック・レート・サポート (2 / 2) 注 (1)、(2)

メモリ規格	-3 スピード・グレード (MHz)		-4 スピード・グレード (MHz)		-5 スピード・グレード (MHz)	
	DLL ベース	PLL ベース	DLL ベース	PLL ベース	DLL ベース	PLL ベース
QDR II SRAM	300	200	250	167	250	167

表 1 の注:

- (1) メモリ・インタフェースのタイミング仕様は、メモリ、ボード、物理的インタフェース、およびコア・ロジックによって異なります。各仕様の生成方法について詳しくは、各メモリ・インタフェースのアプリケーション・ノートを参照してください。
- (2) 対応するアルテラの MegaCore[®] ファンクションおよび Quartus[®] II ソフトウェア・バージョン 6.1 に備わっている EP2S60F1020C3 のタイミング情報を使用して、これらのクロック・レートを定義しました。
- (3) 値はモジュールおよびコンポーネント両方へのインタフェースに適用されます。
- (4) このクロック・レートを達成するには、300 MHz の RLD RAM II デバイスを低いクロックで使用する必要があります。



対応するメモリ・インタフェース実装について詳しくは、「AN 325: Interfacing RLD RAM II with Stratix II, Stratix, and Stratix GX Devices」、「AN 326: Interfacing QDR II SRAM with Stratix II, Stratix, and Stratix GX Devices」、「AN 327: Interfacing DDR SDRAM with Stratix II Devices」、および「AN 328: Interfacing DDR2 SDRAM with Stratix II Devices」を参照してください。

このアプリケーション・ノートでは、Stratix II デバイスの標準的なメモリ・インタフェース・デザイン・フローを説明し、デザイン・サイクルの特定ポイントに関してアルテラが提供する文献リンクを提供します。



HardCopy II メモリ・インタフェース・デザイン・フローについては、「AN 413: Implementing External Memory Interfaces in HardCopy II Devices」を参照してください。

Stratix II メモリ・ インタフェー ス・デザイン・ フロー

アルテラでは、この項で説明するデザイン・ガイドラインを Stratix II デバイスにメモリ・インタフェースを適切に実装するベスト・プラクティスとして推奨しています。これらのガイドラインでは、Stratix II デバイスの外部メモリ・インタフェースについて素早い確実な実習ができるようになっています。以下の項に [図 1](#) に示す各ステップを詳細に説明しています。

図 1. 外部メモリ・インタフェースを Stratix II デバイスに実装するデザイン・フロー

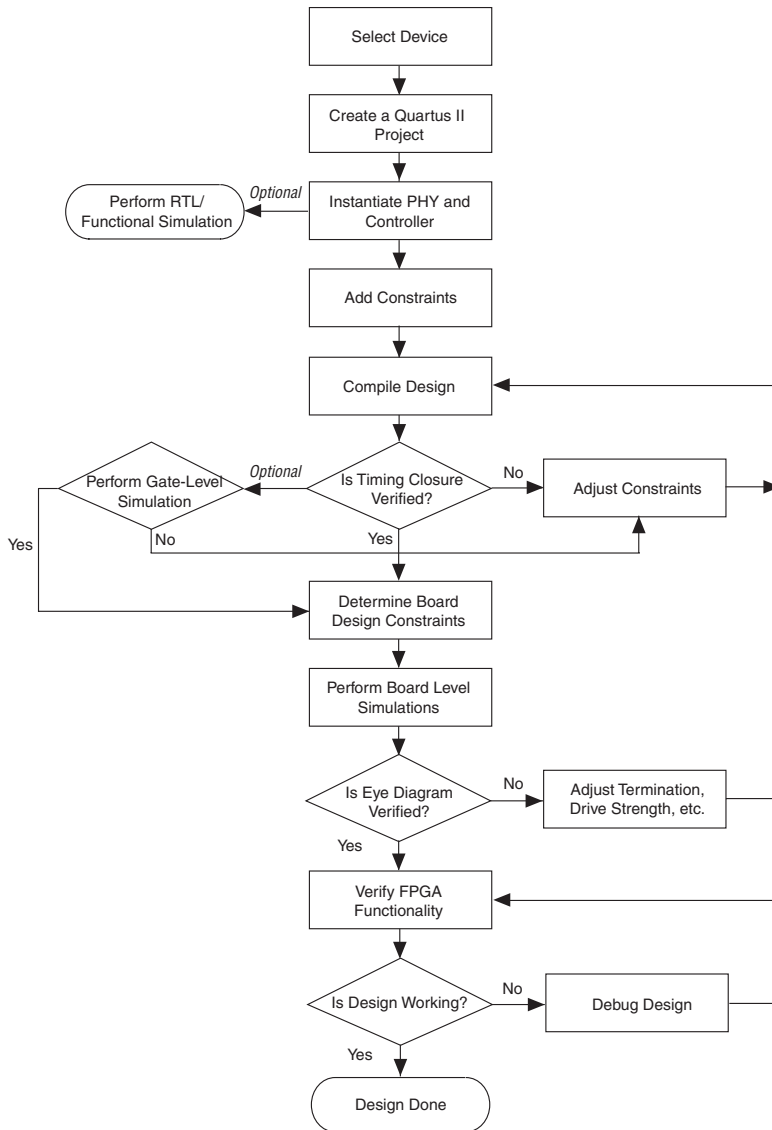


表 2 に、図 1 における各デザイン・ステップに対する関連資料の要約を示します。

表 2. 対応するメモリ・インタフェース・デザイン・フローの資料 (1 / 3) 注 (1)		
デザイン・ステップ	ステップのバリエーション	参照先
デバイスの選択	なし	<ul style="list-style-type: none"> ● Selecting the Right High-Speed Memory Technology for Your System ホワイトペーパー ● Stratix II または Stratix II GX デバイス・ハンドブックの外部メモリ・インタフェースの章
Quartus II プロジェクトの作成	なし	<ul style="list-style-type: none"> ● Quartus II の Tutorial
PHY およびコントローラのインスタンス化	ALTMEMPHY メガファンクション付きコントローラ	<ul style="list-style-type: none"> ● DDR および DDR2 SDRAM 高性能コントローラ・ユーザガイド ● ALTMEMPHY メガファンクション・ユーザガイド
	レガシー・メモリ・コントローラ	<ul style="list-style-type: none"> ● DDR および DDR2 SDRAM コントローラ・コンパイラ・ユーザガイド ● QDR II SRAM コントローラ・ユーザガイド ● RLD RAM II コントローラ・ユーザガイド ● AN 328: DDR2 SDRAM と Stratix II デバイスのインタフェース ● AN 327: DDR SDRAM と Stratix II デバイスのインタフェース ● AN 326: QDR II SRAM と Stratix II、Stratix、および Stratix GX デバイスのインタフェース ● AN 325: Interfacing RLD RAM II with Stratix II, Stratix, and Stratix GX Devices ● AN 392: Multiple DDR and DDR2 SDRAM ● AN 398: SOPC Builder による DDR/DDR2 SDRAM の使用
RTL/機能シミュレーションの実行	なし	<ul style="list-style-type: none"> ● AN 380: Test DDR or DDR2 SDRAM Interfaces on Hardware Using the Example Driver

表 2. 対応するメモリ・インタフェース・デザイン・フローの資料 (2 / 3) 注 (1)

デザイン・ステップ	ステップのバリエーション	参照先
制約の追加	ALTMEMPHYメガファンクション付きコントローラ	<ul style="list-style-type: none"> ● DDR および DDR2 SDRAM 高性能コントローラ・ユーザガイド ● ALTMEMPHY メガファンクション・ユーザガイド
	レガシー・メモリ・コントローラ	<ul style="list-style-type: none"> ● DDR および DDR2 SDRAM コントローラ・コンパイラ・ユーザガイド ● QDRII SRAM コントローラ・ユーザガイド ● RLDRAM II コントローラ・ユーザガイド ● DDR Timing Wizard (DTW) ユーザガイド ● AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン
デザインのコンパイル	なし	<ul style="list-style-type: none"> ● Quartus II の Tutorial
タイミング・クロージャの検証	ALTMEMPHYメガファンクション付きコントローラ	<ul style="list-style-type: none"> ● DDR および DDR2 SDRAM 高性能コントローラ・ユーザガイド ● ALTMEMPHY メガファンクション・ユーザガイド
	レガシー・コントローラ	<ul style="list-style-type: none"> ● DDR Timing Wizard (DTW) ユーザガイド
ゲート・レベル・シミュレーションの実行		<ul style="list-style-type: none"> ● Quartus II ソフトウェア・ハンドブック Volume 3 [検証] ● DDR および DDR2 SDRAM コントローラ・コンパイラ・ユーザガイド ● QDRII SRAM コントローラ・ユーザガイド ● RLDRAM II コントローラ・ユーザガイド
ボード・デザイン制約の決定		<ul style="list-style-type: none"> ● AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン ● AN 444: Dual DIMM DDR2 SDRAM Memory Interface Design Guidelines ● AN 315: 高速 FPGA のプリント基板の設計ガイドライン ● AN 224: 高速ボード・レイアウトの手引き ● AN 75: 高速動作ボードの設計
ボード・レベル・シミュレーションの実行		<ul style="list-style-type: none"> ● AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン

表 2. 対応するメモリ・インタフェース・デザイン・フローの資料 (3 / 3) 注 (1)

デザイン・ステップ	ステップのバリエーション	参照先
FPGA 機能の検証		<ul style="list-style-type: none"> ● Quartus II ソフトウェア・ハンドブック Volume 3、13 章: SignalTap II エンベデッド・ロジック・アナライザを使用したデザインのデバッグ ● AN 380: Test DDR or DDR2 SDRAM Interfaces on Hardware Using the Example Driver

表 2 の注:

- (1) Stratix II デバイスに関する最新情報は、アルテラの外部メモリ・ソリューション・センタのウェブサイト (www.altera.co.jp/technology/memory/mem-index.jsp) をご覧ください。

ステップ 1: デバイスの選択

メモリ・インタフェースの設計を始める前に、メモリ・インタフェースに必要な帯域幅を決定します。帯域幅は以下の式で表すことができます。

$$\text{帯域幅} = \text{データ幅 (ビット)} \times \text{データ・レート転送 (1/秒)} \times \text{効率}$$

効率はデータ・バスがデータを転送している時間の割合です。これはメモリの種類によって異なります。例えば、ライト・ポートとリード・ポートが独立しているメモリ・インタフェースでは、これらのメモリ・インタフェースで読み出しと書き込みの量が同じ場合、効率は 100% になります。



メモリ・インタフェースの帯域幅を計算した後、使用するメモリと FPGA を決定します。アルテラでは、メモリ選択に関するホワイトペーパーを提供し、メモリ・タイプ間の違いについて重点的に説明しています。異なるメモリ・タイプの選択については、「[Selecting the Right High-Speed Memory Technology for Your System](#)」ホワイトペーパーを参照してください。

アルテラの FPGA デバイス・ファミリーは、各種のメモリ・インタフェースに対して様々なデータ幅をサポートしています。メモリ・インタフェースのサポートは、集積度とパッケージの組み合わせによって異なるため、自分のアプリケーションにとって FPGA デバイスの集積度とパッケージのどの組み合わせが最適かを判断する必要があります。



各メモリ・タイプに対する Stratix II デバイスの集積度とパッケージのサポートに関する情報は、Stratix II または Stratix II GX デバイス・ハンドブックの外部メモリ・インタフェースの章を参照してください。

ステップ 2: Quartus II プロジェクトの作成

適切な FPGA デバイスおよびメモリ・タイプの選択後、その FPGA デバイスおよびメモリ・タイプをターゲットとする Quartus II プロジェクトを作成します。



Quartus II プロジェクトの作成に関するステップごとの指示については、Quartus II ソフトウェアの Tutorial を参照してください。

ステップ 3: PHY およびコントローラのインスタンス化

メモリ・インタフェースのデータ・パスをインスタンス化するとき、アルテラでは表 3 に対応するユーザガイドと共に記載されているアルテラ・メモリ・コントローラ MegaCore ファンクションおよびメガファンクションからのデータ・パスを使用することを推奨しています。

表 3. アルテラのメモリ・コントローラ MegaCore ファンクションおよびメガファンクション		
MegaCore ファンクション	ユーザガイド	ユーザガイドへのリンク
DDR および DDR2 SDRAM 高性能コントローラ	DDR および DDR2 SDRAM 高性能コントローラ・ユーザガイド	www.altera.co.jp/literature/ug/ug_ddr_ddr2_sdram_hp_j.pdf
ALTMEMPHY メガファンクション (1)	ALTMEMPHY メガファンクション・ユーザガイド	www.altera.co.jp/literature/ug/ug_altmemphy_j.pdf
DDR および DDR2 SDRAM コントローラ・コンパイラ	DDR および DDR2 SDRAM コントローラ・コンパイラ・ユーザガイド	www.altera.co.jp/literature/ug/ug_ddr_sdram_j.pdf
QDR II SRAM コントローラ	QDR II SRAM コントローラ MegaCore ファンクション・ユーザガイド	www.altera.co.jp/literature/ug/ug_qdrii_sram_j.pdf
RLDRAM II コントローラ	RLDRAM II コントローラ MegaCore ファンクション・ユーザガイド	www.altera.co.jp/literature/ug/ug_rldram_ii_j.pdf

表 3 の注:

- (1) ALTMEMPHY メガファンクションは、DDR および DDR2 SDRAM 高性能コントローラで使用されるデータ・パスです。これはデータ・パスが、メガファンクションとして独立したエンティティとして提供されない他のコントローラとは異なります。


DDR および DDR2 SDRAM 高性能コントローラを除いて、表 3 に記載されるレガシー MegaCore ファンクションには、統合されたクリア・テキスト・データ・パスおよび各 MegaCore ファンクションの暗号化されたコントローラが含まれます。DDR および DDR2 SDRAM 高性能コントローラは、ALTMEMPHY メガファンクションを使用して、メモリ・コントローラのデータ・パスを設定します。レガシー MegaCore ファンクションは、DLL ベースおよび PLL ベースの両方の実装もサポートしていますが、DDR および DDR2 SDRAM 高性能コントローラは DLL ベースの実装しかサポートしていません。

アルテラは動作クロック・レートに応じて、DDR および DDR2 SDRAM インタフェース用に 2 種類のメモリ・コントローラ、すなわち ALTMEMPHY データ・バス付き DDR および DDR2 SDRAM 高性能コントローラとレガシー DDR および DDR2 SDRAM コントローラ・コンパイラを提供しています。表 4 にレガシー・コントローラ・コンパイラと新しいコントローラの違いを示します。

表 4. レガシー・コントローラ・コンパイラと新しいコントローラの比較	
レガシー DDR および DDR2 SDRAM コントローラ・コンパイラ	ALTMEMPHY データ・バス付き DDR および DDR2 SDRAM 高性能コントローラ
Stratix II で最大 267 MHz Stratix III サポートはマイグレーション・デザインのみ	Stratix II で最大 333 MHz Stratix III で最大 400 MHz
統合されたコントローラおよびデータ・バス	独立したデータ・バス (ALTMEMPHY メガファンクションで提供) およびコントローラ
再同期化のためのスタティック位相シフトの選択	自動キャリブレーション再同期化クロック
ボード・トレース長の測定が必要	ボード・トレース長情報は不要
1-PLL または 2-PLL モード	1-PLL ソリューション
DLL ベースまたは PLL ベース・モード	DLL ベース・モードのみ
フル・レート・コントローラ	ハーフ・レート・コントローラ (1)
TAN および TimeQuest サポート	TimeQuest サポートのみ
DDR2/DDR SDRAM、RLDRAM II、QDRII+/QDRII SRAM	Quartus II バージョン 6.1 用 DDR3/DDR2/DDR SDRAM Quartus II の将来バージョンでの RLD RAM II および QDRII+/QDR SRAM

表 4 の注:

- (1) フル・レート・コントローラ・サポートは、Quartus II の将来バージョンで追加されます。

 高性能コントローラは再同期化に FIFO を使用するため、レガシー・コントローラのレイテンシは高性能コントローラよりも短くなります。さらに、ハーフ・レート高性能コントローラはレガシー・コントローラよりも多くのデバイス・リソースを使用します。

すべての新しいデザインに対し、特に Stratix III デバイスへの移行を計画している場合や 200 MHz 以上の周波数で動作させている場合、アルテラではメガファンクションとして使用可能な、あるいは DDR および DDR2 SDRAM 高性能コントローラ内にある ALTMEMPHY データ・バスの使用を推奨しています。200 MHz またはそれ以上 (最大 267 MHz) で動作させるときは、ハーフ・レート・コントローラを使用できない場合にのみ、または TimeQuest タイミング・アナライザではなくクラシック・タイミング・アナライザを使用しなければならない場合に限り、2-PLL モードでレガシー・コントローラを使用することができます。

ALTMEMPHY メガファンクションをインスタンス化する方法は 2 とおりあります。ALTMEMPHY MegaWizard® Plug-In Manager を使用するか、または既に ALTMEMPHY メガファンクションを備えているアルテラの DDR および DDR2 SDRAM 高性能コントローラを使用します。独自のコントローラを使用する計画がある場合でも、アルテラでは最初にアルテラの DDR および DDR2 SDRAM 高性能コントローラを使用したデザインを作成し、次にアルテラのコントローラを独自のコントローラに置き換えることを推奨しています。このようにして、デザイン例を取得し、シミュレーションと検証を行うことができます。

MegaWizard Plug-In Manager または SOPC Builder のいずれかを使用して、IP Tool Bench を起動でき、IP Tool Bench でメモリ・コントローラのインスタンス化とカスタマイズを行うことができます。外部メモリを NIOS ソフト・プロセッサのペリフェラルとして使用する場合は、SOPC Builder を使用します。



SOPC Builder でのレガシー・メモリ・コントローラのインスタンス化については、「AN 398: SOPC Builder による DDR/DDR2 SDRAM の使用」を参照してください。



Quartus II バージョン 6.1 の DDR および DDR2 SDRAM 高性能コントローラは、SOPC Builder をサポートしていませんが、このサポートは Quartus II ソフトウェアの将来のバージョンに追加されます。

前述したとおり、アルテラでは ALTMEMPHY メガファンクションまたは DDR および DDR2 SDRAM 高性能コントローラの使用を推奨しています。以下の例外の 1 つが適用される場合は、レガシー・メモリ・コントローラを使用できます。

- Stratix III デバイスへの移行を計画していない
- 200 MHz 以上で DDR/DDR2 SDRAM デバイスにインタフェースしない
- TimeQuest タイミング・アナライザを使用できない
- デザインのハーフ・レート・コントローラまたはロジックを使用できない



デザインに複数のレガシー・メモリ・コントローラを搭載する場合には、「AN 392: Multiple DDR and DDR2 SDRAM Controllers on One Device」を参照してください。

以降の項では、レガシー・コントローラと ALTMEMPHY データ・バス付きコントローラの両方に対するデザイン・フロー・ステップを説明します。



Stratix II は RLD RAM II、QDR II+/QDR II SRAM をレガシー・コントローラでのみサポートしています。

ステップ 4: RTL / 機能シミュレーションの実行

デザインをシミュレーションして機能を検証することは、アプリケーションをシステムで設計されたとおり実行するのに重要です。

ALTMEMPHY データ・パス付きコントローラ

ALTMEMPHY MegaWizard Plug-In Manager を使用するときには、デザインのシミュレーション・モデルを Verilog HDL と VHDL のいずれで生成するかオプションがあります。この IP 機能シミュレーション・モデルは、Quartus II ソフトウェアで生成されるサイクル単位で正確な HDL モデル・ファイルでもあります。アルテラの DDR および DDR2 SDRAM 高性能コントローラを使用して、メモリ・インタフェースをインスタンス化すると、ALTMEMPHY メガファンクション・シミュレーション・モデルのほかに、デザイン例とテスト・ベンチが生成されます。

レガシー・コントローラ

同様に、アルテラのレガシー・メモリ・コントローラ MegaCore ファンクションを使用してメモリ・コントローラをインスタンス化するときには、サイクル単位で正確な Verilog HDL または VHDL 機能シミュレーション・モデルを選択して、デザイン例用のテストベンチを生成できます。

両方の実装に対するテスト・ベンチ・ファイルは、<project_directory>/testbench フォルダに保存されます。

このモデルは、アルテラがサポートする VHDL および Verilog HDL シミュレータで動作し、汎用メモリ・デバイス・モデルが含まれています。使用している実際のメモリ・デバイス・モデルをベンダのウェブサイトからダウンロードします。



コントローラのシミュレーションについて詳しくは、「AN 380: Test DDR or DDR2 SDRAM Interfaces on Hardware Using the Example Driver」の「Appendix C. Perform Functional Simulation」の項または該当するメモリ・コントローラ・ユーザガイドを参照してください。

ステップ 5: 制約の追加

デザイン・プロセスの次のステップでは、外部メモリ・インタフェースに関連するすべてのタイミング制約、ロケーション制約、および物理的制約を追加します。これには、タイミング、ピン配置、I/O 規格、およびピン負荷のアサインメントなどがあります。



使用するドライブ強度と終端を決定するには、「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。

ALTMEMPHY データ・パス付きコントローラ

DDR および DDR2 高性能コントローラ・デザインのトップ・レベルは、Synopsys Design Constraints (SDC) アサインメントを使用して完全にタイミングが制約されています。これらのタイミング・アサインメントは、メモリ・データシートおよびボード・レイアウト上の許容差から得られる ALTMEMPHY MegaWizard Plug-In または高性能コントローラ MegaWizard Plug-In に入力するパラメータに依存します。ALTMEMPHY メガファンクションは、正確な TimeQuest タイミング制約とタイミング・ドリブン・フィッタを使用して、タイミング・クロージャを達成します。ALTMEMPHY メガファンクションをインスタンス化した後、MegaWizard Plug-In Manager は以下のスクリプト・ファイルを生成します。これらはデザインを適切に制約するために使用しなければならないファイルです。

- `<variation_name>_phy_dds_timing.sdc`
- `<variation_name>_pin_assignments.tcl`

これらのスクリプト・ファイルは、ALTMEMPHY メガファンクションまたは DDR および DDR2 SDRAM 高性能コントローラ MegaCore ファンクションをインスタンス化するときに使用するデザイン名に基づきます。独自のトップレベル・デザインを使用する場合は、スクリプトを編集してカスタム・トップレベル・デザインに合わせる必要があります。



ALTMEMPHY または高性能コントローラについて詳しくは、「ALTMEMPHY メガファンクション・ユーザガイド」または「DDR および DDR2 SDRAM 高性能コントローラ・ユーザガイド」を参照してください。

レガシー・コントローラ

レガシー・メモリ・コントローラ MegaCore ファンクションを使用するときは、**IP Tool Bench Constraints** ダイアログ・ボックスから DQS および DQ ピン位置を選択します。**Generate** をクリックすると、IP Tool Bench はメモリ・デバイス、FPGA デバイス、および `add_constraints_for_<variation_name>.tcl` という名前の tcl ファイル内のボード情報に基づいて、ピン位置、I/O 規格、および負荷アサインメントを作成します。さらに、IP Tool Bench はプロジェクト内の同じタイプの複数のメモリ・コントローラに対するすべての制約が含まれる `auto_add_<ddr|qdrii|rldramii>_constraints.tcl` という名前の tcl ファイルも生成します。例えば、プロジェクトに 2 つの DDR2 SDRAM メモリ・コントローラがある場合、両方のコントローラに対する制約は `auto_add_dds_constraints.tcl` ファイルを使用して供給できます。

レガシー・コントローラのタイミング制約を追加するには、**DDR Timing Wizard (DTW)** を実行します。



DTW の使用方法について詳しくは、「DDR Timing Wizard (DTW) User Guide」を参照してください。



`add_constraints_for_<variation_name>.tcl` スクリプトについて詳しくは、該当するレガシー・メモリ・コントローラ・ユーザガイドを参照してください。

ステップ 6: デザインのコンパイルおよびタイミング・クロージャの検証

制約を行った後、デザインをコンパイルしてタイミング要求が満足されていることを確認します。

ALTMEMPHY データ・バス付きコントローラ

ALTMEMPHY メガファンクションまたは高性能 SDRAM メモリ・コントローラの生成時に、MegaWizard Plug-In Manager は、`<variation_name>_report_timing.tcl` という名前のレポート・タイミング・スクリプトを生成し、ユーザはそれによってデザインをコンパイルして、ライト・データ、リード・データおよびコマンド / アドレス、およびデザイン内のコントローラ・タイミング・パスなど、さまざまなパスに対するタイミング・レポートを生成することができます。




ALTMEMPHY または高性能コントローラについて詳しくは、「ALTMEMPHY メガファンクション・ユーザガイド」または「DDR および DDR2 SDRAM 高性能コントローラ・ユーザガイド」を参照してください。

レガシー・コントローラ

DTW を使用して制約されたメモリ・インタフェース・デザインは、`dtw_timing_analysis.tcl` を使用します。このファイルは DTW ユーザガイドと共に DTW に含まれています。これにより、Quartus II ソフトウェアはインタフェース内の異なるタイミング・パスに対するマージンをレポートし、PLL ベースのリード・キャプチャ、再同期化、および DLL ベースのポストアンブル・クロックに対する理想的な位相シフト設定を推奨することができます。デザインをコンパイルした後、`dtw_timing_analysis.tcl` スクリプトを実行してタイミング・クロージャを検証します。タイミングが満足されない場合は、デザインのクロック・サイクルと位相シフトをスクリプトで推奨される結果に変更することができます。



スクリプトと DTW の使用方法について詳しくは、「DDR Timing Wizard (DTW) User Guide」を参照してください。

 DTW を使用するときは、IP Tool Bench によってレガシー・コントローラに対して生成された `verify_timing.tcl` スクリプトは無視されます。DTW および `dtw_timing_analysis.tcl` は、IP Tool Bench の `verify_timing.tcl` スクリプトと比較して、より完全なタイミング解析とレポートを提供します。

ステップ 7: ゲート・レベル・シミュレーションの実行 (オプション)

このオプションのステップにより、システムがデザインの各モジュールの必要なタイミング要求を満足していることを波形で確認します。



コントローラのシミュレーションについて詳しくは、「Quartus II ソフトウェア・ハンドブック Volume 3: 検証」または該当するメモリ・コントローラ・ユーザガイドを参照してください。

ステップ 8: 制約の調整

デザインのタイミング・レポートでは、デザインのさまざまなパスに対するワースト・ケースのセットアップ・マージンおよびホールド・マージンを確認できます。セットアップ・マージンとホールド・マージンのバランスが悪く、それを調整する場合は、これらのパスのクロックに使用するクロックの位相設定を調整できます。例えば、レポート・タイミング・スクリプト (ALTMEMPHY データ・パス付きコントローラ用の `<variation_name>_report_timing.tcl`、またはレガシー・コントローラ用の `dtw_timing_analysis.tcl`) は、現在のアドレス / コマンド・クロック位相シフトでは、セットアップ・タイムよりもホールド・タイムが長くなっていることを示している場合は、システム・クロックに対してアドレス / コマンド・クロックの位相シフトを追加することができ、それによってホールド・マージンが減少します。同様に、セットアップ・マージンの方が多い場合は、アドレス / コマンド・クロック位相シフトをシステム・クロックに対して減算します。

レガシー・データ・パスを使用するときには、`dtw_timing_analysis.tcl` スクリプトは、再同期化およびポストアンブル・クロック (該当する場合) の理想的なクロック・サイクルと位相シフトを推奨します。ALTMEMPHY データ・パス付きコントローラに対する `report_timing.tcl` は、インタフェースのマージンをレポートするだけです。



`dtw_timing_analysis.tcl` スクリプトについて詳しくは、「DDR Timing Wizard (DTW) User Guide」を参照してください。

ステップ 9: ボード・デザイン制約の決定

正しいボード制約を決定するには、ボード・レベルのシミュレーションを実行して、その設定で最適な信号品質が得られるかどうかを確認します。メモリ・インタフェースのシグナル・インテグリティに影響する可能性がある多くの因子を使用してメモリ・インタフェースをシミュレーションすると、メモリ・インタフェースがどの程度良好に動作するかを最初に把握できます。さまざまな電子デザイン・オートメーション (EDA) シミュレーション・ツールを使用して、ボード・レベル・シミュレーションを実行できます。シミュレーションは、データ、データ・ストロープ、コントロール、コマンド、およびアドレス信号について実行しなければなりません。メモリ・インタフェースのシグナル・インテグリティが良好でない場合は、ドライブ強度設定、終端方法、または終端値などの設定を調節して、シグナル・インテグリティを改善できます。



メモリ・インタフェースの設定を変更するとタイミングに影響を与えます。それらを変更すると、タイミング・クロージャ・プロセスを再度実行しなければならないことがあります。

デザインのタイミングをクローズすると、各種ボード・デザインを選択で課されるトレードオフを評価します。さまざまなファクタがシグナル・インテグリティに貢献し、またメモリおよびFPGAの全体的なタイミング・マージンに影響を与えます。シグナル・インテグリティに影響する可能性がある検討すべきファクタには、使用する終端方法、FPGAのドライブ強度設定、およびドライバにかかる負荷などがあります。さまざまな終端方法と出力ドライブ強度および負荷の影響との間のトレード・オフを理解すれば、複数の組み合わせをすばやく検討して、デザインに最適な設定を選択することができます。



シグナル・インテグリティ・デザインに対するさまざまな影響について詳しくは、「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。



並列に接続される 2 つの DIMM を備えたシステムについては、「AN 444: Dual DIMM DDR2 SDRAM Memory Interface Design Guidelines」を参照してください。



アルテラは高速ボード・デザイン情報に関する以下のアプリケーション・ノートを提供しています。

- AN 315: 高速FPGAのプリント基板の設計ガイドライン
- AN 224: 高速ボード・レイアウト・ガイドライン
- AN 75: 高速動作ボードの設計



Stratix II シグナル・インテグリティについて詳しくは、www.altera.co.jp/technology/signal/devices/stratix2/sgl-st2.html を参照してください。

ステップ 10: ボード・レベル・シミュレーションの実行

正しいボード制約を確実に決定するには、好みのボード・シミュレータ・ソフトウェアでボード・レベルのシミュレーションを実行して、その設定で最適な信号品質が得られるかどうかを確認します。メモリ・インタフェースのシグナル・インテグリティに影響する可能性がある多くの因子を使用してメモリ・インタフェースをシミュレーションすると、メモリ・インタフェースがどの程度良好に動作するかを最初に把握できます。シミュレーションは、データ、データ・ストロープ、コマンド、およびアドレス信号について実行しなければなりません。メモリ・インタフェースのシグナル・インテグリティが良好でない場合は、ドライブ強度設定、終端方法、または終端値などの設定を調節して、シグナル・インテグリティを改善することができます（ただし、これらの設定を変更すると、タイミングに影響し、タイミング・クロージャ・プロセスを再度実行しなければならない場合もあります）。さまざまな電子デザイン・オートメーション（EDA）シミュレーション・ツールを使用して、ボード・レベル・シミュレーションを実行できます。



シグナル・インテグリティ・デザインに対するさまざまな影響について詳しくは、「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。

ステップ 11: FPGA 機能の検証

システム・レベルの検証を実行し、システムをデザイン・ターゲットに対して相互に関連付けます。アルテラの SignalTap[®]II エンベデッド・ロジック・アナライザを使用して、これを支援することができます。



SignalTap II の使用方法について詳しくは、「Quartus II ソフトウェア・ハンドブック Volume 3」の「13 章: SignalTap II エンベデッド・ロジック・アナライザを使用したデザインのデバッグ」を参照してください。



SignalTap II ロジック・アナライザを使用してボード上のレガシー・メモリ・コントローラで作成されたデザイン例のテスト方法について、ステップごとの指示が必要な場合は、「AN 380: Test DDR or DDR2 SDRAM Interfaces on Hardware Using the Example Driver」を参照してください。

まとめ

メモリ・インタフェースは多様なアプリケーションで役立ちます。Stratix II はハードウェアからソフトウェアまで完全なソリューションと、すべて堅牢な高性能メモリ・インタフェースを構築するのに使用できるドキュメントを提供しています。

Stratix II デバイス機能により、ALTMEMPHY データ・パスを実装するアルテラの最新メモリ・コントローラでは、メモリ・インタフェースは最大 333 MHz (666 Mbps) で動作することができます。

簡潔なデザイン・フローと資料およびデザイン例により、顧客はシステムがデザインどおり実行されることを確信して、容易にメモリ・インタフェースを実装できます。

改訂履歴

表 5 に、本資料の改訂履歴を示します。

表 5. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 2 月 v1.0	初版	



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
[Applications Hotline:](#)
(800) 800-EPLD
[Literature Services:](#)
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

