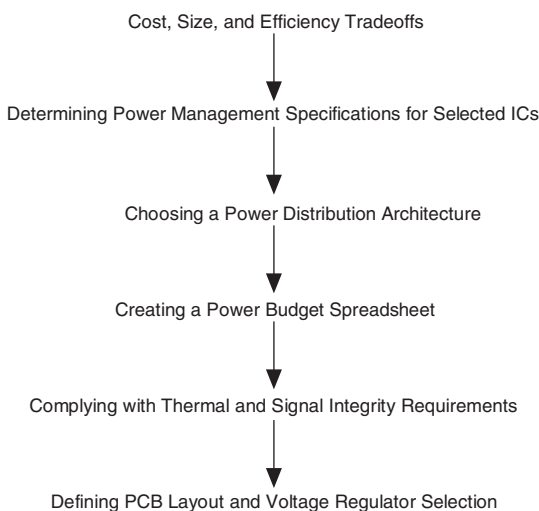


はじめに

この資料は、アルテラの Stratix® III FPGA を搭載したシステムにおける消費電力管理システム・デザインの情報およびガイドラインを提供します。ユーザ・システムのための適切なパワー・ソリューションの設計を支援するために、この資料では図 1 に示す面積およびデザイン・フローについて取り上げます。

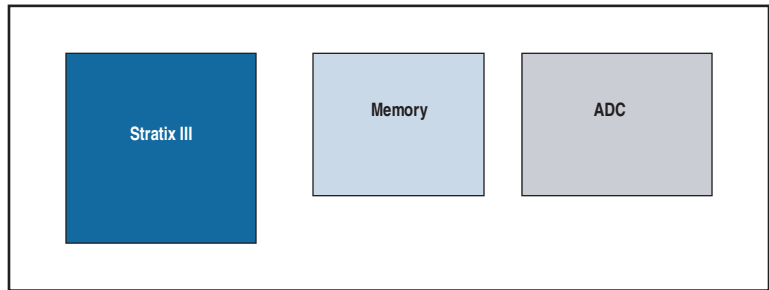
図 1. 消費電力管理デザイン・フロー



デジタル IC に電源を供給するときは、DC トレランス、システム・シーケンス、および過渡要件など、検討を要する多数のアプリケーション固有の側面があります。また、最終的なパワー・ソリューションを定義するうえで、システム・コスト、PCB の面積、および効率などの要素も重要な役割を果たします。

このデザイン例では、図 1 に示す順序でデザイン・フローを進めます。このデザイン例では、図 2 に示すようにアナログ-デジタル・コンバータ (ADC) とメモリ IC が Stratix III デバイスに統合されます。これはリファレンス・デザインではなく、最終的なソリューションはこのアプリケーションに対して可能な多くのパワー・ソリューションのうちの 1 つのみを示しています。

図 2. 選択した IC



コスト、 サイズ、 および効率の トレード・ オフ

システムの基本ブロックのアーキテクチャを設計した後、パワー・ソリューションを設計するために必要な最初のステップは、PCB 寸法を定義することです。パワー・ソリューションに対する主な検討事項には、以下の要素が含まれます。

- コスト
- サイズまたは面積
- 効率

これらのソリューションの重要性はエンド・マーケットによって異なるため、1 つのソリューションですべてのニーズを満たすことは不可能です。設計を開始する段階でこれらの各要素を慎重に評価して、具体的なシステムに最適なパワー・ソリューションを作成する必要があります。

コストおよび面積

コストおよび面積の重要性は、市場セグメントで異なります。システムの面積よりもコストを重視する市場もあれば、その逆もあります。また、コストと面積の両方を同等に評価する市場も存在するでしょう。例えば、大部分の医療市場ではコストよりも面積の削減に重点を置いています。ワイヤレス市場は反対にコストの削減に力を注いでいます。サーバおよびコンピュータ市場ではこの 2 つを等しく重視します。

効率

パワー・ソリューションの効率は主に電圧レギュレータに依存し、出力電力÷入力電力として定義されます。携帯基地局などのシステム、サーバ、およびバッテリーを使用するシステムでは、一般に効率が大きな問題になります。効率を重視するシステムでは、以下の検討事項を考慮する必要があります。

- アプリケーションで使用する冷却システムのタイプ。優れた冷却システムでは効率も向上します。
- ボードの消費電力として使用可能なワット量。効率が低いほど、電圧レギュレータ回路でより多くの電力が放散されます。

必要な効率要件のタイプによって、使用する電圧レギュレータ回路の種類が決まります。次の2種類の電圧レギュレータが市販されています。

■ スイッチング・レギュレータ

このタイプの電圧レギュレータは、通常90%以上の高い効率を達成します。ただし、効率は温度上昇に伴って急速に低下します。低下する割合はメーカーによって異なります。

■ リニア・レギュレータ

リニア・レギュレータの効率は V_{out}/V_{in} で算出されます。例えば、 V_{out} が1.5 V、 V_{in} が3.3 Vの場合、効率は45.5%と非常に低くなります。

V_{out} および V の変化に伴う効率の変化については、表1を参照してください。

表 1. V_{out} および V_{in} の変化に伴う効率の変動			
V_{out}	V_{in}		
	12 V	5 V	3.3 V
5 V	93%	–	–
3.3 V	91%	95%	–
2.5 V	89%	93%	94%
2.3 V	88%	91%	92%
1.8 V	87%	90%	91%
1.5 V	86%	89%	90%
1.2 V	84%	87%	88%
1.0 V	–	85%	87%

アプリケーションの最も重要なパラメータを決定しなければなりません。このデザイン例では、効率と面積当たりのコストに重点を置いています。このパワー・ソリューション全体の目標は、低消費電力を実現することであり、これには適正コストでの高い効率が必要です。これは、消費電力アーキテクチャの決定と電圧レギュレータ・タイプの選択において重要な役割を果たします。

選択した IC の 消費電力管理 仕様の決定

コスト、サイズ、および効率の他に、パワー・ソリューションは電力が供給されている回路、これらのデバイスのシーケンスおよび起動要件に大きく依存します。

電子システムの大半はデジタル回路とアナログ回路が混在しています。オーディオ回路、トランシーバ回路、クロック信号、PLL (Phase-Locked Loop) などのアナログ回路、またはノイズの影響を受けるその他の回路は、リニア・レギュレータから電源を供給する必要があります。大部分の FPGA および DSP コア、および I/O 電圧レールでは、オン / オフを繰り返す多くの内部トランジスタによってレール上にスイッチング・ノイズが既に存在するため、デジタル電源レールはスイッチング・レギュレータのようなスイッチング電源から駆動することができます。各 IC でアナログ電源要件とデジタル電源要件を区別できることが絶対に必要です。

Stratix III デバイスでは、アナログ回路と同様に、リニア・レギュレータを使用して VCCA および VCCPT を駆動することが特に推奨されます。このパワー・レギュレータからのスイッチング・ノイズによってジッタが生じ、最終的にシステム障害を引き起こす可能性があります。さらに、ノイズに敏感なアナログ回路を設計するときには、アルテラが推奨するボード・レイアウトのガイドラインに従い、シールド・インダクタを使用して、アナログ回路がスイッチング・レギュレータからのノイズの影響を受けないようにします。ボード・デザインのガイドラインについて詳しくは、アルテラのボード・デザイン・ガイドライン・ソリューション・センタ (www.altera.co.jp/support/devices/board/brd-index.html) を参照してください。

Stratix III デバイスのデジタル電圧レールには、VCCL、VCC、VCCIO、VCCPGM、VCCD_PLL、および VCC_C1kin があり、効率またはコスト要件に応じてリニアまたはスイッチング・レギュレータから駆動できます。

表 2 は、Stratix III デバイスを設計する際に検討する必要がある電源レールの概要です。アルテラでは、システムのすべての IC を含む同様のテーブルを作成し、独自の要件を調査して電源レールを共有できる IC を特定することを推奨しています。

表 2. マルチ・レール・システムの電源				
名前	ファンクション	レール電圧 (V)	IC 電源のタイプ	必要なレギュレータのタイプ
VCCL_FPGA	コア・ロジック	0.9, 1.1	デジタル	リニアまたはスイッチング
VCC_FPGA	周辺ロジック消費電力	1.1	デジタル	リニアまたはスイッチング
VCCIO_FPGA	I/O 消費電力	1.2, 1.5, 1.8, 2.0, 2.5, 3.0	デジタル	リニアまたはスイッチング
VCCPGM_FPGA	IO パワー・ コンフィギュレーション・ピン	1.8, 2.5, 3.0	デジタル	リニアまたはスイッチング
VCCPD_FPGA	I/O ブリドライバ	2.5, 3.0	デジタル	リニアまたはスイッチング
VCCPT_FPGA	電圧レギュレータ電源	2.5	アナログ	リニア
VCCA_PLL_FPGA	PLL アナログ電源から PLL レギュレータ	2.5	アナログ	リニア
VCC_Clkin_FPGA	PLL クロック入力電圧	2.5	デジタル	リニアまたはスイッチング
VCCBAT_FPGA	暗号化キーのバッテリー・ バックアップ電源	2.5	デジタル	リニアまたはスイッチング
VCCD_PLL_FPGA	PLL デジタル・グローバル電源	1.1	デジタル	リニアまたはスイッチング
VCCN_ADC	I/O	3	デジタル	リニアまたはスイッチング
VCC_Memory	コア・ロジック	1	デジタル	リニアまたはスイッチング
VCCN_Memory	I/O	3	デジタル	リニアまたはスイッチング

Stratix III デバイスの入力電圧について詳しくは、以下のウェブサイトをご覧ください。www.altera.co.jp/literature/hb/stx3/stratix3_handbook_j.pdf

マルチ・レール電源システムを設計する場合、長期間にわたるデバイスの信頼性低下を防止する各レールのパワーアップ・タイミングを考慮する必要があります。各レールのパワーアップ・タイミングをシーケンスといい、ここでは単調なランプレートが重要なコンポーネントです。

パワーアップ・シーケンスを制御する方法として、次の3つがあります。

- 同時
- レシオメトリック
- シーケンシャル

図3に示す例では、すべてのレールが同時に上昇し、目的のレギュレーション・ポイントに到達すると停止します。レールも同じ速度で上昇し、ラッチ・アップ、バス競合、および不要なトランジスタ状態を防止します。このため、同時シーケンスは理想的なシーケンス手法と考えられます。しかし、同時シーケンスではシステムのすべての電源レールが同時に上昇するため、より多くのシステム起動電流が必要になる欠点があります。実装には同時シーケンス・オプションを使用できる電圧レギュレータ（VR）などの特殊回路が必要です。

図3. 同時シーケンス

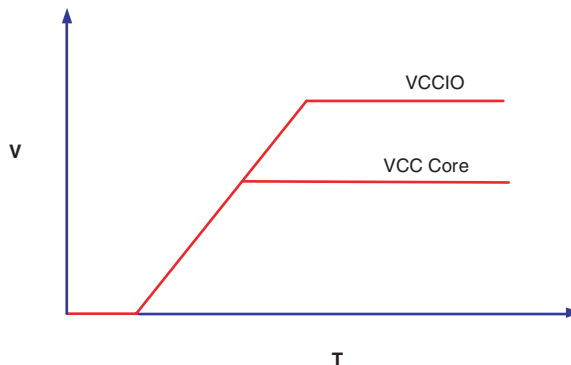


図4に、レシオメトリック・シーケンスの例を示します。このシーケンスでは、各レールは異なる速度で上昇しますが、レールの電圧が高いほどスルー・レートも速いため、各レールは同時にレギュレーション・ポイントに達します。このシーケンスの利点は、電源レール間の電圧差を最小限に抑えることができることです。一方で、すべての電源レールが同時に上昇するのでより多くのシステム起動電流も必要になるという欠点があります。このシーケンスでは、制御可能なソフトスタート・オプションで使用できる電圧レギュレータが必要です。

図 4. レシオメトリック・シーケンス

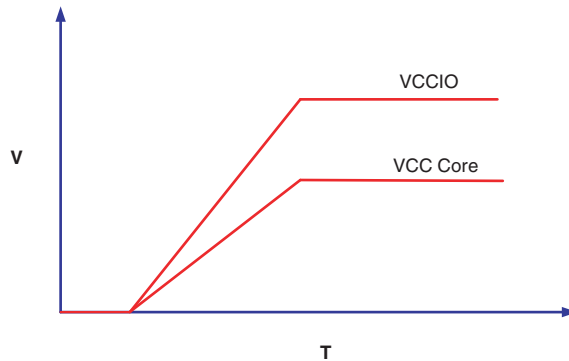
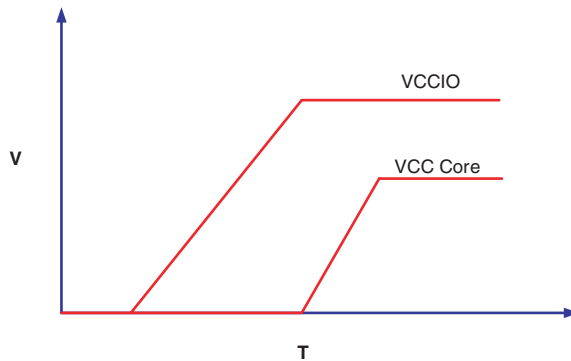


図 5 に、シーケンシャル・シーケンスを示します。シーケンシャル・シーケンスの利点は、比較的簡単に実装でき、必要な電圧レギュレータのステージング出力の結合が比較的単純なことです。この方法では、レール間に最大電圧差が発生した場合でも、電圧が短時間に上昇する限り、デバイスが損傷したり信頼性が低下することはありません。ほとんどの IC ベンダは、パワーアップ時におけるシーケンシャル・シーケンスの使用が適切かどうかについて言及しています。

図 5. シーケンシャル・シーケンス



Stratix III デバイスでは、3つのシーケンス要件のどれでも実装することができます。しかし、DSP などのその他のシステム・コンポーネントでは、最もセットアップが簡単で起動電流がさらに小さくなるため、シーケンシャル・シーケンスを使用します。したがって、Stratix III デバイスが入力パワー・シーケンスを許容する場合でも、システムの他のコンポーネントをチェックして、それらのシーケンス要件について理解することが重要です。

電源システムを設計する際に、シーケンスと同様に重要なことは、電源レールが単調に上昇するように制御することです。図 6 に、理想的な単調ランプとそうでない単調ランプの違いを示します。ほとんどのメーカーでは、コア電圧および I/O や他の電圧レールが安定状態のトランス電圧 $\pm 3 \sim 5\%$ まで単調に上昇することを要求しています。Stratix III デバイスでは、特定の電源レールで内部パワー・オン・リセット (POR) 回路を使用し (表 3 参照)、 $\pm 5\%$ の電圧トランスで正常にパワーアップするために単調に上昇する必要があります。DSP などのその他の IC では、すべての電源レールが立ち上がったことを示す外部 SVS (Supply Voltage Supervisory) リセット・チップまたはリセット信号が必要な場合があります。そのため単調な電圧上昇はさほど重要ではありません。

図 6. 理想的な単調ランプと不適切な単調ランプ

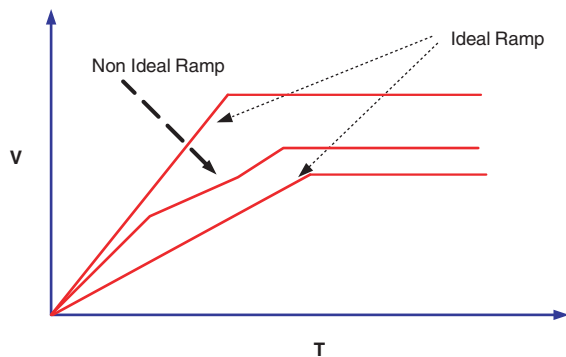


表 3 に示す Stratix III の電源は POR 回路でモニタされ、FPGA のすべての回路がパワーアップ時に既知状態にあることを保証するために、規定電圧レベルに達する必要があります。

表 3. POR がモニタする電源		
Stratix III の電源電圧	説明	電圧 (V)
V_{CCL}	コア電圧	0.9 または 1.1
V_{CC}	クロック・ネットワークおよび周辺	1.1
V_{CCPD}	ブリドライバ電圧	2.5 または 3.0
V_{CCA_PLL}	PLL 用電源	2.5
V_{CCPGM}	コンフィギュレーション電圧	1.8、2.5、または 3.0

表 3 に示す電源電圧に対する Stratix III のランプ・レート要件は、以下のとおりです。

- MAX ランプ・レート = 100 mS
- MIN ランプ・レート = 50 μ S
- すべての電源は、厳密に単調に上昇する必要があり、水平状態になってはなりません。

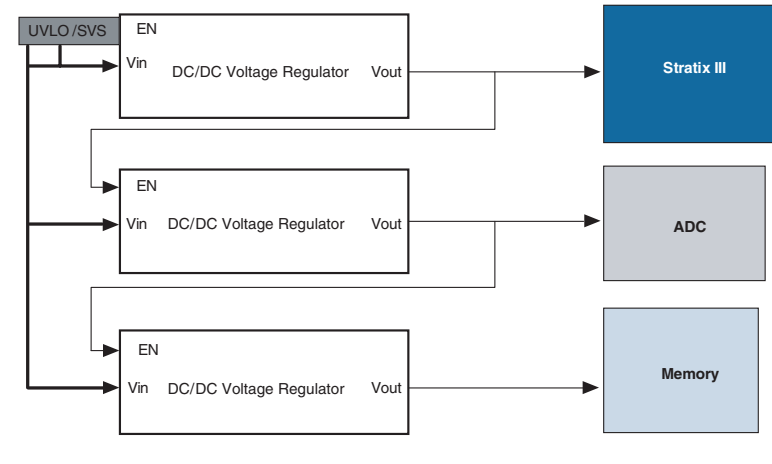
Stratix III のランプ・レート要件および POR 回路でモニタする電源について詳しくは、以下のウェブサイトをご覧ください。

www.altera.co.jp/literature/hb/stx3/stratix3_handbook_j.pdf

最小ランプ時間要件を満たす場合でも、電圧レギュレータはソフトスタートさせる必要があります。ソフトスタート機能は、起動時の電流制限を徐々に上昇させ、出力電圧の上昇速度を低速にし、起動時に必要なピーク電流を低減することにより、入力電流を少なくします。これによって、バルク容量の充電に必要な急激なラッシュ電流が電圧レギュレータの電流制限を超えないようにし、レギュレータが適切に立ち上がるようにして過電流による損傷を防止します。

このデザイン例では、最も簡単に実装でき、信頼性の高いパワー・アップ戦略なので、ソフトスタートによるシーケンシャル・シーケンスが使用されます。この方法は、システムの電源の能力が不明な場合やシステム内の他のコンポーネントが負担になる場合に特に有用です。電圧レギュレータのステー징出力を結合することによって、以降の電圧レギュレータをイネーブルし、シーケンシャル・パワーアップ手法を作成することができます。入力レールの SVS は、入力コンデンサが充電されレールが立ち上がるまで電圧レギュレータがターンオンしないようにします。これによって、電圧レギュレータの UVLO (低電圧ロックアウト) が起動する可能性を低減します。図 7 に示すように、この電源管理システムはパワーアップ要件と起動問題に対応します。

図 7. シーケンシャル・シーケンスの電源管理システム



電源分配アーキテクチャの選択

パワー・ソリューションの全体的なアーキテクチャは、システムの入力電圧、トレランス、ダイナミック応答、システム効率、および PCB 面積など、これまで述べてきた多くの要因によって定義されます。これらのシステム特性の相対的な優先度を決定することにより、特定のアプリケーションに対する最適な電源分配アーキテクチャが決まります。一般に、電源分配には 2 つの基本的なアプローチがあります。1 つは、シングル・ソース変換システム、もう 1 つは POL (負荷ポイント) 電圧レギュレータを使用する IBA (中間バス・アーキテクチャ) 変換です。以下にこの 2 つのアプローチを要約します。

シングル・ソース

- DPA (分配電源アーキテクチャ)

中間バス・アーキテクチャ

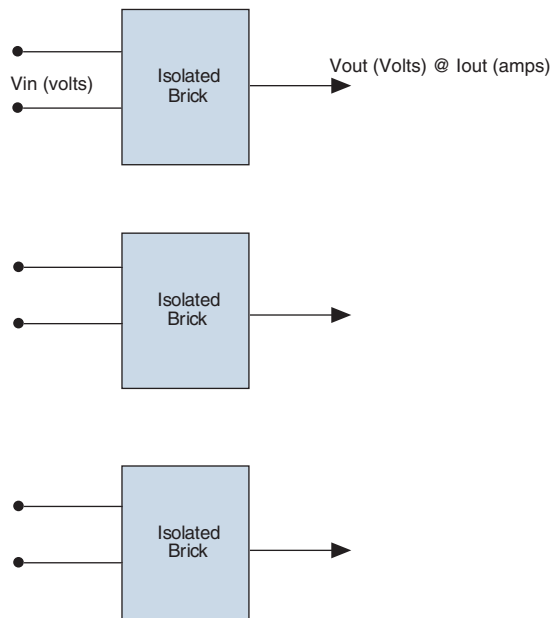
- 安定化中間バス・アーキテクチャ
- 非安定化中間バス・アーキテクチャ

多くのマルチ・レール・アプリケーションでは、中間バス・アーキテクチャを使用することによって、大幅なコスト削減と性能向上を達成することができます。電流要件はアプリケーションごとに大きく異なる場合があります。例えば、一般的なサーバ・システムでは最大 90 A の電流が必要ですが、携帯医療システムは通常 1 A の電流しか必要としません。アプリケーションにより要件が異なるため、ユーザの電源アーキテクチャ・ソリューションは独自のものになります。

分配電源アーキテクチャ

DPA は、2 つまたはそれ以上の絶縁 DC/DC コンバータまたは絶縁ブリックで構成されており、それぞれ 1 ~ 3 つの出力電圧を供給し、共通の中間バス電圧により動作します。DPA はテレコム・ネットワークング・システムで使用され、通常は 48 V です。DPA では、パワー・コンバータは負荷回路の近くに配置され、DC 分配損失を最小限に抑え、拡張されたダイナミック応答性能に対する分配インダクタンスを低減します。しかし、絶縁を必要としない、あるいは非常に低い電圧が必要な多くのアプリケーションでは、このタイプのシステムには制限があり、コストも高くなる可能性があります。図 8 に、DPA の基本的なブロックを示します。

図 8. DPA の基本的なブロック



利点

- 単一レベルの電源変換により全体的な効率が向上します。
- 高電力システムでは、分配バスでの電流が低くなります。
- 少数の電圧レールのみ必要なシステムで役立ちます。

欠点

- POL 電圧レギュレータよりも過渡応答処理能力が低くなります。
- 追加のバイパス・コンデンサが必要になる場合があります。
- 複数の絶縁バリアのためシステム・コストが上昇。電圧レール数が増加し、コストおよび PC ボード・スペースが増大。
- 外部回路なしではシーケンスが不可。

IBA（中間バス・アーキテクチャ）

中間バス・アーキテクチャは、非安定化バス・コンバータと安定化バス・コンバータの2つのカテゴリに分類されます。以下の項で、これら2つのカテゴリについて説明し、表 4 に、両者の違いを示します。以下に、IBA アーキテクチャの利点と欠点を示します。これらは使用する IBA アーキテクチャのタイプに応じて異なります。

利点

- POL 電圧レギュレータによる過渡応答の向上
- 単一絶縁バリアのため低コスト化を達成
- PCB ボード・スペースの最小化

欠点

- 2ステップの変換プロセスにより、電力損失が増大し入力要件が厳密化。
- 高電力システムにおいて分配バスで高電流が管理不能になる可能性がある。

非安定化中間バス・アーキテクチャ

非安定化バス・システムは、絶縁されているが安定化されていない IBC（中間バス・コンバータ）機能を採用しており、入力電圧を POL 電圧レギュレータで使用する標準レベルにまで低下させます。POL 電圧レギュレータが入力電圧と出力電圧の間で最も効率的に動作するので、この電圧低下は望ましく、Buck 電圧レギュレータのデューティ・サイクルが最適化されます。合計出力電力が高いシステムの場合、特に2つまたはそれ以上の出力電圧に高電流または高電力レベルが存在する場合には非安定化 IBA が適しています。

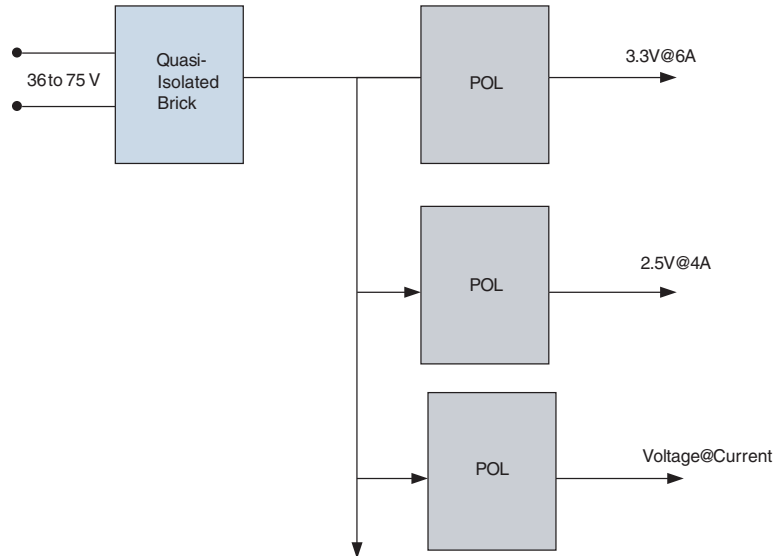
以下に非安定化 IBA の特性を示します。

- 36 ~ 75 V に制限された入力範囲

- 占有ボード・スペースが最少。
- POL 電圧レギュレータに最適な変換効率を提供。
- 高電力システムに最高のシステム効率を提供。
- すべての電圧レールのシーケンスが可能。

図 9 に、非安定化 IBA の基本的なブロックを示します。

図 9. 非安定化 IBA



安定化電圧中間バス・アーキテクチャ

安定化バス・アプローチは、最大電流の出力電圧が 5 V や 3.3 V など、一般に POL 電圧レギュレータの入力として使用される電圧レベルにあるときに最適に動作します。最大出力電力が 2.5 V 以下で要求される場合、安定化バス・アーキテクチャは最適な選択ではありません。安定化バス・アプローチは、多くの場合は、出力電力の大部分が1つの出力電圧に集中する低電力システムにとって最良の選択です。

以下に安定化 IBA の特性を示します。

- 1 つの絶縁ブリックおよび多数の非絶縁 POL を使用。
- POL 電圧レギュレータ入力に 3.3 V、5 V、または 12 V の安定化バスを使用。
- コスト低下、ボード・スペース削減を達成する反面、高電力システムの効率は低下。
- より高いバス電圧が POL に必要になるため、変換効率（12 V 入力）が低下。
- 低電力システムのコストを低減。

図 10 に、安定化 IBA の基本的なブロックを示します。

図 10. 安定化 IBA

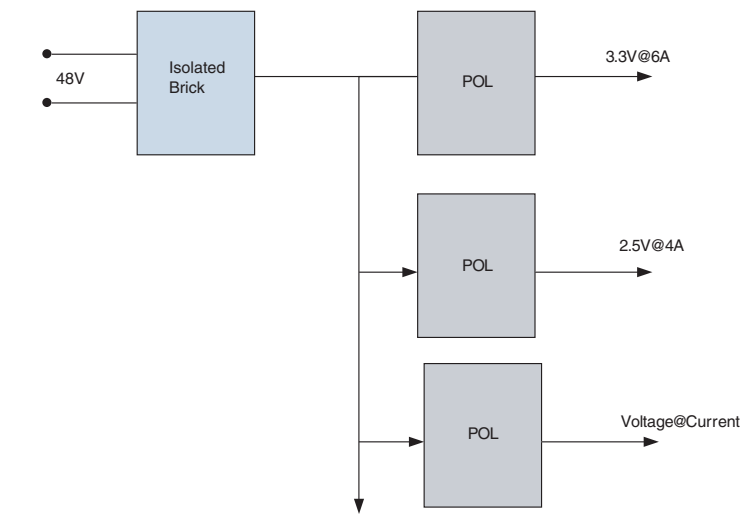



表 4 に、安定化 IBA と非安定化 IBA の比較を示します。

パラメータ	安定化 IBA	非安定化 IBA
低電力システム	低コスト	高コスト
高電力システム	高コスト	低コスト
低電力システム	同等の効率	同等の効率
高電力システム	低効率	高効率
外部コンポーネント	MOSFET、デカップリング・キャパシタ、ノイズ・フィルタリング	デカップリング・キャパシタ
バスのキャパシタ	多い	少ない
コンバータの総数およびフットプリント	少ない	多い
分配銅	多い	少ない
入力電圧範囲	フル・テレコム、データ通信	制限されたテレコム、データ通信

消費電力スプレッドシートの作成

シーケンスの推奨事項およびパワー・アーキテクチャ・ソリューションなどの重要な電源システム要件を含めて、電源が供給されている回路のタイプを検討した後、消費電力スプレッドシートを作成することができます。消費電力スプレッドシートは、システム内のコンポーネントのサイズと電力要件のために、デザイン・プロセスの非常に重要な部分になります。通常のアプリケーションでは、CPU、DSP、FPGA、ASSP、ADC の順にこれらの PCB コンポーネントが消費電力の大部分を占めます。ほとんどの IC メーカーは、オンラインで消費電力の見積りを提供しており、少なくとも最大ダイナミック電流の実用的な見積りを行うことができます。アルテラは Early Power Estimator および Quartus® II PowerPlay Analyzer により、Stratix III デザインの最大電流の決定を支援します。各レールの消費電流が分かると、システムの消費電力スプレッドシートを使用して、電力アーキテクチャを策定するための最良のアプローチを決定することができます。表 5 に、システム電圧レールの電流要件の概要を示し、デザインで同じ電圧およびシーケンスを持つレールをグループ化します。

 表 5 で使用する電流値は、デバイスの仕様ではなくテスト・デザインに基づく見積り値です。

名前	機能	レール電圧 (V)	合計ワースト・ケース電流	コンバータ
VCCL_FPGA	コア・ロジック	1.1	6 A	8 A
VCC_FPGA	周辺ロジック消費電力	1.1		
VCC_ADC	コア・ロジック	1.1		
VCCIO_FPGA	I/O 消費電力	2.5	2	3
VCCPGM_FPGA	I/O 電源コンフィギュレーション・ピン	3.0	1.5	2
VCCPD_FPGA	I/O ブリドライバ	3.0		
VCCPT_FPGA	電圧レギュレータ電源	2.5		
VCCA_PLL_FPGA	PLL レギュレータへの PLL アナログ電源	2.5	0.5	1
VCC_Clkin_FPGA	PLL クロック入力電源	2.5		
VCCBAT_FPGA	暗号化キーのバッテリー・バックアップ電源	2.5		
VCCD_PLL_FPGA	PLL デジタル・グローバル電源	1.1	0.3	0.5
VCCN_ADC	I/O	3	1.6	2
VCC_Memory	コア・ロジック	1	0.8	1

表 5. 電圧レールのデザイン例の概要 (2 / 2)

名前	機能	レール電圧 (V)	合計ワースト・ケース電流	コンバータ
VCCN_Memory	I/O	3	0.4	0.5
合計	-	14	-	8

表 6 に、このデザイン例においてターゲット・システムの効率と消費電力値を負荷ポイントで検出するための電圧および電流要件を示します。図 11 に示すように、これは様々な効率のコンバータを選択し、各種バス電圧を試用、またはコンバータ・ステージングを使用して効率を向上させて行います。システム・コスト、PCB 面積、および効率は、消費電力バジェットをコンパイルする際に検討すべき要素であり、最終的にコンバータの選択に影響を与えます。結果の消費電力計算は、熱コンプライアンスおよび冷却ソリューションによるシステムの熱バジェット処理を保証するうえで重要な役割を果たします。

表 6. バジェット計算

コンバータ POL	Vout (V)	Approx I out (A)	P out (W)	POL コンバータ 入力 (V)	推定効率	P in = Pout/ 効率	In Required = Pin/Vin (A)	消費電力
VR #1 スイッチング	1.1	8	8.8	5	0.9	9.77	1.95	0.97
VR #6 スイッチング	1.8	2	3.6	5	0.89	4.04	0.80	0.44
VR #2 スイッチング	2.5	3	7.5	5	0.92	8.15	1.63	0.65
VR #3 リニア	3	2	6	5	0.6	10	2	4
VR #4 リニア	2.5	1	2.5	5	0.6	4.16	0.83	2.08
VR #5 リニア	1	0.5	0.5	5	0.4	1.25	0.25	1
VR #7 リニア	1	1	1	5	0.4	2.5	0.5	2
VR #8 リニア	3	0.5	1.5	5	0.75	2	0.4	0.8
合計	-	-	31.4	-	-	-	8.37	11.95

このデザインでは、POL 電圧レギュレータ (VR) 1、2、6 用スイッチング電圧レギュレータを使用して、Stratix III および ADC デバイス向けデジタル回路の高電流要求を満たします。また、スイッチング・レギュレータは高効率を達成し、消費電力を低減します。その他のコンバータはリニアであり、ステージング・コンバータの影響を実証してシステムの消費電力を低減します。IBA アーキテクチャに様々なバス電圧 (3.3、5、12 V) を選択することによって、電流を消費して最適なコンバータ効率を達成できます。バス電圧が低下すると、バス電流が増加して効率と電流密度の間でトレード・オフが発生します。リニア・レギュレータにステージングを適用して、これらのリニア電圧レギュレータの入出力電圧差を小さくすることにより、POL のバス電圧を変更することなく、消費電力を抑え効率を向上することができます。表 7 に、ステージングを使用して VR 4、5、および 7 の効率を向上させる場合の消費電力を示します。図 11 に示すステージングなどのデザイン手法は、電力アーキテクチャ内で消費電力を最適化する際に非常に役立ちます。

図 11. ステージングを使用した効率向上

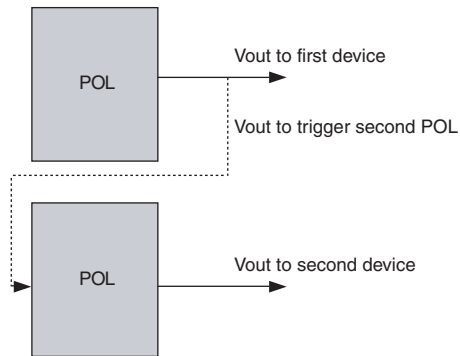


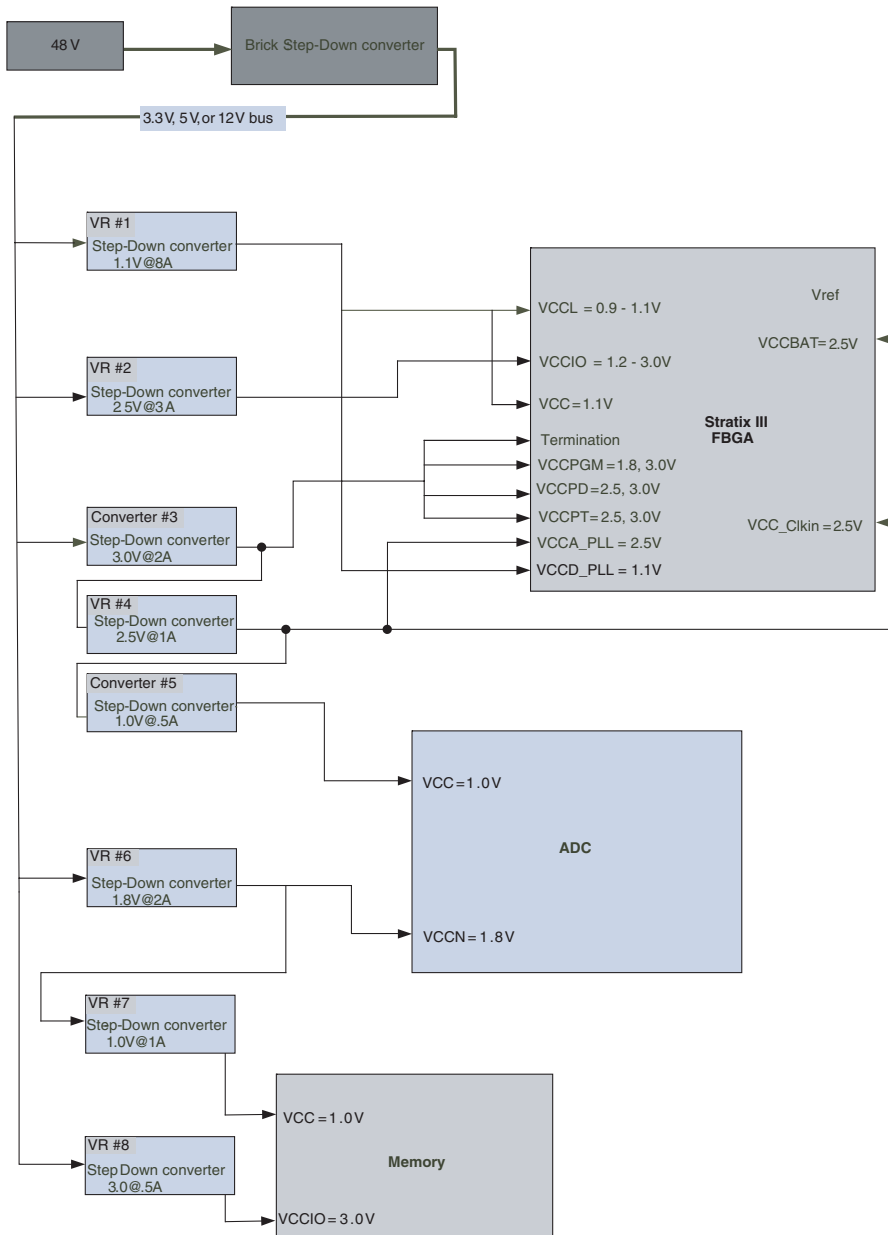
表 7. ステージング後の修正済みバジェット計算

コンバータ POL	Vout (V)	Approx I out (A)	P out (W)	POL コンバータ 入力 (V)	推定効率	P in = Pout/ 効率	In Required = Pin/Vin (A)	消費電力
VR #1 スイッチング	1.1	8	8.8	5	0.9	9.77	1.95	0.97
VR #6 スイッチング	1.8	2	3.6	5	0.89	4.04	0.80	0.44
VR #2 スイッチング	2.5	3	7.5	5	0.92	8.15	1.63	0.65
VR #3 リニア	3	2	6	5	0.6	10	2	4
VR #4 リニア	2.5	1	2.5	3	0.6	4.16	1.38	0.69
VR #5 リニア	1	0.5	0.5	2.5	0.4	1.25	0.5	0.75
VR #7 リニア	1	1	1	3	0.4	2.5	0.83	1.66
VR #8 リニア	3	0.5	1.5	5	0.75	2	0.4	0.8
合計	–	–	31.4	–	–	–	9.51	9.98

図 12 に、バジェット計算の最終実装を示します。ここで、システムブロック・レベル図は、5 V バス変換で固定 IBA で示されています。特定のアプリケーション用のソリューションを設計するプロセスには、システム特性の詳細な理解およびコスト制約を伴うため、すべてのソリューションが独自のものになります。この例はリファレンス・デザインではなく、消費電力ソリューションを選択するプロセスを示すためのものです。

図 12. Stratix III デバイスを使用した一般的なアプリケーション

Fixed Voltage Intermediate Bus Architecture (IBA)



サーマル および シグナル・インテグリティ 要件へのコン プライアンス

サーマル・コンプライアンス

熱管理は、いずれのシステムにおいても Stratix III デバイスにとって重要なデザイン上の検討事項です。アルテラのデバイス・パッケージは、熱抵抗を最小限に抑えて最大の許容損失が得られるように設計されています。設計者は熱回路モデルと計算式を使用して熱抵抗を算出することによって、デバイスの温度管理にヒート・シンクが必要かどうかを判断することができます。

ヒート・シンクは、デバイスのジャンクション温度を規定推奨動作温度以下に維持するのに役立ちます。ヒート・シンクを使用すると、デバイスからの熱がダイのジャンクションからケースに、ケースからヒート・シンクに流れ、最後にヒート・シンクから周囲に放出されます。特定のデザインの熱管理ソリューションの決定について詳しくは、以下のウェブサイトを参照してください。

www.altera.co.jp/support/devices/power/thermal/pow-thermal.html

シグナル・インテグリティ・コンプライアンス

適切なバイパス手法およびデカップリング手法により、信頼性の高いデザイン動作にとって重要となる電源全体のシグナル・インテグリティが向上します。これらの手法は、電源電流要件がより厳しくなり、かつ電源と負荷ポイント間の距離が長くなるほど、より重要になります。設計者が検討しなければならないバイパス手法およびデカップリング手法のタイプは、システム・デザインやボードの要件に応じて異なります。特定のデザインのシグナル・インテグリティ・コンプライアンスについて詳しくは、以下のウェブサイトを参照してください。

www.altera.co.jp/support/devices/power/integrity/pow-integrity.html

PCB レイアウト および電圧 レギュレータ の選択の定義

高電力信号が低電力信号に干渉しないようにするために、ボードの適切なレイアウトが不可欠です。不適切なレイアウトに起因する不要な電圧または電流スパイクの生成によって、DC 電圧および隣接するコンポーネントへの EMI 放射でノイズが発生します。電源を設計するときには、以下のレイアウト推奨事項を考慮する必要があります。

- 高 di/dt ループを特定し、不要な電圧スパイクを発生させる可能性があるインダクタンスを最小化するために可能な限り小型化します。
- ソース電流およびリターン・パスは、互いに重なるかまたは隣接させてループ面積を小さくし、磁気干渉の生成を最小限に抑えます。
- 回路ノードのサイズは電流量に応じて決定する必要があります。
- パワー・コンポーネントからの電流を流すトレースおよび銅ベタは十分に広くし、シミュレーションによって検証しなければなりません。
- アナログ小信号グラウンドおよび電源グラウンドまたはスイッチング電流は独立している必要があります。
- 電源インダクタ/トランス、MOSFET、および整流器は、低レベルのアナログ信号を持つトレースおよび回路から離れた場所に配置しなければなりません。

- すべての高電流パスを最上部レイヤに配置することが望ましいですが、不可能な場合は複数のビアを使用して別々のレイヤで高電流パスを接続します。

電源コンポーネントのレイアウト手法に関する詳細な説明は、電源ベンダにお問い合わせください。

まとめ

消費電力管理システム・デザインは、適切なパワー・ソリューションを確定するための多くのステップで構成されています。コスト、効率、PCBの面積、およびシステムの電源仕様など、多数の要素が重要な役割を果たします。Stratix III デバイスを使用したこのデザイン例は、消費電力管理デザイン・プロセスの随所で取り上げられ、Stratix III デバイスを容易にシステムに実装できることを示しました。

改訂履歴

表 8 に、このアプリケーション・ノートの改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 5 月 v1.3	VccR を VCCPT にすべて変更	マイナー・チェンジ
2007 年 3 月 v1.2	日付の調整	マイナー・チェンジ
2007 年 3 月 v1.1	アンパサンドの削除およびフッタの修正	マイナー・アップデート およびフォーマットの変更
2007 年 2 月 v1.0	初版	—



101 Innovation Drive
San Jose, CA 95134
www.altera.com
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

