

はじめに

アルテラの Stratix® III デバイス・ファミリは、65 nm テクノロジーに基づき、最先端アーキテクチャおよび省電力技術を採用しています。これらの省電力技術は、さまざまなプロセス、回路、アーキテクチャの最適化および技術革新に使用されています。Stratix III デバイスは、1.1 V コア電圧、トリプル・ゲート・オキシサイド、低誘電材 (Low-k) を使用した全層銅配線 65 nm プロセス・テクノロジーに基づいており、消費電力を大幅に低減し、性能を飛躍的に向上させます。Stratix III デバイスには、消費電力を最小限に抑えながら最大限の性能が得られる、アダプティブ・ロジック・モジュール (ALM) と呼ばれる最新の高効率ロジック構造が使用されています。

アルテラは、消費電力を迅速かつ正確に見積もり、デザイン・プロセスをサポートする、Quartus® II PowerPlay Power Analyzer ツールを提供しています。この情報を使用して、デザインで最も多く電力を消費するブロックを特定し、それらのブロックに的を絞ってデザインの消費電力を最小限に抑えることができます。



PowerPlay Power Analyzer について詳しくは、「Quartus II ハンドブック Volume 3」の「PowerPlay Power Analyzer」を参照してください。

低消費電力のための設計

FPGA の総消費電力量は、I/O 電力、コア・スタティック電力、コア・ダイナミック電力の合計です。このアプリケーション・ノートでは、Stratix III デバイスにおけるデザイン最適化オプションと、コア・ダイナミック電力およびコア・スタティック電力の削減に役立つ技術を中心に扱っています。これらの技術には、以下のようなものがあります。

- 選択可能なコア電圧
- プログラマブル・パワー・テクノロジー
- デバイスのスピード・グレードの選択

このアプリケーション・ノートでは、上記の電力最適化技術について詳しく説明し、それらを効果的に使用方法を示します。

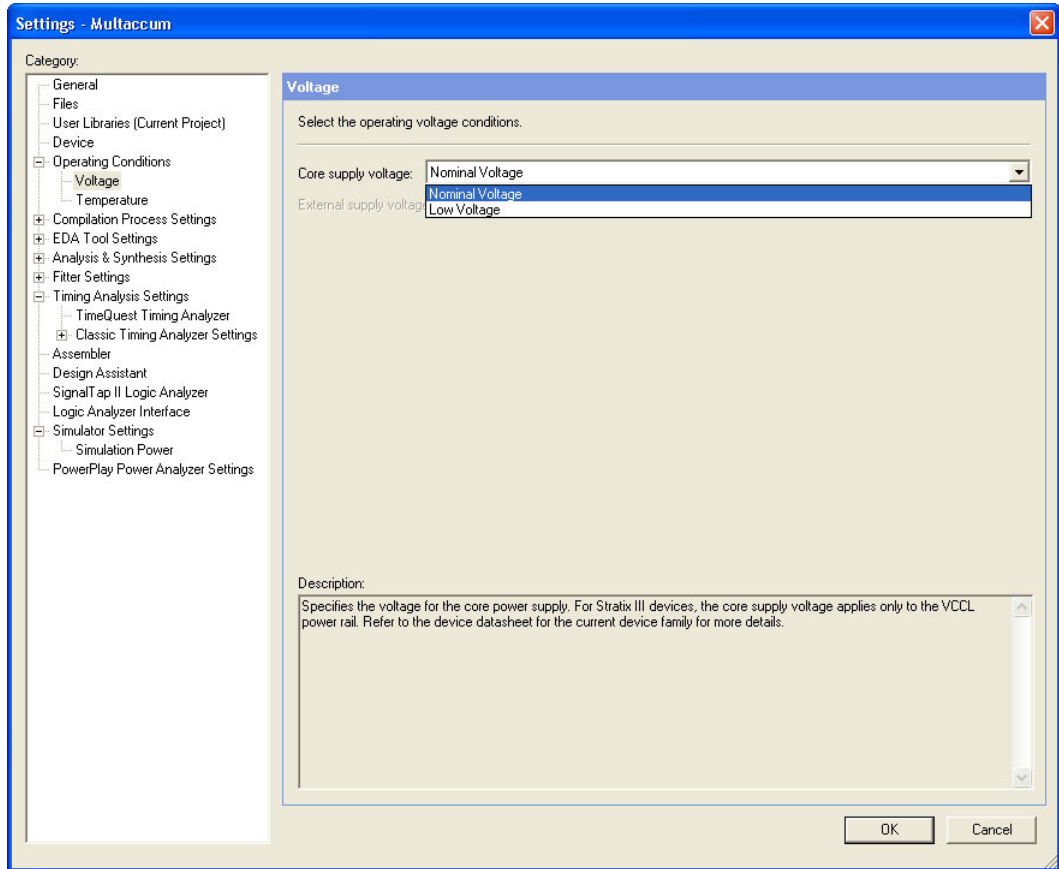


デザイン・レベルでの変更の実装によりデザインの電力をさらに削減できる、低消費電力デザイン技術の詳細については、「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章を参照してください。

選択可能なコア電圧

高度なアーキテクチャを持つ Stratix III は、0.9 V または 1.1 V をコア電源電圧として使用できます。設計者は図 1 に示す Quartus II の Operating Conditions 設定内の Core Supply Voltage オプションを使用して、性能および電力要件に基づいて、各自のデザインに適したコア電源電圧を選択することができます。

図 1. 動作条件の設定ウィンドウ



FPGA デバイスで消費される総電力量は、次の式で定義されるとおり、主にスタティック消費電力とダイナミック消費電力で構成されています。

スタティック消費電力 = 電圧 × 電流 (スタティック電流も電圧の関数であるため、スタティック消費電力は電圧に大きく依存します)。

ダイナミック消費電力 = キャパシタンス × 電圧² × 周波数

上記の式は、デバイスの消費電力を計算するときの支配的要因は電圧であることを示しています。電圧が支配的要因なので、デザインに適したコア電源電圧を選択することが重要です。コア電源電圧は、ロジック・アレイ・ブロック (LAB)、MLAB、DSP ファンクション、メモリ、インタコネクトなどの Stratix III ロジック・リソースに電力を供給します。低電圧 0.9 V コア電源電圧は、最高の性能が得られる標準電圧 1.1 V コア電源電圧と比べると、スタティックおよびダイナミック消費電力が低くなります。最高の性能を提供するために、PLL と I/O の一部 (配線インタフェースを除く) には 1.1 V の電力を供給する必要があり、この電圧は調整できません。



Stratix III のコア電源電圧と外部電源要件については、「Stratix III デバイス・ハンドブック」の「Programmable Power and Temperature Sensing Diode」の章を参照してください。

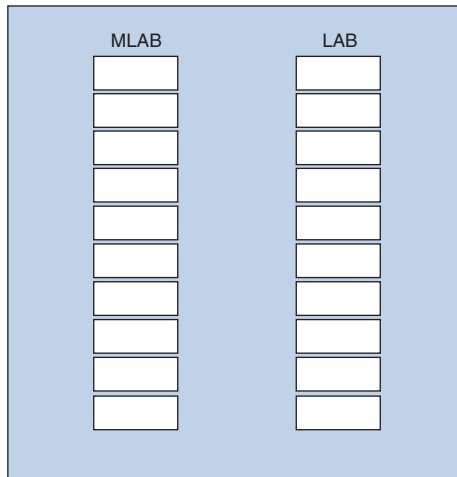
プログラマブル・パワー・テクノロジー

プログラマブル・パワー・テクノロジーは、オンチップ電圧レギュレータを使用して、高速モードまたは低電力モード・コンフィギュレーションに対するタイル・レベルでの Stratix III コア・ロジックのプログラミングを可能にします。タイルは以下のように定義されます。


- LABとMLABペアの組み合わせ(図 2 に示すように、LABとMLABに対応する隣接配線を含む)
- DSP ブロック
- メモリ・ブロック
- カラム I/O インタフェース

タイルは高速モードまたは低電力モードで動作するようにコンフィギュレーションできます。

図 2. プログラマブル・パワー・テクノロジーのタイル・ビュー



デザインのクリティカル・タイミング・パス内のタイルは、タイミング要件を満たすために高速モードとしてコンフィギュレーションされます。タイルの残りは、低電力モードとしてコンフィギュレーションされます。この方法により、回路内のわずかな部分のみ高速モード・タイルを使用し、残りのタイルは低電力モードとしてコンフィギュレーションされるため、低電力モード・ロジックのスタティック消費電力が大幅に減少します。

 外部メモリ・インタフェース回路、PLL、および SERDES/DPA ブロックを低電力モードとしてコンフィギュレーションすることはできません。メモリと DSP ブロックは、未使用時にのみ低電力モードとしてコンフィギュレーションされます。

Quartus II ソフトウェアは、デザインに指定されたタイミング制約に基づき、高速モードまたは低電力モードで動作するタイルを自動的に制御します。Fitter Settings ダイアログ・ボックスで選択可能な PowerPlay power optimization オプション (図 3) は、フィッタ・レベルで実装される他の電力最適化技術と併せて、高速モードまたは低電力モードのタイル・コンフィギュレーションを制御します。デザインに適した現実的なタイミング制約を指定し、可能な最小の消費電力を達成する必要があります。これはデザインの性能目標を達成した後、フィッタがデザインの消費電力を抑えるためです。

図 3. Fitter Settings ウィンドウ

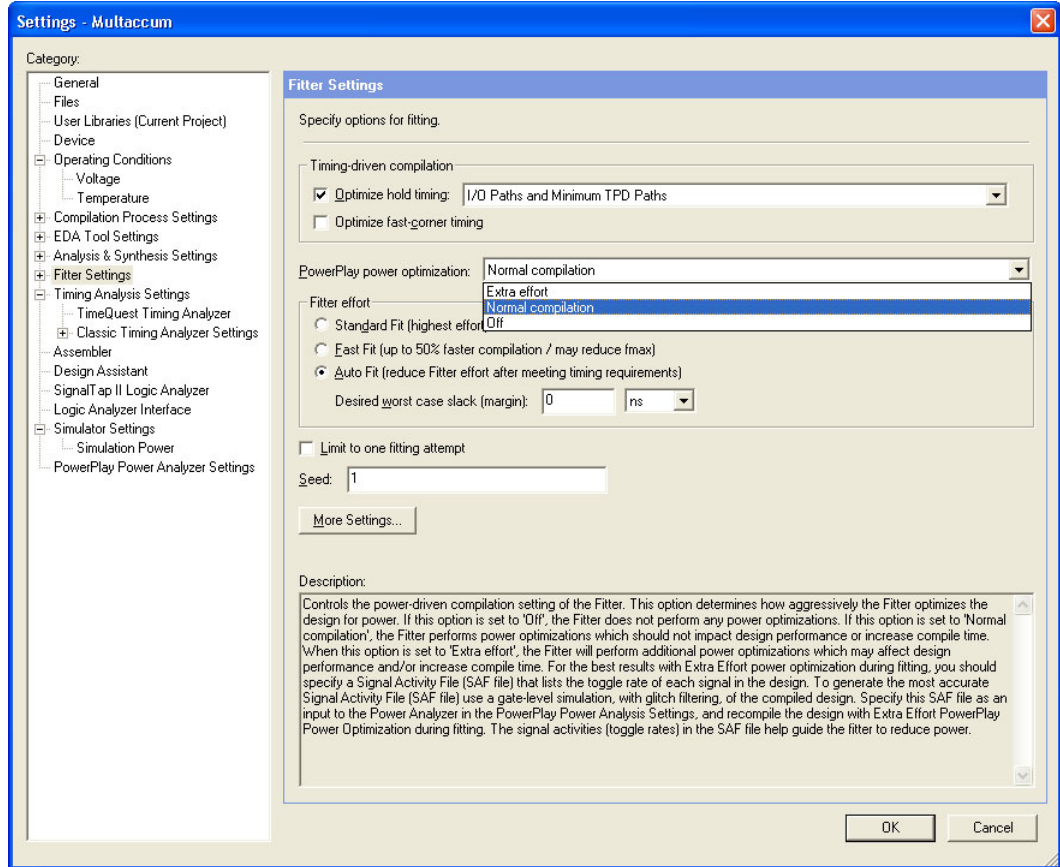


表 1 に、PowerPlay power optimization オプションの設定を示します。これらの設定はプロジェクト単位でのみ適用できます。フィッタの Extra effort 設定では、デザインの電力を最適化するための多大な作業が必要で、コンパイル時間が延びる可能性があります。

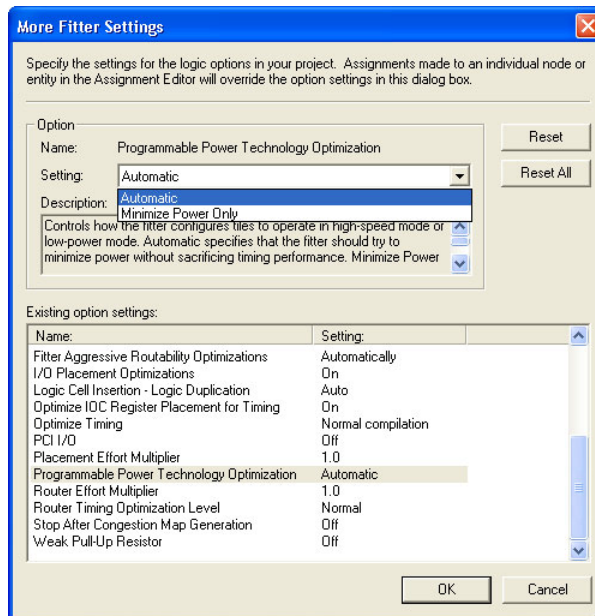
設定	説明
Off	消費電力の最適化は実行されません。
Normal compilation (デフォルト)	消費電力の最適化技術により、デザイン性能が低下したり、コンパイル時間が大幅に延びることが予測されない限り、これらの技術を有効にします。
Extra effort	デザインの消費電力を低減できるが、性能に影響を及ぼしたりコンパイル時間が延びる可能性がある、補足的な電力最適化を有効にします。

Normal compilation 設定はデフォルトにより選択され、デザインに選択されたタイミング制約に基づいて、タイルを高速モードまたは低電力モードとしてコンフィギュレーションします。デザインのクリティカル・パスが識別され、それらのクリティカル・パスに沿ったタイルは、タイミング制約を満たすために高速モードとしてコンフィギュレーションされます。タイルの残りの部分は、デザイン全体の電力を抑えるために低電力モードとしてコンフィギュレーションされます。

Extra effort 設定は、フィッティング時に **Normal compilation** 設定やその他の配置配線最適化の機能を実行し、デザインの電力をフルに最適化します。フィッタはタイミング要件を満たした後でもエキストラ・エフォートを適用し、配置時にロジックをより近くに移動して高トグル・ネットを局所化し、さらに低キャパシタンスの配線を使用することによって電力を最小限に抑えます。また、より高速モードのタイルを低電力モードのタイルにコンフィギュレーションして、消費電力を低減する機会を探します。ただし、この作業によりコンパイル時間が延びる可能性があります。

高速モードまたは低電力モードのタイルのコンフィギュレーションを制御するもう一つの方法は、[図 4](#) に示すように、**Fitter Settings** ダイアログ・ボックスの **More Settings** ボタンの下で選択できる **Programmable Power Technology Optimization** オプションを使用することです。

図 4. プログラマブル・パワー・テクノロジーの最適化設定



このオプションに使用できる設定は、Automatic と Minimize Power Only です。Automatic は、表 1 に説明するフィッタによる電力中心のフィッタ・オプションの使用を指定するデフォルト設定です。Minimize Power Only は、フィッタが低電力モードで動作する最大タイル数を設定しなければならないことを指定します。このオプションにより、デザインで達成可能な性能レベルが下がり、デザインの性能に影響を与える場合がありますが、最大の電力節減が可能になります。

フィッタ・レポート

Compilation Report のフィッタ・レポート・セクションでは、デザインで使用される低電力モードのタイルと LAB タイルの数に関する詳細が示されます。Fitter Resource Usage Summary には、図 5 に示すように、プログラマブル・パワー・テクノロジーの低電力タイルとプログラマブル・パワー・テクノロジーの低電力 LAB タイルの利用情報が示されます。この情報はデザインで使用される実際の低電力モードのタイルと LAB タイル、および未使用タイルと、Quartus II ソフトウェアにより自動的に低電力モードにコンフィギュレーションされる LAB タイルに分類されます。

図 5. フィッタのリソース使用量の概要

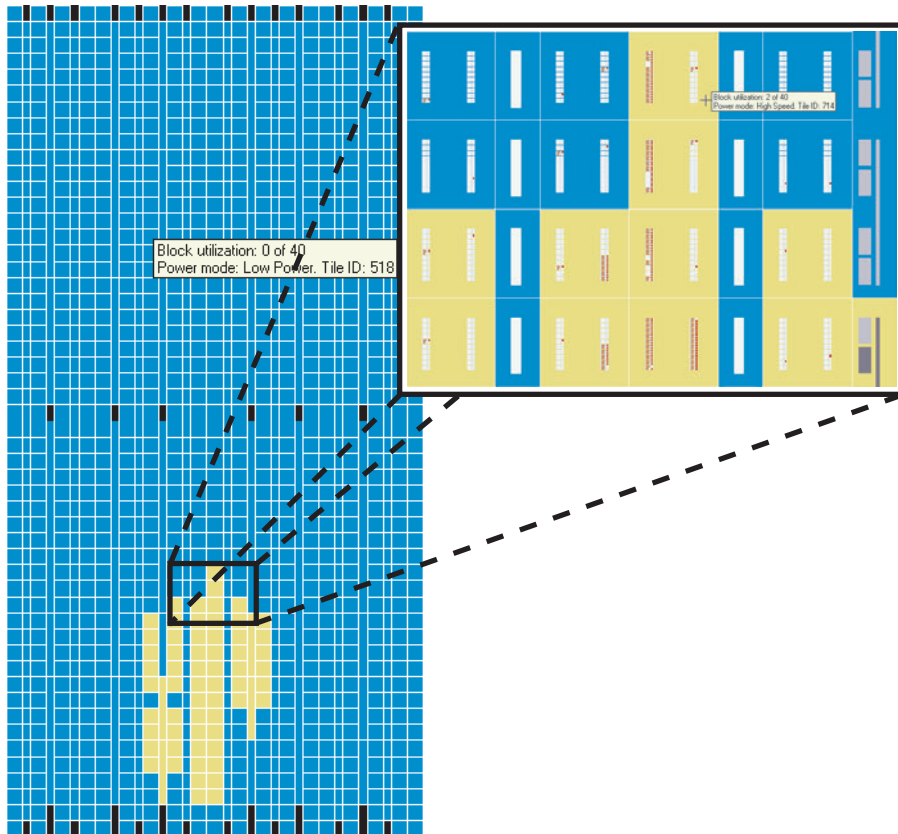
Fitter Resource Usage Summary		
Resource	Usage	
59	Global clocks	1 / 16 (6 %)
60	Quadrant clocks	0 / 64 (0 %)
61	Periphery clocks	0 / 166 (0 %)
62	SERDES transmitters	0 / 88 (0 %)
63	SERDES receivers	0 / 88 (0 %)
64	Average interconnect usage	5%
65	Peak interconnect usage	30%
66		
67	Programmable power technology low-power tiles	2,407 / 2,957 (81 %)
68	-- low-power tiles that are used by the design	904 / 2,407 (38 %)
69	-- unused tiles (low-power)	1,503 / 2,407 (62 %)
70		
71	Programmable power technology low-power LAB tiles	1,580 / 2,130 (74 %)
72	-- low-power LAB tiles that are used by the design	871 / 1,580 (55 %)
73	-- unused LAB tiles (low-power)	709 / 1,580 (45 %)
74		

* Register count does not include registers inside block RAM or DSP blocks.

チップ・プランナ・ビュー

Quartus II ソフトウェアのチップ・プランナ・ツールにより、Stratix III デザインに実装された高速モードおよび低電力モードのタイルを表示することができます。チップ・プランナを起動するには、Tools メニューで、Chip Planner をクリックします。Layer set オプション内の Power Analysis (Assignment) モード・ビューの設定に、デザイン実装の階層的ビューが表示されます。図 6 に示すように、ここでは、デザインに使用される高速モードおよび低電力モードのタイルが異なる色で表示され、区別しやすくなっています。

図 6. 電力解析（割り当て）モードでのチップ・プランナ・ビュー



カーソルをこのレベルのリソース上に置くと、そのタイルの電力モードを説明するツールチップが表示されます。またチップ・プランナ機能により、設計者は配置配線を実行した後で、アルテラ・デバイスの内部構造を表示し、ロジック・エレメント (LE) および I/O セル・コンフィギュレーションをインクリメンタルに編集することができます。



チップ・プランナ・ツールについて詳しくは、「Quartus II ハンドブック Volume 3」の「Design Analysis & Engineering Change Management with Chip Planner」の章を参照してください。

デバイス選択の検討事項

電力特性はデバイス・ファミリーごとに異なります。デバイス・ファミリーの消費電力には、プロセス・テクノロジーの選択、電源電圧、電氣的デザイン、デバイス・アーキテクチャなど、多くのパラメータが影響します。これらのパラメータ以外に、Stratix III デバイス・ファミリーの電力もスピード・グレードの選択に影響を受けます。スピード・グレードは、各デバイスの相対速度を表します。数値が低いほど、デバイスは高速です。例えば、スピード・グレードが -2 のデバイスは最も速く、-3 は中程度、-4 は最も遅いスピード・グレードです。Stratix III デバイスの場合、高速スピード・グレードのデバイスを選択すると、デザインの性能が向上し、スタティック消費電力が低下する可能性があります。このレベルの節電は、プログラマブル・パワー・テクノロジーを使用して、高スピード・グレード・デバイスのタイミングを満たすのに必要な高速モードのタイル数を減らすことで達成されます。

高スピード・グレードのデバイスは、さまざまな状況で利益が得られます。例えば、中スピード・グレードの Stratix III デバイスでデザインをコンパイルし、高速タイルを 20% 使用して性能目標を達成する場合、高スピード・グレードのデバイスを選択することで、デザインの消費電力をさらに低減することができます。高スピード・グレードのデバイスを使用すると、性能要件を満たし、中スピード・グレードのデバイスよりも使用する高速モードのタイルの数を減らすことができるため、デザインの全消費電力が減少します。



選択した Stratix III デバイスに低動作電圧を選択することによって、性能および電力要件を満たす場合は、高スピード・グレードのデバイスに移行する必要はありません。ただし、絶対に最低電力が必要な場合は、高スピード・グレードのデバイスに移行すると性能が向上し、可能な最低消費電力が達成されます。

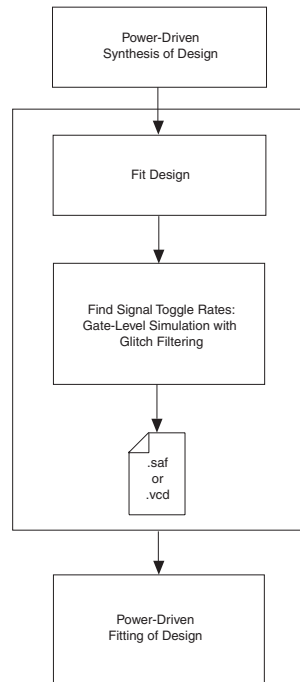


デバイス選択の検討事項について詳しくは、「Quartus II ハンドブック Volume 2」の「PowerPlay Power Analyzer」を参照してください。

Quartus II PowerPlay 消費電力最適化フロー

Quartus II ソフトウェアを使用したコンパイル時に、デザインの電力をフルに最適化するために推奨されるデザイン・フローを図 7 に示します。このフローでは、Quartus II ソフトウェアで選択可能な電力中心のコンパイル・オプションが使用されています。

図 7. 電力中心のコンパイルに推奨されるフロー



電力中心のコンパイルは、合成レベルおよびフィッター・レベルで実行されます。電力中心の合成では、デザインの電力を最適化するために合成ネットリストが変更されます。電力中心の合成設定により、合成時にメモリの最適化と電力を意識したロジック・マッピングが実行されます。電力中心のフィッター（**Extra effort** 設定）は、「プログラマブル・パワー・テクノロジー」の項で説明するように、配置配線の最適化を実行し、フィッティング時に高速モードまたは低電力モードのタイル・コンフィギュレーションを制御して、デザインの電力を完全に最適化します。



電力中心のコンパイルおよび低電力デザイン技術について詳しくは、「Quartus II ハンドブック Volume 2」の「消費電力の最適化」の章を参照してください。

デザインの各信号の正確なトグル・レート・データ情報は、配置配線時にデザインの電力を最適化するのに重要です。電力中心のフィッタは、この情報を使用し、デザインの信号動作情報に基づいて、デザインの電力を最適化します。正確な信号動作ほど、フィッティング時に消費電力を最適化できます。供給される入力ベクタが標準的なデザイン動作を表している場合、すべてのノード・アクティビティが実際のデザイン動作を反映するため、フィッティング後の完全なネットリスト（タイミング）シミュレーションでの信号動作が最も精度が高くなります。フィッティング後の信号動作情報を使用するために、シミュレーション設計者はデフォルト設定（**Normal compilation**）でデザインをコンパイルする必要があります。ゲート・レベルのシミュレーションを使用してデザインをシミュレーションし、デザインの信号動作ファイル（.saf または .vcd）を生成します。図 7 に示すように、デザイン信号動作情報に基づき、デザインの電力をさらに最適化する電力中心のフィッティング（**Extra effort**）を使用して、デザインを再コンパイルします。この作業によりデザイン・フローの時間は少し長くなりますが、デザインの電力最適化には効果的です。



信号動作ファイル（.saf または .vcd）の作成方法については、「Quartus II ハンドブック Volume 3」の「PowerPlay Power Analyzer」の章を参照してください。

まとめ

従来、FPGA を選択する上で中心となる基準は性能でした。現在は 65 nm テクノロジーの導入により、消費電力の問題がもう一つの主要な基準になりつつあります。この新たに導入されたデザイン制約に対応するために、Stratix III デバイスは性能に妥協することなく、低消費電力を達成するように設計されています。革新的なプログラマブル・パワー・テクノロジーと選択可能なコア電力のオプションは、設計者が高性能回路と低電力モード回路を選択できる最適な組み合わせです。

改訂履歴

表 2 に、本資料の改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2006 年 11 月 v1.0	初版	



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
literature@altera.com

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

