



Stratix III デバイスの DDR および DDR2 SDRAM インタフェース実装のための デザイン・ガイドライン

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2007 年 2 月 ver 1.0

Application Note 435

はじめに

DDR2 SDRAM は、消費電力の低減、データ帯域幅の拡張、信号品質の向上、および On-Die Termination 方法などが改善された、第 2 世代の DDR SDRAM テクノロジーです。DDR2 SDRAM は、PC、エンベデッド・プロセッサ・システム、画像処理、ストレージ、通信、ネットワーキングなどの幅広いアプリケーションに、より高いメモリ性能をもたらします。

Stratix® III デバイスは、DDR および DDR2 SDRAM と専用 DQS 回路のインタフェースをサポートしています。表 1 に、Stratix III デバイス内の DDR および DDR2 SDRAM の最大クロック周波数を示します。

DDR メモリ・タイプ	I/O 規格	-2 スピード・グレード (MHz)		-3 スピード・グレード (MHz)		-4 スピード・グレード (MHz)	
		トップ / ボトムの I/O	左 / 右の I/O(4)	トップ / ボトムの I/O	左 / 右の I/O(4)	トップ / ボトムの I/O	左 / 右の I/O(4)
DDR2 SDRAM	SSTL_18	400	300	333	267	333	267
DDR SDRAM	SSTL_2	200	200	200	200	200	200

表 1 の注：

- (1) 最終特性評価まで、数値は暫定仕様です。
- (2) 性能は 1.1 V のコア電圧に基づいています。
- (3) 値はモジュールおよびコンポーネント両方へのインタフェースに適用されます。
- (4) 左 / 右の I/O バンクは LVDS I/O サポートを備えているため、これらの I/O バンクの最大性能はトップ / ボトムの I/O バンクよりも低くなります。

このアプリケーション・ノートでは、Stratix III デバイスを使用して外部メモリ・インタフェースを実装する FPGA デザイン・フローについて説明し、デザイン・ガイドラインを示します。このアプリケーション・ノートは、以下の Stratix III に関する資料と併せて使用してください。

- 「Stratix III デバイス・ハンドブック」の「外部メモリ・インタフェース」の章
- 「ALTMEMPHY メガファンクション・ユーザガイド」
- 「DDR および DDR2 SDRAM 高性能コントローラ・コンパイラ・ユーザガイド」
- 「AN 438: 外部メモリ・インタフェースのタイミングの制約と解析」

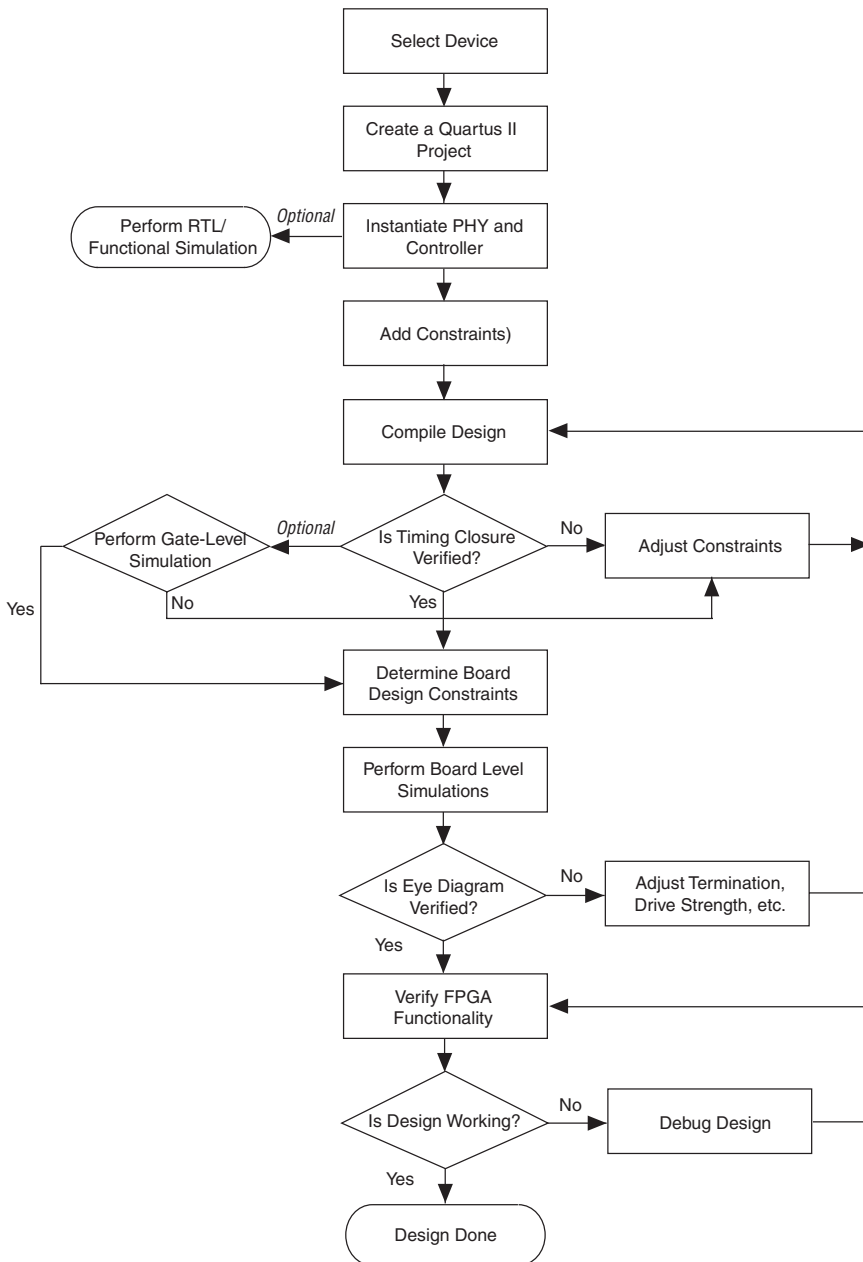
- 「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」

また、このアプリケーション・ノートでは、FPGA デザイン・フローを使用して、アルテラの ALTMEMPHY メガファンクションと共に提供されるデータ・バスを使用した DDR2 SDRAM メモリ・インタフェース付きのデザイン例を生成する方法も説明しています。DDR SDRAM メモリ・インタフェースの設計でも、これと同じデザイン・フローを使用します。

FPGA デザイン・ フロー

アルテラでは、この項で説明するデザイン・ガイドラインを Stratix III デバイスにメモリ・インタフェースを適切に実装するベスト・プラクティスとして推奨しています。これらのガイドラインでは、Stratix III デバイスの外部メモリ・インタフェースについて素早い確実な実習ができるようになっています。図 1 に、Stratix III メモリ・インタフェースに必要なデザイン・フローを示します。各ステップについては、以降の項で詳しく説明します。

図 1. 外部メモリ・インタフェースを Stratix III デバイスに実装するデザイン・フロー



ステップ 1: デバイスの選択

メモリ・インタフェースの設計を始める前に、メモリ・インタフェースに必要な帯域幅を決定します。帯域幅は以下の式で表すことができます。

$$\text{帯域幅} = \text{データ幅 (ビット)} \times \text{データ転送レート (1/秒)} \times \text{効率}$$

効率はデータ・バスがデータを転送している時間の割合です。これはメモリの種類によって異なります。例えば、ライト・ポートとリード・ポートが独立しているメモリ・インタフェースでは、これらのメモリ・インタフェースで読み出しと書き込みの回数が同じ場合、効率は 100% になります。



メモリ・インタフェースの帯域幅を計算した後、使用するメモリと FPGA を決定します。アルテラでは、メモリ選択に関するホワイトペーパーを提供し、メモリ・タイプ間の違いについて重点的に説明しています。異なるメモリ・タイプの選択については、「[Selecting the Right High-Speed Memory Technology for Your System](#)」ホワイトペーパーを参照してください。

また、アルテラの FPGA デバイスは、各種のメモリ・インタフェースに対して様々なデータ幅をサポートしています。メモリ・インタフェースのサポートは、集積度とパッケージの組み合わせによって異なるため、自分のアプリケーションにとって FPGA デバイスの集積度とパッケージのどの組み合わせが最適かを判断する必要があります。



各メモリ・タイプに対する FPGA の集積度とパッケージのサポートに関する情報は、該当する FPGA デバイスのハンドブックの「外部メモリ・インタフェース」の章を参照してください。

ステップ 2: Quartus II プロジェクトの作成

適切な FPGA デバイスおよびメモリ・タイプを選択した後、Quartus® II ソフトウェアでその FPGA デバイスおよびメモリ・タイプをターゲットとするプロジェクトを作成します。



Quartus II プロジェクトの作成に関するステップごとの指示については、Quartus II Help のチュートリアルを参照してください。

ステップ 3: PHY およびコントローラのインスタンス化

メモリ・インタフェースのデータ・バスをインスタンス化する場合、すべての Stratix III メモリ・インタフェース・デザインに ALTMEMPHY メガファンクションを使用して、データ・バス / 物理層 (PHY) を構築します。このメガファンクションは、アルテラの高性能コントローラまたは独自のカスタム・コントローラと一緒に使用できる無償ライセンスの物理インタフェースを備えています。

ALTMEMPHY メガファンクションは、ALTMEMPHY MegaWizard® Plug-In Manager を使用するか、ALTMEMPHY メガファンクションが自動的に含まれるアルテラの高性能コントローラを使用するか、の2つの方法でインスタンス化できます。独自のコントローラを使用する計画がある場合でも、最初にアルテラの高性能コントローラを使用したデザインを作成し、次にアルテラのコントローラを独自のコントローラに置き換えることを推奨しています。このようにして、デザイン例を取得し、シミュレーションと検証を行うことができます。



PHY のインスタンス化について詳しくは、「ALTMEMPHY メガファンクション・ユーザガイド」を参照してください。

ステップ4: RTL/機能シミュレーションの実行(オプション)

ALTMEMPHY MegaWizard Plug-In Manager を使用して ALTMEMPHY メガファンクションをインスタンス化するときには、デザインのシミュレーション・モデルを Verilog HDL と VHDL のいずれで生成するかのオプションがあります。この IP 機能シミュレーション・モデルは、Quartus II ソフトウェアで生成するサイクル単位の正確な HDL モデル・ファイルです。アルテラの高性能コントローラを使用して、メモリ・インタフェースをインスタンス化すると、ALTMEMPHY メガファンクション・シミュレーション・モデルのほかに、デザイン例とテスト・ベンチが生成されます。このモデルは、アルテラがサポートする VHDL および Verilog HDL シミュレータで動作します。



ALTMEMPHY メガファンクションおよび高性能コントローラ向けのシミュレーションは、Quartus II バージョン 6.1 ではサポートされていませんが、Quartus II の将来のバージョンでサポートされる予定です。

ステップ 5: 制約の追加

デザイン・プロセスの次のステップでは、外部メモリ・インタフェースに関連するタイミング制約、ロケーション制約、および物理的制約を追加します。これらの制約には、タイミング、ピン配置、I/O 規格、およびピン負荷のアサインメントなどがあります。ALTMEMPHY メガファンクションは、TimeQuest タイミング・アナライザと Synopsys Design Constraints (SDC) アサインメントを併用したタイミング解析のみをサポートしています。これらの制約は、DDR2 および DDR SDRAM データ・シートおよびボード・レイアウトの許容値に基づいて、ALTMEMPHY メガファンクションまたは高性能コントローラ用に入力したパラメータから生成されます。ALTMEMPHY メガファンクションは、TimeQuest タイミング制約とタイミング・ドリブンのフィッタを併用して、タイミング・クロージャを達成します。

ALTMEMPHY MegaWizard は、ALTMEMPHY メガファンクションをインスタンス化した後で、以下のファイルを生成します。これらはデザインを適切に制約するのに必要なファイルです。

- タイミング制約を設定する `<variation_name>_phy_dds_timing.sdc`
- I/O 規格の設定アサインメントを追加する `<variation_name>_pin_assignments.tcl`
- Quartus II フィッタが DQ ピン・グループおよび DQS ピン・グループを正しく配置できるようにするために、DQ グループ・アサインメントを追加してこれらのピン・グループを関連付ける `<variation_name>_phy_assign_dq_groups.tcl`

これらのスクリプト・ファイルは、ALTMEMPHY メガファンクションをインスタンス化するときに使用するデザイン名に基づきます。独自のトップレベル・デザインを使用する場合は、スクリプトを編集してカスタム・トップレベル・デザインに合わせる必要があります。



デザインの制約の作成、生成、および設定について詳しくは、「ALTMEMPHY メガファンクション・ユーザガイド」を参照してください。



使用するドライブ強度と終端を決定するには、「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。

ステップ 6: デザインのコンパイルおよびタイミング・クロージャの検証

デザインの制約を行った後、Quartus II ソフトウェアでそのデザインをコンパイルします。MegaWizard Plug-In Manager は、ALTMEMPHY メガファンクションまたは高性能コントローラの生成時に、`<variation_name>_phy_report_timing.tcl` という名前のレポート・タイミング・スクリプトを生成します。Quartus II ソフトウェアでデザインをコンパイルした後、タイミング・スクリプトを実行して、デザイン内のライト・データ・パス、リード・データ・パス、アドレス / コマンド・パス、およびコア（インタフェース全体）タイミング・パスなど、様々なパスに関するタイミング・レポートを作成します。



ALTMEMPHY メガファンクションを使用したタイミング解析およびレポートの作成について詳しくは、「AN 438: Constraining and Analyzing Timing for External Memory Interfaces」を参照してください。

ステップ 7: 制約の調整

デザインのタイミング・レポートでは、デザインの様々なバスに対するワースト・ケースのセットアップ・マージンおよびホールド・マージンを確認できます。セットアップ・マージンとホールド・マージンのバランスが悪い場合は、これらのバスを測定するために使用するクロックの位相設定を調整して、バランスの取れたセットアップ・マージンとホールド・マージンを達成します。例えば、アドレス / コマンド・マージンの場合、アドレス / コマンド出力は、0° であるシステム・クロックに対して様々な関係となるアドレス / コマンド・クロックで測定されます。システム・クロックはメモリに送られるクロック出力を測定するのに使用されます。レポート・タイミング・スクリプトが、アドレス / コマンド・クロックに対してデフォルトの位相設定を使用するとホールド・タイムがセットアップ・タイムより長い場合は、アドレス / コマンド・クロックがシステム・クロックに対してデフォルトの位相設定からの遅れがより小さくなるようにホールド・マージンを減少させます。同様に、セットアップ・マージンの方が多い場合は、アドレス / コマンド・クロックをシステム・クロックに対してデフォルトの位相設定よりも遅れるように調整します。



ALTMEMPHY で使用されるクロックについて詳しくは、「ALTMEMPHY メガファンクション・ユーザガイド」を参照してください。

ステップ 8: ボード・デザイン制約の決定

デザインのタイミングをクローズした後、各種ボード・デザインの選択で課されるトレードオフを評価します。様々なファクタがシグナル・インテグリティに貢献し、またメモリおよび FPGA の全体的なタイミング・マージンに影響を与えます。シグナル・インテグリティに影響する可能性がある検討すべきファクタには、使用する終端方法、FPGA のドライブ強度設定、およびドライバにかかる負荷などがあります。様々な終端方法と出力ドライブ強度および負荷の影響との中のトレード・オフを評価すれば、複数の組み合わせをすばやく検討して、デザインに最適な設定を選択することができます。



シグナル・インテグリティ・デザインに対する様々な影響について詳しくは、「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。

ステップ 9: ボード・レベル・シミュレーションの実行

正しいボード制約を決定するには、ボード・レベルのシミュレーションを実行して、その設定で最適な信号品質が得られるかどうかを確認します。メモリ・インタフェースのシグナル・インテグリティに影響する可能性がある多くの因子を使用してメモリ・インタフェースをシミュレートすると、メモリ・インタフェースがどの程度良好に動作するかを最初に把握できます。様々な電子デザイン・オートメーション (EDA) シミュレーション・ツールを使用して、ボード・レベル・シミュレーションを実行できます。シミュレーションは、データ、データ・ストローブ、コントロール、コマンド、およびアドレス信号について実行しなければなりません。メモリ・インタフェースのシグナル・インテグリティが良好でない場合は、ドライブ強度設定、終端方法、または終端値などの設定を調整して、シグナル・インテグリティを改善します (ただし、これらの設定を変更すると、タイミングに影響し、タイミング・クロージャを再度実行しなければならないこともあります)。



シグナル・インテグリティ・デザインに対する様々な影響について詳しくは、「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。

ステップ 10: FPGA 機能の検証

システム・レベルの検証を実行し、システムをデザイン・ターゲットに対して相互に関連付けます。アルテラの SignalTap® II ロジック・アナライザを使用して、これを支援することができます。



SignalTap II の使用方法について詳しくは、「Quartus II ソフトウェア・ハンドブック Volume 3」の「SignalTap II エンベデッド・ロジック・アナライザを使用したデザインのデバッグ」の章を参照してください。

400 MHz DDR2 SDRAM の例

以下の項では、前の項で説明した「FPGA 外部メモリ」デザイン・フローを使用した 72 ビット幅 400 MHz/800 Mbps DDR2 SDRAM メモリ・インタフェースの設計方法に関する実習を提供します。このデザイン例では、デザインを簡素化するために、終端方法やドライブ強度などについていくつかの推奨設定も提供されています。このデザイン例は、DDR2 SDRAM メモリ・インタフェース専用ですが、DDR SDRAM メモリ・インタフェースのデザイン・フローと同じです。

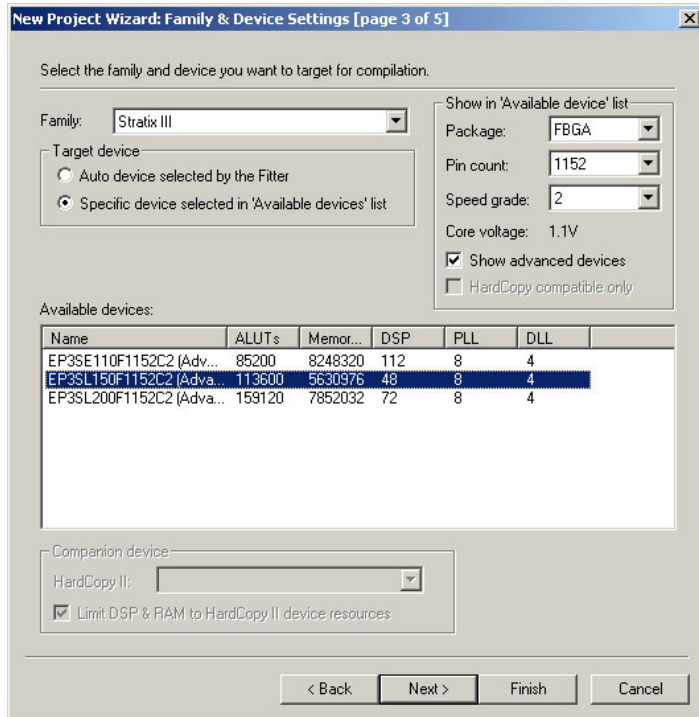
ステップ 1: デバイスの選択

このデザイン例の場合、72 ビット幅の DDR2 SDRAM を 400 MHz でサポートする EP3SL150F1152-C2 デバイスを選択します。メモリ・デバイスには、72 ビット幅、256 MB の Micron MT9HTF3272AY-80E 400 MHz DDR2 SDRAM DIMM を選択します。

ステップ 2: Quartus II プロジェクトの作成

デバイスを選択した後、[図 2](#) に示すように、Quartus II ソフトウェアで、EP3SL150F1152-C2 デバイスをターゲットにしたプロジェクトを作成します。

図 2. EP3SL150F1152-C2 デバイスをターゲットにする Quartus II プロジェクトの作成

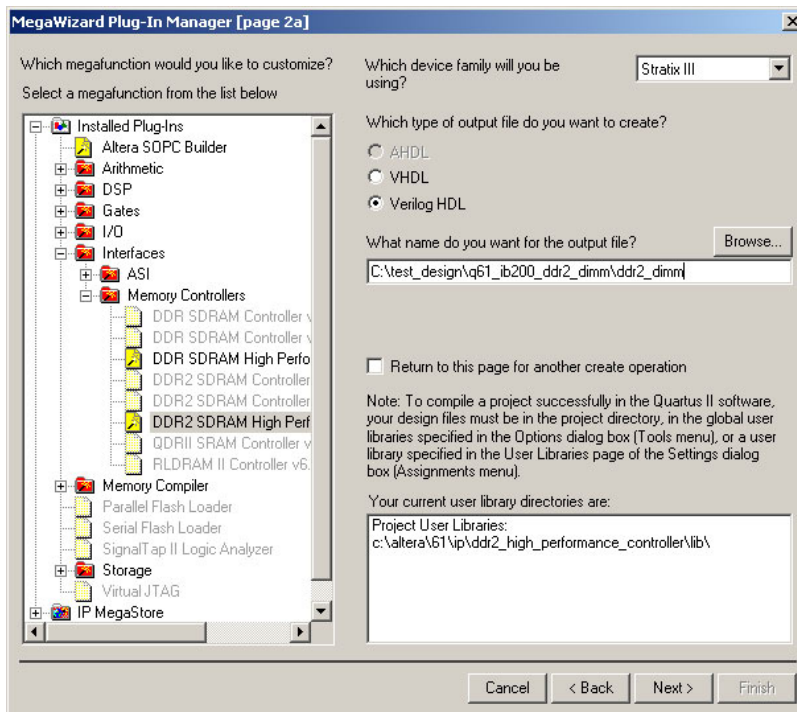


Quartus II プロジェクトの作成に関するステップごとの操作方法について詳しくは、Quartus II ソフトウェアのチュートリアルを参照してください。このチュートリアルを参照するには、Quartus II ウィンドウの Help メニューをクリックし、Tutorial を選択します。

ステップ 3: PHY およびコントローラのインスタンス化

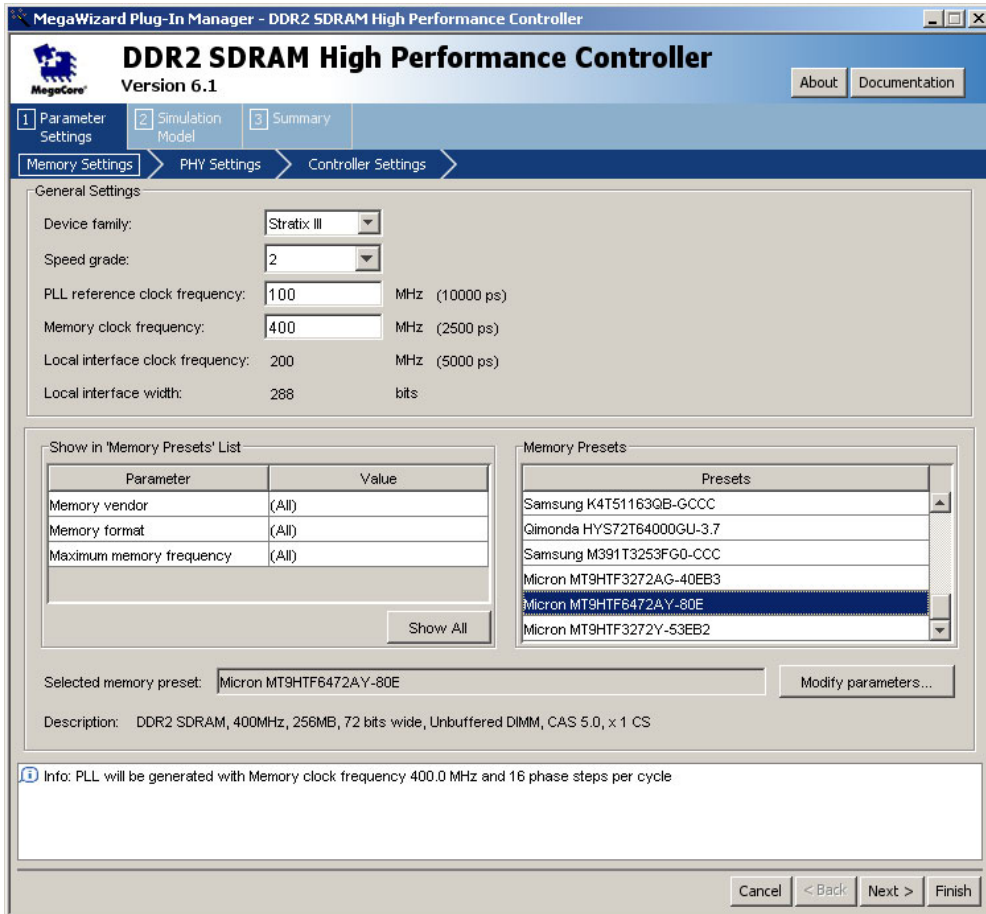
Quartus II プロジェクトを作成した後、DDR2 SDRAM コントローラをインスタンス化します。この例では、ALTMEMPHY メガファンクションを自動的にインスタンス化する DDR2 SDRAM 高性能コントローラを使用しています。図 3 に示す MegaWizard Plug-In Manager の「Interfaces」セクションで、DDR2 SDRAM 高性能コントローラを見つけます。この例の場合、DDR2 SDRAM 高性能コントローラの名前に ddr2_dimm を選択します。

図 3. MegaWizard Plug-In Manager を使用した DDR2 SDRAM 高性能コントローラの呼び出し



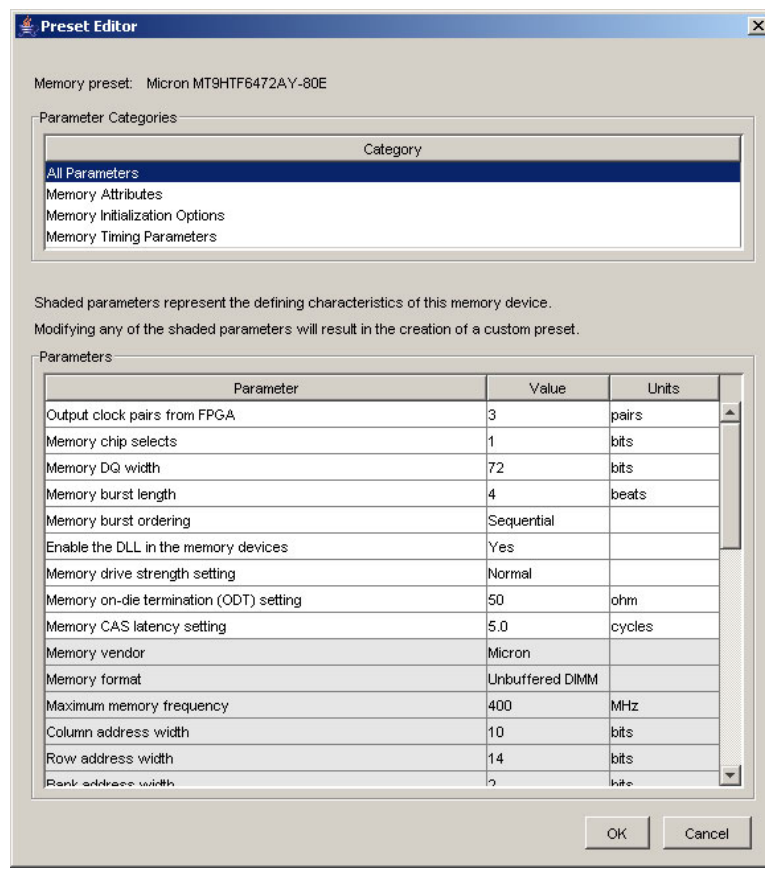
DDR2 SDRAM 高性能コントローラ用の MegaWizard Plug-In Manager を呼び出したら、DDR2 SDRAM 高性能コントローラを DDR2 SDRAM メモリ・インタフェースとインタフェースするようにコンフィギュレーションします。図 4 に、400 MHz、72 ビット幅の DDR2 SDRAM メモリ・インタフェースに対する、DDR2 SDRAM 高性能コントローラのコンフィギュレーションを示します。

図 4. DDR2 メモリ・インタフェースに対する、DDR2 SDRAM 高性能コントローラのコンフィギュレーション




DDR2 SDRAM 高性能コントローラのメモリ設定パネルで、デザインで使用する Stratix III デバイスのスピード・グレードを **2** に設定します。メモリ設定パネルには、メモリのプリセットも一覧表示されます。この例の場合、72 ビット幅、256 MB の **Micron MT9HTF3272AY-80E** 400 MHz の DDR2 DIMM を選択します。必要に応じ、**Modify parameters** をクリックして、**Preset Editor** ダイアログ・ボックスを表示し、メモリのプリセットを作成します。ここで、図 5 に示すようにメモリのプリセットを変更することができます。

図 5. カスタム・メモリを作成するためのメモリのプリセットの編集



希望のメモリ・タイプを選択または作成したら、DDR2 SDRAM 高性能コントローラの PHY 設定値をセットアップします。

DDR2 SDRAM には書き込み要件 (t_{DQSS}) があり、ライト時の DQS 信号の正エッジは、DDR2 SDRAM クロック入力の正エッジの $\pm 25\%$ ($\pm 90^\circ$) 以内に収まっている必要があります。**PHY Settings** パネルでは、デフォルト設定は I/O エLEMENT (IOE) の DDR レジスタを使用して CK および CK# 信号を生成します。

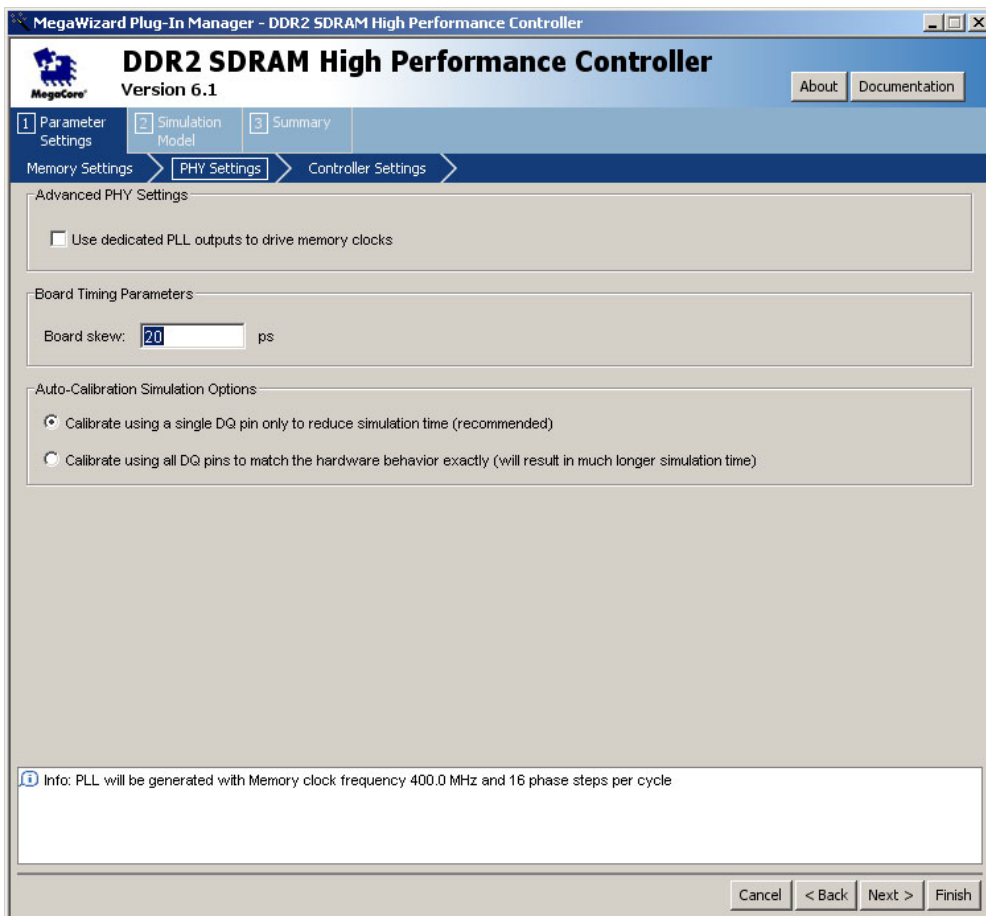
 専用の PLL 出力を使用して CK および CK# 信号を生成するオプションがありますが、このオプションは選択しないでください。このオプションを選択すると、ALTMEMPHY メガファンクションはエラーを発生します。

アルテラでは、デフォルト設定を使用して CK および CK# 信号を生成することを推奨しています。

PHY Settings パネルでは、Board Timing Parameters セクションでボードにボード・スキュー・パラメータを追加します。このタイミング・パラメータは、DQ と DQS の間のボード・トレースのバリエーションです。デフォルト値は 50 ps です。使用するボードで達成される値がこの値を上回るか下回る場合は、適宜更新します。この値はシステムの全体的なタイミング・マージンを計算するのに使用します。このデザイン例では、20 ps を使用しています。これはボード・スキュー許容値の目標が 20 ps であるためです。

図 6 に、このオプションの生成パラメータおよびボード・タイミング・パラメータを示します。

図 6. CK/CK# 生成パラメータおよびボード・タイミング・パラメータの設定





DDR2 SDRAM高性能コントローラのコンフィギュレーション方法に関するステップごとの操作方法について詳しくは、「DDR/DDR2 SDRAM High Performance Controller User Guide」を参照してください。

コンフィギュレーションの完了後に、コントローラを生成します。

ステップ4: RTL/機能シミュレーションの実行(オプション)

DDR2 SDRAM 高性能コントローラをインスタンス化すると、メモリ・インタフェースをテストするためのデザイン例とドライバが生成されます。図7に、DDR2 SDRAM高性能コントローラのシステム・レベルのブロック図例を示します。

図7. DDR2 SDRAM コントローラのシステム・レベルのブロック図

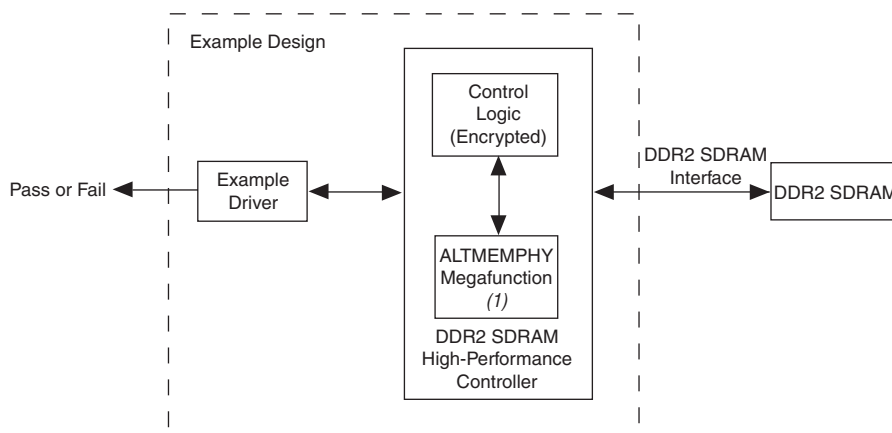


図7の注:

(1) ALTMEMPHY メガファンクションは PLL を自動的に生成し、PLL は ALTMEMPHY メガファンクションの一部です。



DDR2 SDRAM高性能コントローラが生成する様々なファイルについて詳しくは、「DDR/DDR2 SDRAM High Performance Controller User Guide」を参照してください。

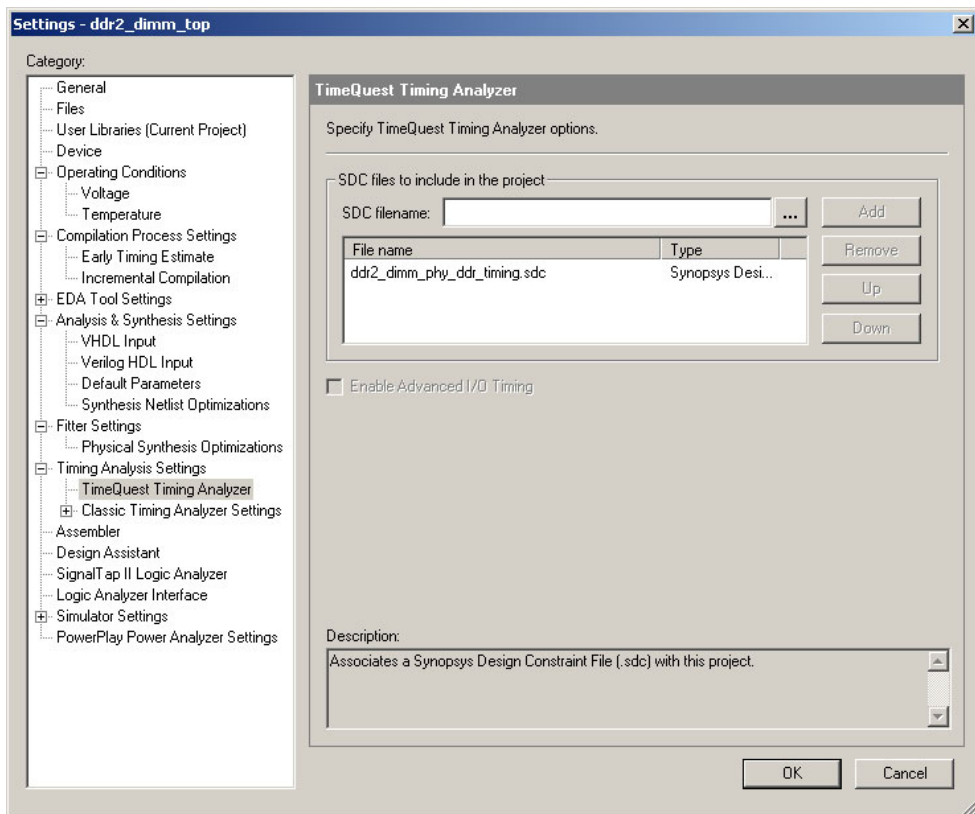
DDR2 SDRAM高性能コントローラをインスタンス化するときには、ALTMEMPHY メガファンクションのシミュレーション・モデル、デザイン例、およびテスト・ベンチを生成するオプションがあります。これによって、デザインで機能シミュレーションを実行することができます。ALTMEMPHY メガファンクションおよび DDR2 SDRAM 高性能コントローラとの DDR2 SDRAM メモリ・インタフェースのシミュレーションは Quartus II バージョン 6.1 ではサポートされていません。

ステップ 5: 制約の追加

DDR2 SDRAM 高性能コントローラをインスタンス化した後、ALTMEMPHY メガファンクションはデザイン例に対する制約ファイルを生成します。コンパイル前にこれらの制約をデザインに適用します。

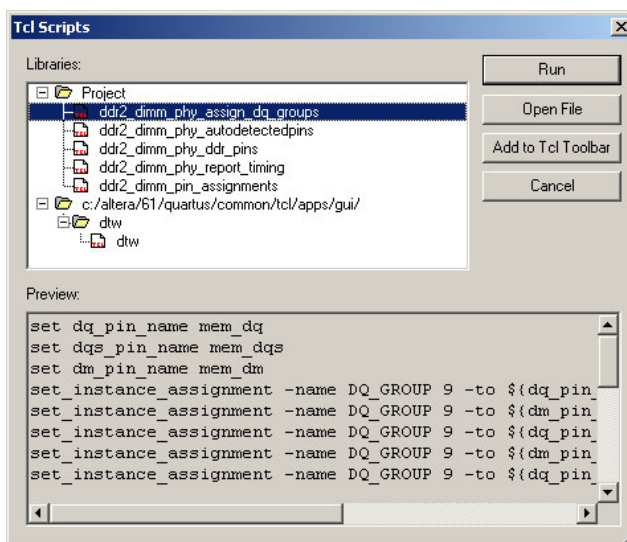
タイミング制約ファイル `ddr2_dimm_phy_ddr_timing.sdc` は、ALTMEMPHY メガファンクションのクロックおよび入力 / 出力遅延を制約します。タイミング制約を追加するには、Quartus II Assignments メニューの **Settings** をクリックします。**Settings** ダイアログ・ボックスの **Timing Analysis Setup** の下の **TimeQuest timing analyzer** オプションを選択します。図 8 に示すように、SDC ファイルを選択し、**Add** をクリックします。生成された SDC ファイルと共に、別の SDC ファイルも使用できます。すべての SDC ファイルを追加して、TimeQuest タイミング・アナライザがこれらのファイルを読み出せるようにします。

図 8. デザイン例へのタイミング制約ファイルの追加



次に、ピン・アサインメント・スクリプト `ddr2_dimm_pin_assignments.tcl` が DDR2 SDRAM メモリ・インタフェース用の I/O 規格をセットアップします。DQ グループ・アサインメント・スクリプト `ddr2_dimm_phy_assign_dq_groups.tcl` は、Quartus II フィッタが DQ ピン・グループおよび DQS ピン・グループを正しく配置できるようにするために、それらのグループを関連付けます。ピン・アサインメント・スクリプトおよび DQ グループ・アサインメント・スクリプトを実行して、I/O 規格および DQ グループのアサインメントをデザイン例に追加します。図 9 に示す **Tcl Scripts** ダイアログ・ボックスに移動して、これらのスクリプトを実行します。

図 9. Tcl Script パネルでのピン・アサインメント制約スクリプトの実行



別の方法としては、**Quartus II Tcl Console** パネルでスクリプトを実行することです。図 10 に示すように、このコンソールで以下のコマンドを実行します。

図 10. Quartus II Tcl Console パネルでのピン・アサインメント制約スクリプトの実行

```

Quartus II Tcl Console
# dir *.tcl
Volume in drive C has no label.
Volume Serial Number is 4CED-2A79

Directory of C:\test_design\q61_ib201_ddr2_dimm

01/05/2007  01:25 PM                1,770 ddr2_dimm_phy_assign_dq_groups.tcl
01/05/2007  05:46 PM                 886 ddr2_dimm_phy_autodetectedpins.tcl
01/05/2007  01:25 PM                5,387 ddr2_dimm_phy_ddr_pins.tcl
01/05/2007  01:25 PM                5,096 ddr2_dimm_phy_report_timing.tcl
01/05/2007  01:25 PM                9,086 ddr2_dimm_pin_assignments.tcl
           5 File(s)                22,225 bytes
           0 Dir(s)                31,737,986,560 bytes free
# source ddr2_dimm_phy_assign_dq_groups.tcl
# source ddr2_dimm_pin_assignments.tcl
# export_assignments
#

```

表示されるコマンドには、以下のものが含まれます。

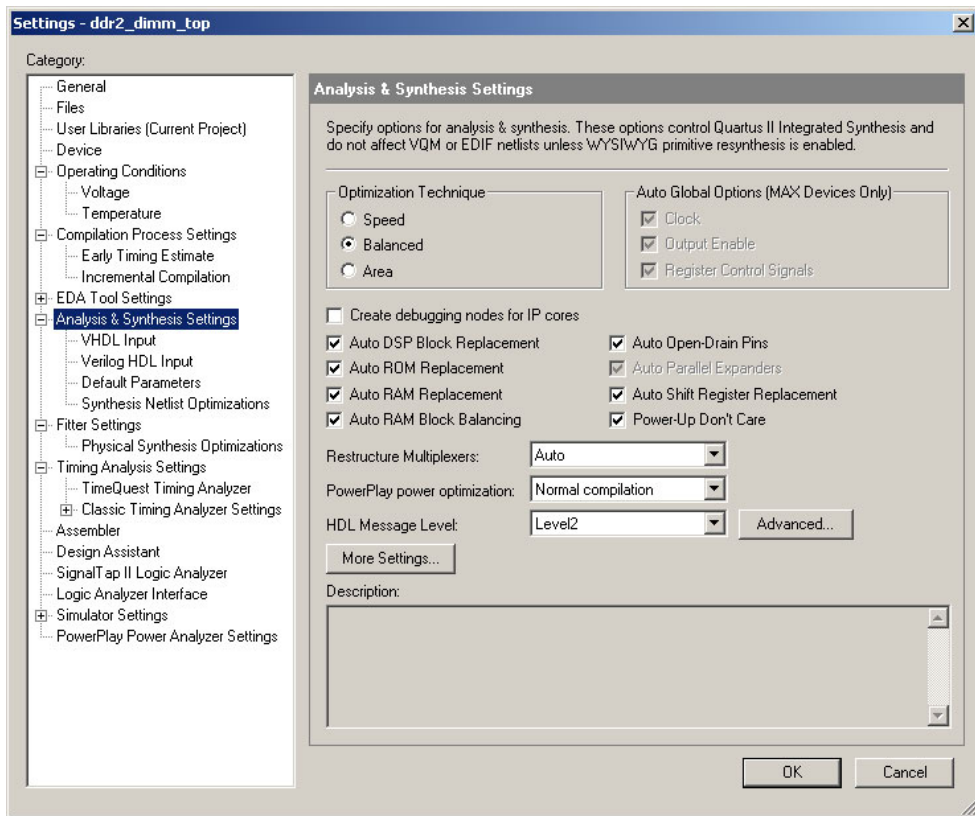
- source ddr2_dimm_phy_assign_dq_groups.tcl
- source ddr2_dimm_pin_assignments.tcl
- export_assignments

ステップ 6: デザインのコンパイルとタイミング・クロージャの検証

デザインをコンパイルする前に、前の項において高性能コントローラで作成したデザイン例にプロジェクトのトップ・レベル・エンティティを設定します。この例では、デザイン例は `ddr2_dimm_example_top.v` という名前になります。

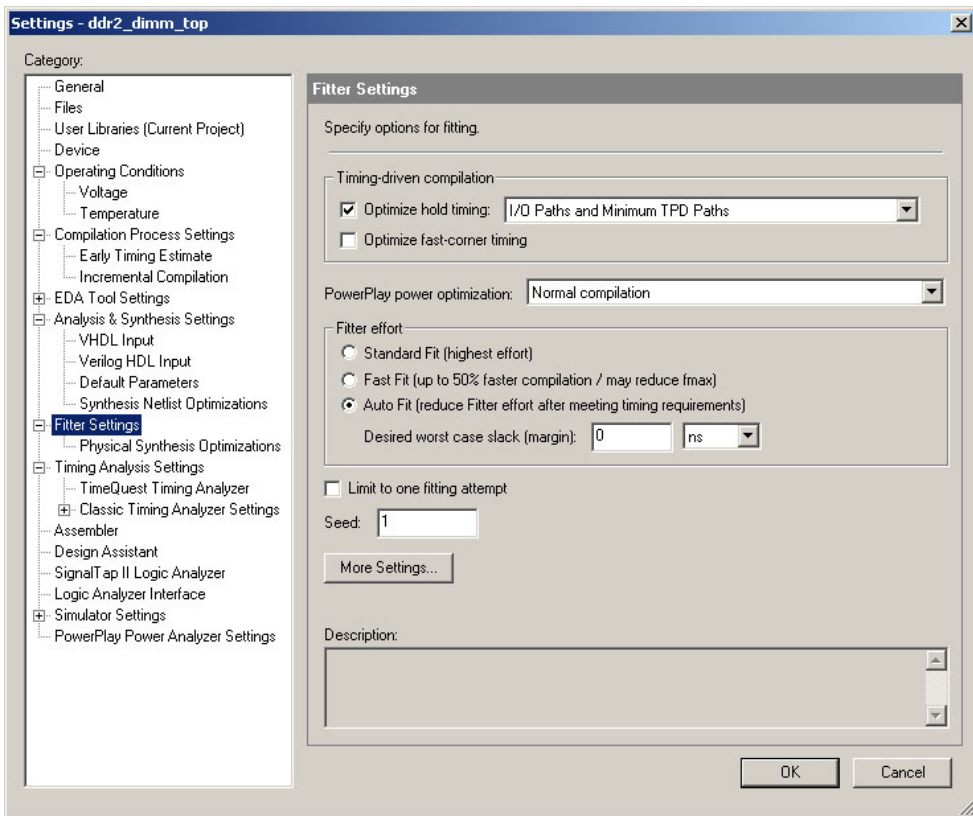
デザイン例をトップ・レベル・エンティティとして設定した後、残りの制約条件が与えられていないパスの配線で最高の速度と効率が達成されるように、Quartus II ソフトウェアをセットアップします。これを行うには、Quartus II ソフトウェアの **Assignments** タブをクリックし、**Settings** を選択します。**Settings** ダイアログ・ボックスで、**Analysis and Synthesis Settings** をクリックして、Quartus II ソフトウェアの **Optimization Technique** 設定を確認します。図 11 に示すように、**Optimization Technique** のデフォルト設定は **Balanced** です。

図 11. 最適化手法のデフォルト設定



次に、**Fitter Settings** をクリックして、フィッタ・エフォートを確認します。図 12 に示すように、デフォルト設定は **Auto Fit** です。

図 12. フィッタ・エフォートのデフォルト設定



Quartus IIソフトウェアでデザイン例が正常にコンパイルされたら、ALTMEMPHYメガファンクションのインスタンス化のときに、メガファンクションによって生成されたレポート・タイミング・スクリプトを実行します。このスクリプトは、**ddr2_dimm_phy_report_timing.tcl** という名前で、デザインのタイミング・レポートを生成します。

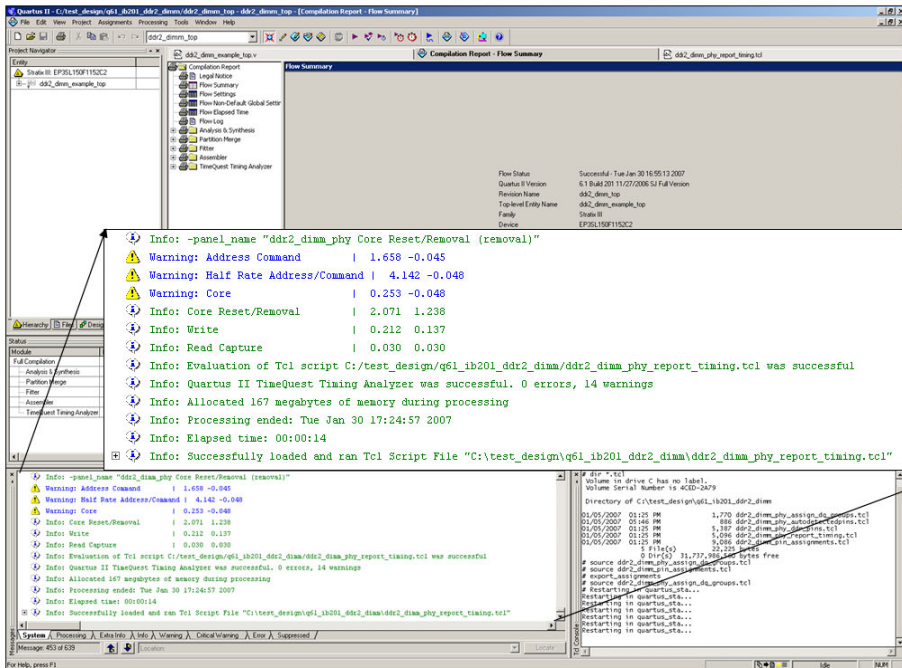
レポート・タイミング・スクリプト **ddr2_dimm_phy_report_timing.tcl** は、**Quartus II Tcl Console** パネルまたは **TimeQuest Timing Analyzer** ウィンドウのいずれかから実行します。レポート・タイミング・スクリプトは、以下のマージンおよびパスに関する情報を提供します。

- アドレス / コマンドのセットアップおよびホールド・マージン
- ハーフ・レート・アドレス / コマンドのセットアップおよびホールド・マージン
- コアのセットアップおよびホールド・マージン

- コアのリセット / リムーバル・セットアップおよびホールド・マージン
- ライトのセットアップおよびホールド・マージン
- リード・キャプチャのセットアップおよびホールド・マージン

図 13 に、**Quartus II Tcl Console** パネルからレポート・タイミング・スクリプトを実行した後で、**Quartus II** ソフトウェアのメッセージ・ウィンドウにレポートされるタイミング・マージンを示します。

図 13. Quartus II ソフトウェアでレポートされるタイミング・マージン



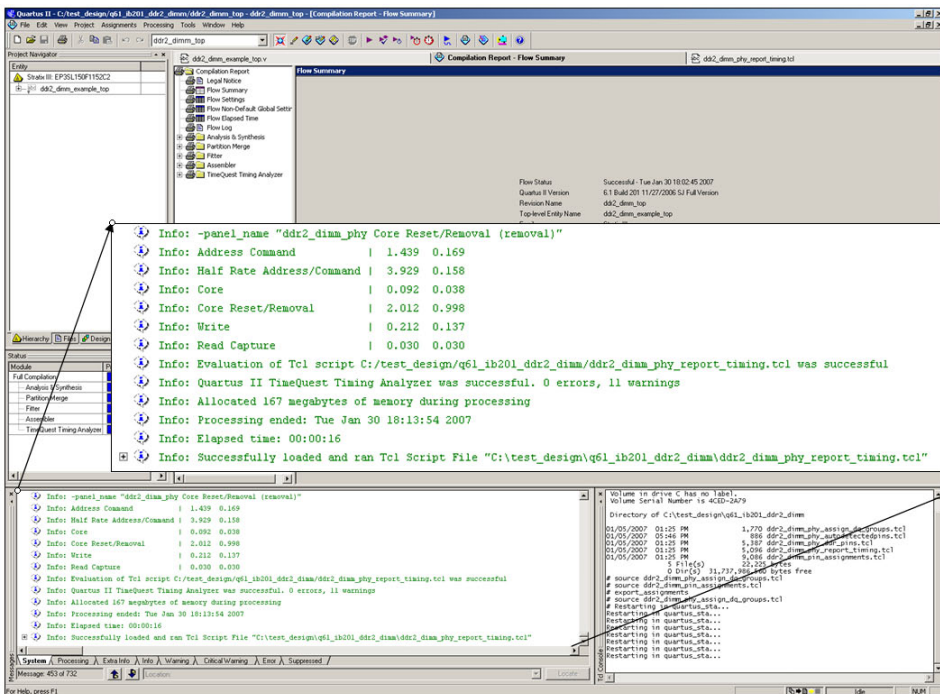
TimeQuest Timing Analyzer ウィンドウでレポート・タイミング・スクリプトを実行するには、**Quartus II** ソフトウェアで **TimeQuest Timing Analyzer** を開き、以下のタスクを実行します。

- タイミング・ネットリストを作成します。
- SDC ファイルを読み出します。
- タイミング・ネットリストを更新します。

このレポートは、PLL の c1k6 がアドレス / コマンド・レジスタをクロックしていることを示しています。PLL メガファンクションに移動し、c1k6 の位相設定を変更します。このデザインの場合、c1k6 の初期位相設定は 315° に設定されるため、アドレス / コマンドの起動が早すぎることになります。これによって、ホールド・タイム違反が起こります。これを是正するには、c1k6 を遅延させて、アドレス / コマンドの起動を遅らせます。位相設定を大きくしてこれを行ってください。レポートされた負のホールド・マージンは -45 ps です。したがって、それよりも大きく c1k6 を遅延させます。c1k6 の周波数を使用して、時間遅延量を PLL 設定の位相角に変換します。この例では、c1k6 は 200 MHz であり、45 ps は 3° に変換されます。ホールドが正のマージンになるように、c1k6 を 3° 以上遅延させます。これは、c1k6 の新しい位相設定が 318° 以上になることを意味します。この例の場合、c1k6 の新しい位相設定を 330° に設定して、十分なホールド・タイムが確保されるようにします。

c1k6 の位相設定を変更した後、デザインを再コンパイルして新しい PLL 設定を有効にします。レポート・タイミング・スクリプトを再度実行します。図 16 は、c1k6 の位相設定の調整後に Quartus II ソフトウェアにレポートされるタイミング・マージンを示しています。

図 16. c1k6 の調整後にレポートされたタイミング・マージン



タイミング・レポートは、すべてのタイミング・マージンを満足していることを示しています。

ステップ 8: ボード・デザイン制約の決定

Stratix III デバイスは、シグナル・インテグリティを改善するために、直列および並列 On-Chip Termination (チップ内終端) 抵抗をサポートしています。Stratix III OCT 抵抗のもう 1 つの利点は、FPGA 側の外部終端抵抗が不要であることです。この機能によって、ボード・デザインが簡素化され、全体のボード・コストが低減されます。Stratix III デバイスを書き込み動作または読み出し動作のいずれを実行しているかに応じて、直列 OCT 抵抗と並列 OCT 抵抗を動的に切り替えることができます。OCT 機能は通常動作中の電圧および温度の変動を補償できるように、ユーザ・モード・キャリブレーションを提供しており、これによって OCT 値が確実に一定に維持されます。Stratix III デバイスの並列および直列 OCT 機能は、25 Ω または 50 Ω の設定で使用できます。



OCT 機能について詳しくは、「Stratix III デバイス・ハンドブック」の「I/O 機能」の章を参照してください。

DDR2 SDRAM には、動的な並列 On-Die Termination ODT 機能があります。この機能は、FPGA が DDR2 SDRAM メモリに書き込むときにオン、FPGA が DDR2 SDRAM メモリから読み出すときにオフにすることができます。ODT 機能は、150 Ω 、75 Ω 、および 50 Ω の設定で使用できます。50 Ω 設定は、動作周波数が 267 MHz 以上の DDR2 SDRAM でのみ使用できます。



ODT および出力ドライバ・インピーダンス機能に使用できる設定、および DDR2 SDRAM の ODT ピンをドライブするためのタイミング要求について詳しくは、それぞれのメモリ・データシートを参照してください。

図 17 に、ODT 機能をオンにし、Stratix III FPGA デバイスの 50 Ω 直列 OCT 機能を使用した場合の DDR2 SDRAM メモリへの書き込み動作を示します。このセットアップでは、トランスミッタ (FPGA) はマッチング・インピーダンスで伝送ラインに適切に終端され、リングングや反射の発生を防止しています。動的 ODT 設定が 75 Ω の場合、レシーバ (DDR2 SDRAM メモリ) も適切に終端されます。

図 17. Stratix III FPGA の並列 ODT および 50 Ω 直列 OCT を使用した書き込み動作

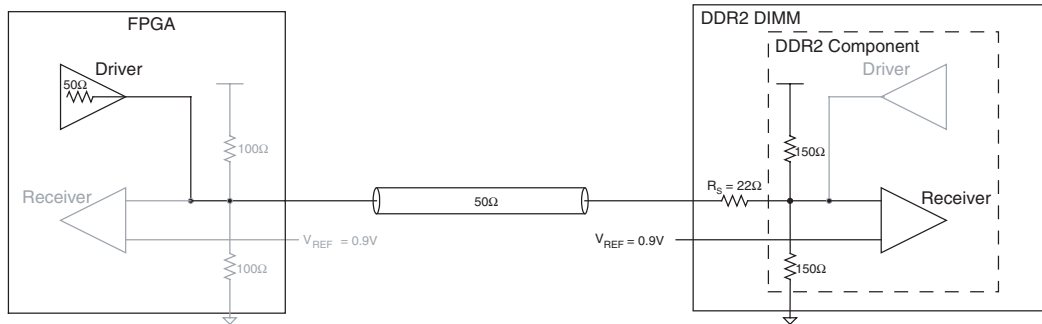
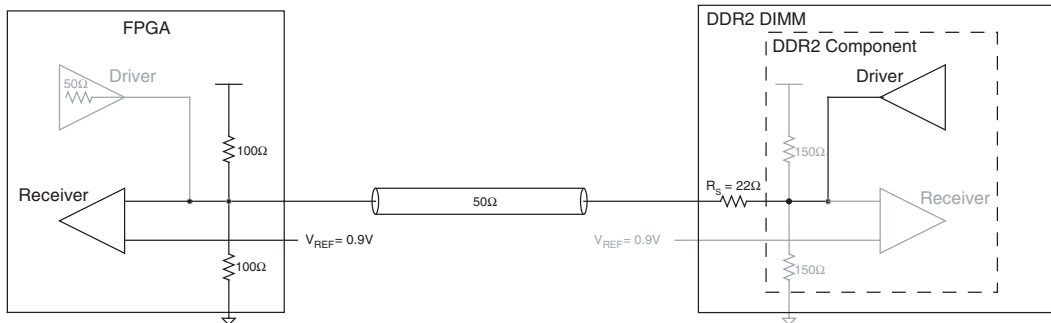


図 18 に、Stratix III デバイスの並列 OCT 機能を使用した DDR2 SDRAM メモリからの読み出し動作を示します。このセットアップでは、ドライバ (DDR2 SDRAM メモリ) の出力インピーダンスが $21\ \Omega$ を超えることはありません。これは、JEDEC 仕様の SSTL-18 の JESD79-2 に準拠しており、これを DIMM 上の直列抵抗と組み合わせると伝送ラインのインピーダンスとマッチングし、その結果、レシーバ (FPGA) への信号伝送が最適なものになります。レシーバ (FPGA) 側では、伝送ラインのインピーダンスとマッチングする $50\ \Omega$ で適切に終端され、リングングや反射を解消しています。

図 18. Stratix III FPGA デバイスの並列 OCT 機能を使用した場合の DDR2 SDRAM メモリからの読み出し動作



最後に、メモリへの書き込み時の FPGA に対する負荷は、デュアル・インライン・メモリ・モジュール (DIMM) を使用するシステムと、コンポーネントを使用するシステムとは異なります。DIMM コネクタからの追加負荷によって、メモリに到着する信号のエッジ・レートが低下し、利用可能なタイミング・マージンが影響を受けることがあります。



Stratix III の OCT 機能が使用可能であっても、Quartus II バージョン 6.1 では ALTMEMPHY メガファンクションおよび高性能コントローラは OCT 機能の使用をサポートしていません。



シグナル・インテグリティ・デザインに対する様々な影響について詳しくは、「AN 408: DDR2 メモリ・インタフェース終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。



Stratix III デバイスのシグナル・インテグリティについて詳しくは、www.altera.co.jp/technology/signal/devices/stratix3/sgl-stratix3.htmlを参照してください。

まとめ

DDR および DDR2 SDRAM デバイスは FPGA デザインで広く使用されており、DDR テクノロジは最も人気のある DRAM アーキテクチャです。Stratix III デバイスは、十分かつ一貫したマージンを確保しながら、それぞれ最大 200 MHz/400 Mbps および 400 MHz/800 Mbps の速度で DDR および DDR2 SDRAM にインタフェースする専用回路を備えています。これにより、システム設計者は市販の標準SDRAMメモリを使用して、コストを増やすことなく Stratix III のシステム性能を強化することができます。アルテラは、Stratix III デバイスで使用される DDR および DDR2 インタフェース向けの完全かつ実証済みのメモリ・ソリューションを提供しています。このソリューションにより、設計者はこれらのデバイスを低消費電力、広い帯域幅、および高い性能を要求するアプリケーションに使用することができます。

参考文献

JEDEC Standard Publication JESD79-2, DDR2 SDRAM Specification, JEDEC Solid State Technology Association.

JEDEC Standard Publication JESD8-15A, Stub Series Termination Logic for 1.8 V (SSTL-18), JEDEC Solid State Technology Association.

MT47H256M4/MT47H128M8/MT47H64M16, 1Gb: x4, x8, x16 DDR2 SDRAM Data Sheet, Micron Technology, Inc.

MT9HTF3272A/ MT9HTF6472A/MT9HTF12872A, 256MB, 512MB, 1GB: x72 DDR2 SDRAM UDIMM Data Sheet, Micron Technology, Inc.

"DDR2 Design Guide for Two-DIMM Systems," Micron Technical Note, TN-47-01, 2004.

改訂履歴

表 2 に、本資料の改訂履歴を示します。

表 2. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 2 月 v1.0	初版	



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

