

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2006 年 3 月 ver 1.0

Application Note 411

はじめに

Stratix®II デバイスは、オンチップ・クロック・マネージメント、外部システム・クロック・マネージメントおよび高速 I/O インタフェース用の堅牢なクロック管理および合成機能を提供する最大 12 個の PLL (Phase-Locked Loop) を内蔵しています。Stratix II の PLL は汎用性に優れており、ゼロ遅延バッファ、ジッタ・アッテネータ、低スキュー・ファンアウト・バッファ、または周波数合成として使用できます。Stratix II PLL が提供する多くの機能を利用するには、Quartus®II タイミング・アナライザにより実行されるすべてのレポートと解析を理解する必要があります。このアプリケーション・ノートでは、PLL に関する様々なタイミング解析レポートの見方およびタイミング・アナライザが実行する解析方法について、詳細説明、例、ガイドラインを提供します。

このアプリケーション・ノートは、Quartus II ソフトウェア・バージョン 5.1 およびそれ以前を使った Stratix II デバイスをターゲットとするデザインに適用できます。

Stratix II PLL の概要

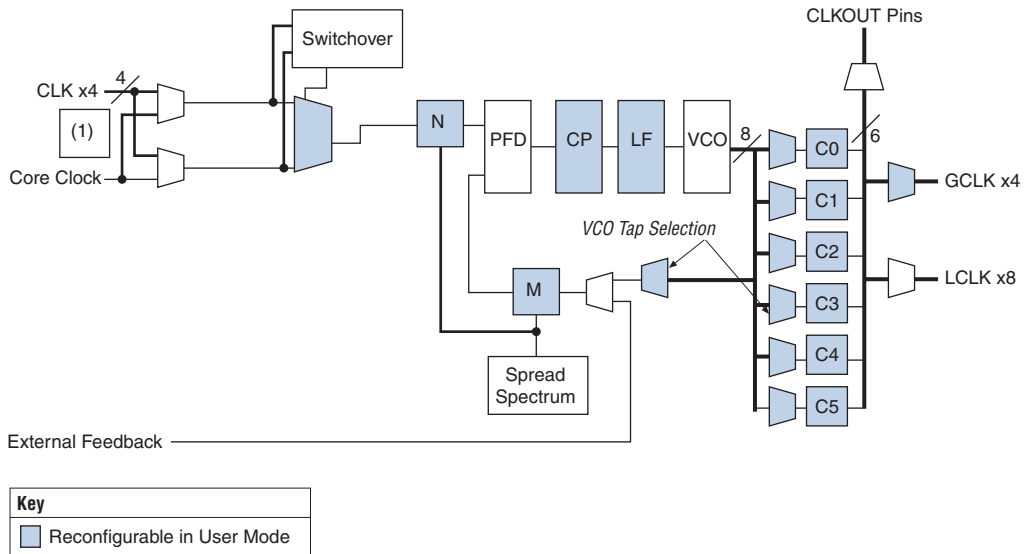
PLL の主な目的の 1 つは、内部 / 外部クロックの位相と周波数を入力基準クロックに同期させることです。位相を一致させるためには、多くの PLL コンポーネントが動作する必要があります。

Stratix II の PLL は、位相周波数検出器 (PFD) を使って基準入力クロックの立ち上がりエッジをフィードバック・クロックに一致させます (図 1)。立ち下がりエッジはデューティ・サイクルの仕様によって決定されます。PFD は、電圧制御発振器 (VCO) の周波数を上下させる信号を発生します。PFD のこの出力は、VCO の周波数を設定する制御電圧を発生するチャージ・ポンプとループ・フィルタに入力されます。PFD がアップ信号を発生すると、VCO の周波数が高くなり、ダウン信号を発生すると、VCO の周波数が低くなります。PFD はこれらのアップ信号とダウン信号をチャージ・ポンプに出力します。チャージ・ポンプがアップ信号を受け取ると、電流がループ・フィルタに向かって流れます。逆に、チャージ・ポンプがダウン信号を受け取ると、電流はループ・フィルタから流出します。ループ・フィルタは、これらのアップ信号とダウン信号を電圧に変換して VCO のバイアスに使用します。ループ・フィルタは、チャージ・ポンプからグリッチを取り除き、電圧のオーバシュートを防止して VCO のジッタを抑えます。

ループ・フィルタからの電圧によって、VCO の動作速度が決まります。VCO は 4 段の差動リング・オシレータとして構成されています。フィードバック・ループには分周カウンタ (M) が挿入されています。このカウンタがあるため、入力基準周波数より高い VCO 周波数が可能になり、VCO 周波数 (f_{VCO}) を入力基準クロック (f_{REF}) の M 倍にすることができます。PFD に入力される f_{REF} は、プリ・スケール・カウンタ (N) で分周した入力クロック (f_{IN}) に等しくなります。したがって、PFD の一方の入力に入力されるフィードバック・クロック (f_{FB}) は、PFD の他方の入力に入力される f_{REF} にロックされることになります。

VCO 出力は、enhanced PLL では最大 6 個のポスト・スケール・カウンタ (C[5..0]) を、fast PLL では最大 4 個のポスト・スケール・カウンタ (C[3..0]) を、それぞれ駆動することができます。これらのポスト・スケール・カウンタにより、PLL 内で多数の調波関係にある周波数を生成することができます。図 1 に、Stratix II enhanced PLL 主要コンポーネントの簡素化したブロック図を示します。

図 1. Stratix II の Enhanced PLL



enhanced PLL と fast PLL をイネーブルにして、altp11 メガファンクションを使用して、入力と出力のクロック周波数および出力クロックの位相シフトを指定することができます。次の項では、MegaWizard® Plug-In Manager を使用した altp11 メガファンクションの概要を説明します。



Stratix II PLL のハードウェア機能について詳しくは、「Stratix II デバイス・ハンドブック Volume 2」を参照してください。

Stratix II PLL メガファクションの概要

altp11メガファクションは、Stratix II PLLなどのアルテラのPLLをサポートします。altp11メガファクションは、クロック信号を発生し、カスタマイズする様々なPLL構成の実現、デザイン内の様々なデバイスに対するクロック信号の分配、デバイス間のクロック・スキューの削減、内部クロック信号の発生に使用します。



altp11メガファクションについて詳しくは、「altp11メガファクション・ユーザガイド」を参照してください。

フィッタ・レポート

Compilation Reportのフィッタ・レポート・セクションでは、Stratix II デザイン内に実装されるすべてのPLLの様々な構成について詳しく説明します。デザイン内のPLL使用率については、PLL Summary レポートとPLL Usage レポートの2種類のレポートがあります。

両レポートは、Compilation レポートのResource セクション部分にあります。



これらのレポートは、デザインにPLLが含まれない場合には生成されません。

PLL Summary

PLL Summary レポートは、デザイン内で選択した特定種類のPLLについての情報を示します。表1に、PLL Summary レポートに記載する様々なPLLプロパティを示します。

表 1. PLL Summary レポートの値 (1 / 3)		
PLL プロパティ	説明	値
PLL type	PLL のタイプを示します。	Enhanced / Fast/Auto
PLL mode	PLL の動作モードを示します。	Normal / Zero delay buffer / No compensation / External feedback / Source Synchronous
Feedback source	PLL の外部フィードバック入力ピンへボード・レベルで接続する出力クロックを示します。	Clock0 / Clock1 / Clock2 / Clock3 / Clock4 / Clock5
Compensate clock	PLL 補償クロック・ソースを示します。	Clock0 / Clock1 / Clock2 / Clock3 / Clock4 / Clock5 / Global clock / Regional clock / Diffio clock

表 1. PLL Summary レポートの値 (2 / 3)		
PLL プロパティ	説明	値
Switchover type	ユーザが選択したクロック・スイッチオーバー・タイプを示します。	Auto/Manual
Switchover on loss of clock	PLL に対してクロック喪失時の切り換えがオンになっているか否かを示します。	On / Off
Switchover counter	PLL 切り換えカウンタの値を示します。	<counter value>
Gate lock counter	PLL のロック済み出力をゲーティングする 20 ビット・カウンタ (0 ~ 1048575) の値を示します。	<counter value>
Input frequency 0	入力クロック 0 の入力周波数を MHz で示します。	<input frequency> MHz
Input frequency 1	入力クロック 1 の入力周波数を MHz で示します。	<input frequency> MHz
Nominal PFD frequency	PLL の公称 PFD 周波数を MHz で示します。	<frequency>MHz
Nominal VCO frequency	PLL の公称 VCO 周波数を MHz で示します。	<frequency>MHz
VCO post scale	VCO ポスト・スケール・カウンタ値を示します。	<counter value>
VCO multiply	VCO 出カクロックの通倍比を示します。	<value>
VCO divide	VCO 出カクロックの分周比を示します。	<value>
Freq min lock	PLL の最小ロック入力周波数を MHz で示します。	<lock input frequency> MHz
Freq max lock	PLL の最大ロック入力周波数を MHz で示します。	<lock input frequency> MHz
M Initial	M カウンタがスタートするまでの初期 VCO サイクル数 を示します。	<cycles>
M value	M カウンタの値を示します。	<counter value>
N value	N カウンタの値を示します。	<counter value>
M2 value	M カウンタのスペクトラム拡散係数を示します。	<modulus value>
N2 value	N カウンタのスペクトラム拡散係数を示します。	<modulus value>
SS counter	PLL のスペクトラム拡散カウンタ値を示します。	<counter value>
Downspread	PLL のダウン拡散率を示します。	<downspread percentage>
Spread frequency	PLL の拡散周波数を MHz で示します。	<frequency>MHz
Charge pump current	PLL のチャージ・ポンプ電流値を μA で示します。	<current> μA

表 1. PLL Summary レポートの値 (3 / 3)		
PLL プロパティ	説明	値
Loop filter resistance	ループ・フィルタの R 抵抗値を Ω で示します。	<value> ohms
Loop filter capacitance	ループ・フィルタの C コンデンサ値を pF で示します。	<value> pF
Bandwidth	PLL の帯域幅の代表値、最小値、最大値を MHz または KHz で示します。	<frequency> MHz / KHz
Real time configurable	PLL のリアルタイム・コンフィギュレーション・オプションがオンになっているか否かを示します。	On / Off
Scan chain MIF file	スキャン・チェーンの初期状態を表示するためにコンパイラによって生成されたメモリ初期化ファイル (.mif) を表示します。PLL をリコンフィギュレーションするときに altpll_reconfig メガファンクションと一緒に使用します。	<file name>
Preserve counter order	このロジック・オプションを使用すると、特定のクロック出力を持つ特定のカウンタを使用することができます。	On / Off
PLL Location	PLL の位置。	<PLL location>
Inclk0 signal	PLL のプライマリ・クロック入力。	<clock name>
Inclk1 signal	PLL のセカンダリ・クロック入力。	<clock name>

図 2 に、サンプル・デザインに対して生成された PLL Summary セクションの一部を示します。

図 2. PLL Summary レポートの例

PLL Summary		
	Name	
1	PLL type	Fast
2	PLL mode	Normal
3	Feedback source	--
4	Compensate clock	DIFFIOCLK
5	Switchover type	Auto
6	Switchover on loss of clock	--
7	Switchover counter	2
8	Gate lock counter	--
9	Input frequency 0	210.04 MHz
10	Input frequency 1	--
11	Nominal PFD frequency	210.0 MHz
12	Nominal VCO frequency	840.3 MHz
13	VCO post scale	--
14	VCO multiply	4
15	VCO divide	1
16	Freq min lock	95.44 MHz
17	Freq max lock	260.69 MHz
18	M VCO Tap	0
19	M Initial	1
20	M value	4
21	N value	1
22	M2 value	--
23	N2 value	--
24	SS counter	--
25	Downspread	--
26	Spread frequency	--
27	Charge pump current	72 uA
28	Loop filter resistance	1.000000 KOhm
29	Loop filter capacitance	2 pF
30	Bandwidth	6.76 MHz (5.44 MHz to 11.93 MHz)
31	Real time reconfigurable	Off
32	Scan chain MIF file	--
33	Preserve counter order	Off
34	PLL location	PLL_8
35	Inclk0 signal	rx_inclk
36	Inclk1 signal	--

PLL 使用率

PLL Usage セクションには、デザイン内にある PLL の特定の出力クロック値が報告されます。

表 2 に、PLL Usage レポートに報告される PLL プロパティを示します。

表 2. PLL Summary レポートの値		
カラム・ヘッダ	説明	値
Name	PLL のインスタンス名を表示します。	<PLL instance name>
Output Clock	PLL に対して指定した出力クロックを表示します。	<clock name>
Mult	PLL 出力クロックの通倍比を表示します。	<value>
Div	PLL 出力クロックの分周比を表示します。	<value>
Output Frequency	PLL 出力ポートのクロック周波数を表示します。この値は、入力周波数に PLL 出力ポートの通倍比を乗算し、PLL 出力ポートの分周比で除算した値に等しくなります。	<frequency>MHz
Phase Shift	PLL 出力クロックの位相シフトに対して指定した値を、度とピコセカンド ipsj で表示します。	<degrees> (<time> ps)
Duty Cycle	クロックのデューティ・サイクルを表示します。	<high percent / low percent>
Counter	PLL出力クロックに対して指定したカウンタ値を表示します。	C0 / C1 / C2 / C3 / C4 / C5
Counter Value	PLL のカウンタ値を表示します。この値は、PLL に対して指定した high サイクル数と low サイクル数の和に等しくなります。PLL に対して high サイクル数または low サイクル数が指定されていない場合には、Bypass が表示されます。	<counter value> /Bypass
High/Low	PLL の High サイクル数と Low サイクル数を表示します。	<high cycles>/<low cycles> Even/Odd
Cascade Input	現在のカウンタのカスケード入力を駆動する前段のカウンタの名前を指定します。	<counter>
Initial	カウンタがスタートするまでの初期 VCO サイクル数を示します。	<cycles>
VCO Tap	カウンタの VCO タップ値を表示します。	<tap number>

図 3 に、サンプル・デザインに対して生成された PLL Usage レポートの一部を示します。

図 3. PLL Usage レポートの例

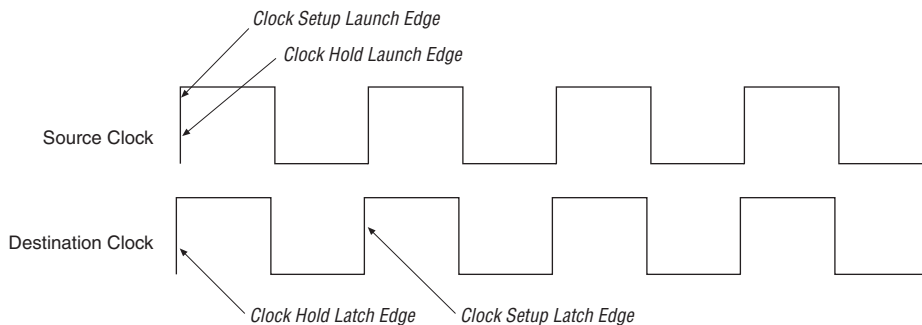
PLL Usage													
	Name	Output Clock	Mult	Div	Output Frequency	Phase Shift	Duty Cycle	Counter	Counter Value	High / Low	Cascade Input	Initial	VCO Tap
1	lvds_pll:inst2[altpll:altpll_component_clk0]	clock0	1	1	210.04 MHz	0 (0 ps)	50/50	C1	4	2/2 Even	--	1	0
2	lvds_pll:inst2[altpll:altpll_component_clk1]	clock1	1	2	105.02 MHz	0 (0 ps)	50/50	C0	8	4/4 Even	--	1	0
3	lvds_pll:inst2[altpll:altpll_component_enable0]	enable0	1	1	210.04 MHz	0 (0 ps)	--	C1	4	2/2 Even	--	1	0
4	lvds_pll:inst2[altpll:altpll_component_enable1]	enable1	1	2	105.02 MHz	0 (0 ps)	--	C0	8	4/4 Even	--	1	0
5	lvds_pll:inst2[altpll:altpll_component_sclkout0]	sclkout0	4	1	840.16 MHz	0 (0 ps)	50/50	C1	--	--	--	--	0
6	lvds_pll:inst2[altpll:altpll_component_sclkout1]	sclkout1	4	1	840.16 MHz	0 (0 ps)	50/50	C0	--	--	--	--	0
7	EPLL:inst3[altpll:altpll_component_clk0]	clock0	1	1	100.0 MHz	45 (1250 ps)	60/40	C0	10	6/4 Even	--	2	2
8	EPLL:inst3[altpll:altpll_component_clk1]	clock1	1	1	100.0 MHz	90 (2500 ps)	50/50	C1	10	5/5 Even	--	3	4
9	EPLL:inst3[altpll:altpll_component_clk2]	clock2	2	1	200.0 MHz	0 (0 ps)	50/50	C2	5	3/2 Odd	--	1	0
10	EPLL:inst3[altpll:altpll_component_clk3]	clock3	2	1	200.0 MHz	180 (2500 ps)	50/50	C3	5	3/2 Odd	--	3	4

クロック・オフセットとクロック・レイテンシの違い

PLL を含むデザインは、一般に PLL の出力クロックで駆動されるクロック・ネットワークの遅延を補償するようにデザインされています。この PLL 遅延補償は、Quartus II ソフトウェア内でクロック・オフセットまたはクロック・レイテンシとしてモデル化されます。クロック・オフセットとクロック・レイテンシは、タイミング・アナライザによるスタティックなタイミング解析結果に対して異なる効果を与えます。この項では、クロック・オフセットとクロック・レイテンシとの違いについて説明します。

タイミング・アナライザは、クロック信号のローンチ・エッジとラッチ・エッジに基づいてセットアップ関係とホールド関係を計算します。図 4 に、タイミング・アナライザによるセットアップ関係とホールド関係の計算方法を示します。

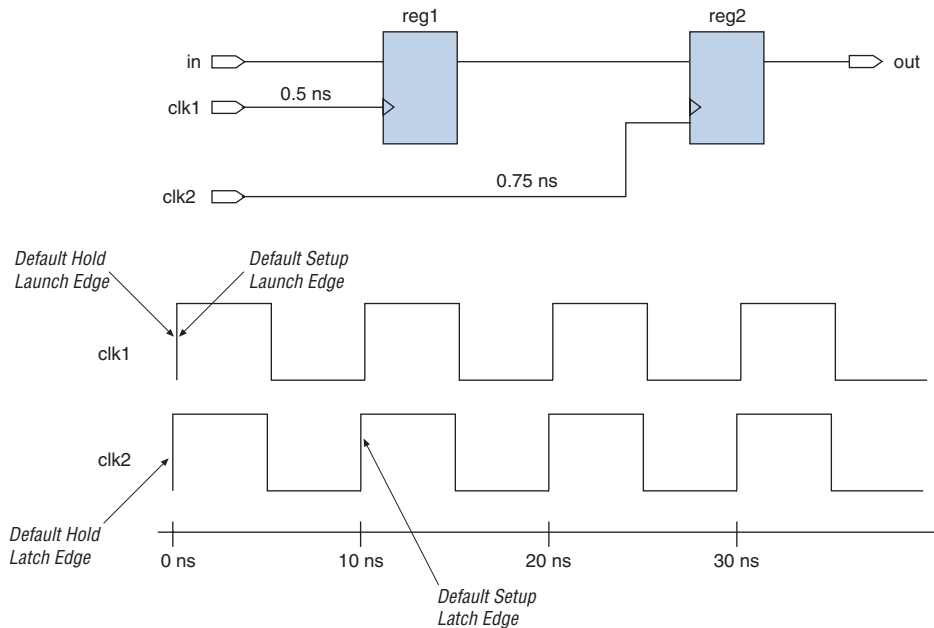
図 4. クロックのセットアップ・ホールドとローンチ・ラッチ・エッジのチェック



セットアップ関係とホールド関係について詳しくは、「Quartus II ハンドブック Volume 3」の「Quartus II タイミング解析」の章を参照してください。

簡単なレジスタ間パスの場合 (図 5)、ローンチ・エッジはソース・レジスタからのレジスタ間転送を開始させるアクティブ・クロック・エッジとして定義されます。ラッチ・エッジは、ソース・レジスタからのデータをデスティネーション・レジスタへ取り込むアクティブ・クロック・エッジとして定義されます。デフォルトでは、タイミング・アナライザは、ローンチ・エッジとラッチ・エッジとして、それぞれソース・レジスタとデスティネーション・レジスタのクロック・ソースの 2 つの連続エッジを選択します。この例を、10 ns の周期のクロック信号 clk1 と clk2 を使って 図 5 に示します。

図 5. 簡単なレジスタ間パス



セットアップまたはホールド・チェックに使われるローンチ・エッジとラッチ・エッジは、同じであることも異なることもできます。

図 5 に対するセットアップ関係、ホールド関係、クロック・スキューの計算は計算式 1 を使用して行います。

(1) Setup Relationship = (Setup Latch Edge + Destination Clock Offset) – (Setup Launch Edge + Source Clock Offset)
= (10.0 + 0.0) – (0.0 + 0.0)
= 10.0 ns

Hold Relationship = (Hold Latch Edge + Destination Clock Offset) – (Hold Launch Edge + Source Clock Offset)
= (0.0 + 0.0) – (0.0 + 0.0)
= 0.0 ns

Clock Skew (Setup Check) = Shortest Clock Path to Destination Register – Longest Clock Path to Source Register
= 0.75 – 0.5
= 0.25 ns

Clock Skew (Hold Check) = Longest Clock Path to Destination Register – Shortest Clock Path to Source Register
= 0.75 – 0.5
= 0.25 ns

クロック・オフセット

オフセットがクロック信号に対して指定されると、ラッチ・エッジとローンチ・エッジが影響を受けます。クロック・エッジがオフセット値で指定された値だけ移動されます。オフセットの極性に応じて、クロック・エッジが時間的に前または後ろに移動されて調整されます。図 6 に、正のオフセットの効果と元のクロック信号との関係を示します。

図 6. クロック・オフセットのタイミング図

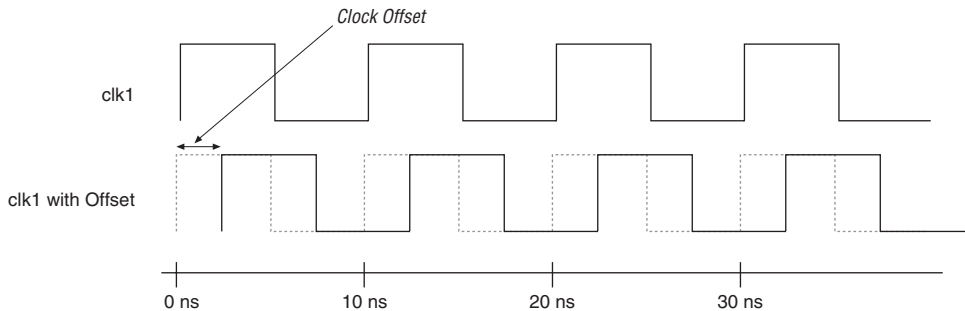


図 7 に、図 5 と同じレジスタ間パスを示します。ただし、ソース・レジスタのクロック・ポートには、オフセットとしてモデル化した、-1 ns の遅延補償を行った PLL からの信号が入力されています。

図 7. PLL を使用する場合のレジスタ間パス

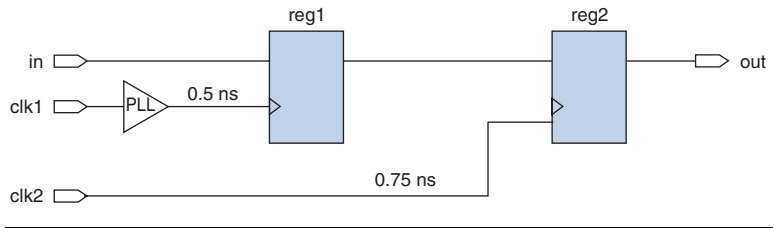


図 8 に、クロック・オフセットとしてモデル化した、-1 ns の PLL 遅延補償を行ったローンチ・エッジとラッチ・エッジのタイミング図を示します。

図 8. オフセットのタイミング図

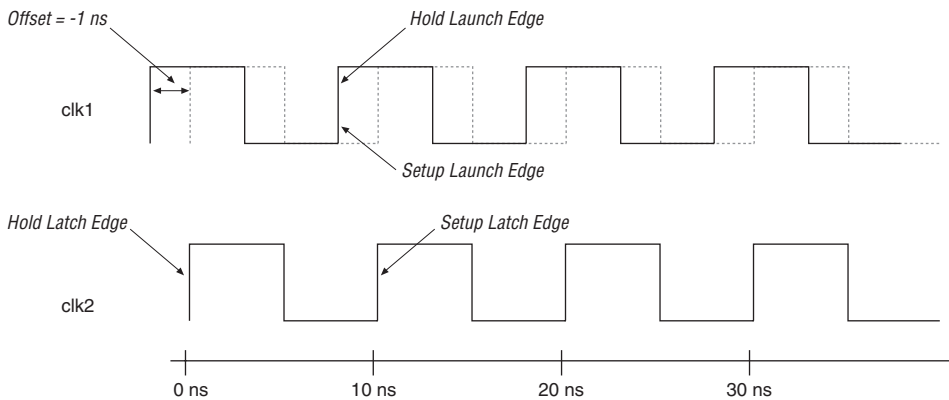


図 8 のタイミング図から、セットアップ関係とホールド関係がオフセットにより変更されていることがわかります。図 7 に示すレジスタ間パスのセットアップ関係とホールド関係は、clk1 と clk2 のクロック周期 10 ns を使用して、計算式 2 で計算されます。

$$\begin{aligned}
 (2) \quad \text{Setup Relationship} &= (\text{Setup Latch Edge} + \text{Destination Clock Offset}^*) - \\
 &\quad (\text{Setup Launch Edge} + \text{Source Clock Offset}^*) \\
 &= (10.0 - 0.0) - (10 - 1) \\
 &= 1.0 \text{ ns}
 \end{aligned}$$

$$\begin{aligned}
 \text{Hold Relationship} &= (\text{Hold Latch Edge} + \text{Destination Clock Offset}^*) - \\
 &\quad (\text{Hold Launch Edge} + \text{Source Clock Offset}^*) \\
 &= (0.0 + 0.0) - (10 - 1.0) \\
 &= -9.0 \text{ ns}
 \end{aligned}$$

* Clock Offset = PLL Compensation Delay + User Requested Phase

図 8 に示すレジスタ間パスのクロック・スキューは、クロック・オフセットとして PLL 遅延補償をモデル化することにより、計算式 3 で計算されます。

$$\begin{aligned}
 (3) \quad \text{Clock Skew} &= \text{Shortest Clock Path to Destination Register} - \\
 &\quad \text{Longest Clock Path to Source Register} \\
 &= 0.75 - 0.5 \\
 &= 0.25 \text{ ns}
 \end{aligned}$$

クロック・セットアップ・パスまたはクロック・ホールド・パスに対して List Path コマンドを実行すると、オフセット値を求めることができます。

図 9 に、クロック・セットアップ・パスのオフセット値 (12 行目) を考慮した例を示します。

図 9. クロック・オフセットを考慮したクロック・セットアップ・パス

```

1      Info: Slack time is 3.043 ns for clock "pll_clk" between source register "src_reg" and destination register
2      "dest_reg"
3      Info: + Largest register to register requirement is 3.867 ns
4      Info: + Setup relationship between source and destination is 2.544 ns
5      Info: + Latch edge is 10.000 ns
6      Info: Clock period of Destination clock "pll_clk" is 10.000 ns with
7      offset of 0.000 ns and duty cycle of 50
8      Info: Multicycle Setup factor for Destination register is 1
9      Info: - Launch edge is 7.456 ns
10     Info: Clock period of Source clock
11     "mypll_test:inst|altpll:altpll_component|_clk0" is 10.000 ns with
Offset-12     offset of -2.544 ns and duty cycle of 50
Value 13     Info: Multicycle Setup factor for Source register is 1
14     Info: + Largest clock skew is 1.509 ns
15     Info: - Micro clock to output delay of source is 0.176 ns
16     Info: - Micro setup delay of destination is 0.010 ns
17     Info: - Longest register to register delay is 0.824 ns

```

図 10 に、クロック・ホールド・パスのオフセット値 (14 行目) を考慮した例を示します。

図 10. クロック・オフセットを考慮したクロック・ホールド・パス

1	Info: Minimum slack time is 6.847 ns for clock "pll_clk" between source register "src_reg" and destination
2	register "dest_reg"
3	Info: + Shortest register to register delay is 0.824 ns
4	Info: - Smallest register to register requirement is -6.023 ns
5	Info: + Hold relationship between source and destination is -7.456 ns
6	Info: + Latch edge is 0.000 ns
7	Info: Clock period of Destination clock "pll_clk" is 10.000 ns with offset of
8	0.000 ns and duty cycle of 50
9	Info: Multicycle Setup factor for Destination register is 1
10	Info: Multicycle Hold factor for Destination register is 1
11	Info: - Launch edge is 7.456 ns
12	Info: Clock period of Source clock
13	mypll_test:inst[altpll:altpll_component]_clk0" is 10.000 ns with offset of
Offset	14 -2.544 ns and duty cycle of 50
Value	15
16	Info: Multicycle Setup factor for Source register is 1
17	Info: Multicycle Hold factor for Source register is 1
18	Info: + Smallest clock skew is 1.509 ns
19	Info: - Micro clock to output delay of source is 0.176 ns
	Info: + Micro hold delay of destination is 0.100 ns

クロック・レイテンシ

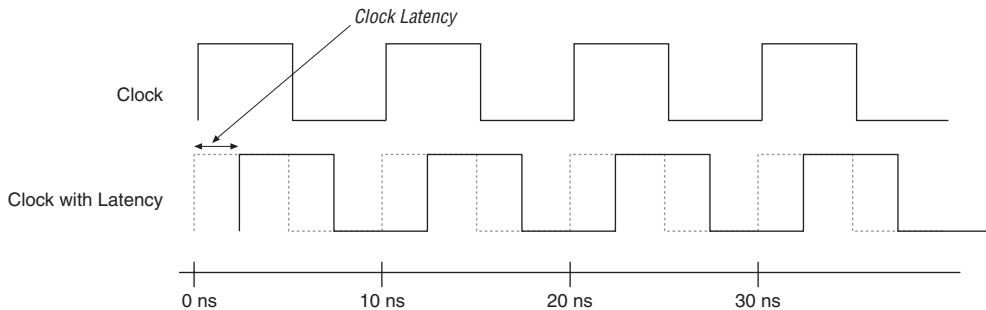
クロック・オフセットとは対照的に、クロック・レイテンシはレジスタ間パスのセットアップ関係とホールド関係に影響を与えません。クロック・レイテンシは、クロック・スキューの計算にのみ影響を与えるクロック・パス上の遅延と見なすことができます。



PLL 出力に対するユーザ指定または要求の位相はすべて、オフセットとしてモデル化されます。

クロック・レイテンシがクロック信号に対して指定された場合、ラッチ・エッジとローンチ・エッジは影響を受けませんが、クロック・スキューは影響を受けません。クロック・レイテンシでは、レイテンシ値で指定された値だけクロック信号が遅延されます。レイテンシの極性に応じて、クロック遅延が時間的に前または後ろに移動されて調整されます。図 11 に、クロック信号上のクロック・レイテンシの効果と元のクロック信号との関係を示します。

図 11. クロック・レイテンシ



レイテンシによりクロック信号が遅延させられるため、クロック・スキュー値が変わります。図 12 に、クロック・レイテンシとしてモデル化した、-1 ns の遅延補償を行った PLL からソース・レジスタのクロック・ポートを駆動した場合のレジスタ間パスを示します。

図 12. PLL を使用する場合のレジスタ間パス

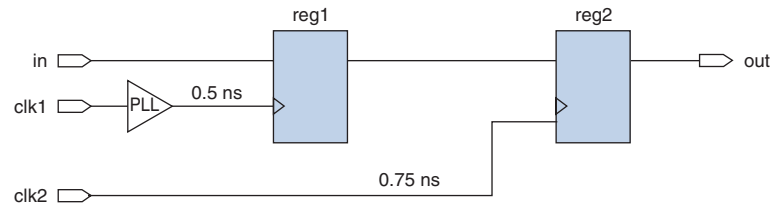
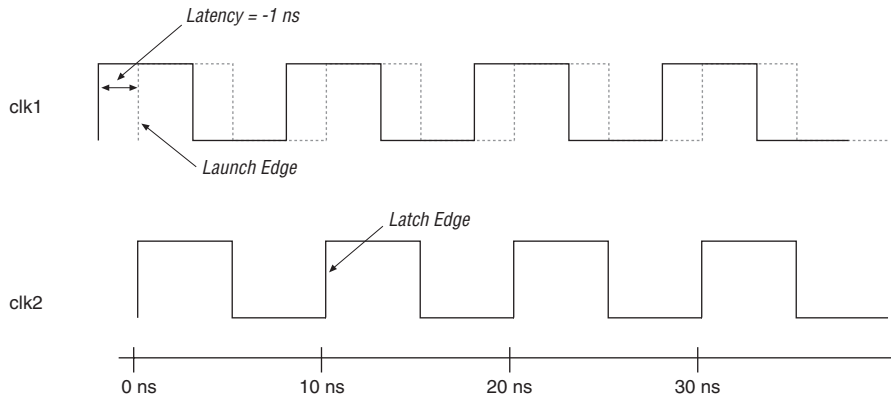


図 13 に、-1 ns のクロック・レイテンシによる PLL 遅延補償を行ったクロック信号のタイミング図を示します。

図 13. レイテンシのタイミング図



タイミング・アナライザは、Early および Late のレイテンシ・アサインメントをサポートしています。実行するチェックのタイプに応じて、該当するレイテンシ・アサインメントが使われます。



Early および Late のクロック・レイテンシ・アサインメントについて詳しくは、「Quartus II ハンドブック Volume 3」の「Quartus II タイミング解析」の章を参照してください。

図 13 のタイミング図から、クロック信号 clk1 が 1 ns だけ早いことが分かります。図 12 のレジスタ間パスについて、セットアップ・チェックのクロック・スキューは計算式 4 で、ホールド・チェックのクロック・スキューは計算式 5 で、それぞれ計算されます。さらにパスのクロック・スキューについても同様です。

- (4) Clock Skew = (Shortest Clock Path to Destination Register + Early Clock Latency) – (Longest Clock Path to Source Register + Late Clock Latency)
 = (0.75 + 0.0) – (0.5 -1.0)
 = 1.25 ns
- (5) Clock Skew = (Longest Clock Path to Destination Register + Late Clock Latency) – (Shortest Clock Path to Source Register + Early Clock Latency)
 = (0.75 - 0.0) – (0.5 -1.0)
 = 1.25 ns

図 12 のレジスタ間パスについて、レイテンシを有効にした場合のセットアップ関係とホールド関係は、計算式 6 で計算されます。

$$\begin{aligned}
 (6) \quad \text{Setup Relationship} &= (\text{Latch Edge} + \text{Destination Clock Offset}) - \\
 &\quad (\text{Launch Edge} + \text{Source Clock Offset}) \\
 &= (10.0 + 0.0) - (0.0 + 0.0) \\
 &= 10.0 \text{ ns} \\
 \\
 \text{Hold Relationship} &= (\text{Latch Edge} + \text{Destination Clock Offset}) - \\
 &\quad (\text{Launch Edge} + \text{Source Clock Offset}) \\
 &= (0.0 + 0.0) - (0.0 + 0.0) \\
 &= 0.0 \text{ ns} \\
 \\
 * \text{ Clock Offset} &= \text{User Requested Phase}
 \end{aligned}$$



PLL 遅延補償は、セットアップ関係とホールド関係の計算に影響を与えません。

クロック・セットアップ・パスまたはクロック・ホールド・パスに対して List Path コマンドを実行すると、クロック・レイテンシ値を求めることができます。図 14 に、6、15、16 の各行にクロック・レイテンシ値を考慮したクロック・セットアップ・パスの例を示します。

図 14. クロック・レイテンシを考慮したクロック・セットアップ・パス

```

1      Info: Slack time is 13.211 ns for clock "pll_clk" between source register "src_reg" and destination register "dst_reg"
2      Info: + Largest register to register requirement is 13.895 ns
3      Info: + Setup relationship between source and destination is 10.000 ns
4      Info: + Largest clock skew is 4.081 ns
5      Info: + Shortest clock path from clock "pll_clk" to destination register is 4.434 ns
6      Info: + Early clock latency of clock "pll_clk" is 0.000 ns
7      Info: 1: + IC(0.000 ns) + CELL(1.020 ns) = 1.020 ns; Loc. = PIN_AK15;
8      Fanout = 5; CLK Node = 'pll_clk'
9      Info: 2: + IC(2.854 ns) + CELL(0.560 ns) = 4.434 ns; Loc. =
10     LC_X1_Y68_N4; Fanout = 1; REG Node = 'dst_reg'
11     Info: Total cell delay = 1.580 ns ( 35.63 % )
12     Info: Total interconnect delay = 2.854 ns ( 64.37 % )
13     Info: - Longest clock path from clock "mypll_test:inst|altpll:altpll_component|_clk0"
14     to source register is 0.353 ns
15     Info: + Late clock latency of clock
16     "mypll_test:inst|altpll:altpll_component|_clk0" is -2.544 ns
17     Info: 1: + IC(0.000 ns) + CELL(0.000 ns) = -2.544 ns; Loc. = PLL_11;
18     Fanout = 1; CLK Node = 'mypll_test:inst|altpll:altpll_component|_clk0'
19     Info: 2: + IC(2.337 ns) + CELL(0.560 ns) = 0.353 ns; Loc. =
20     LC_X2_Y68_N4; Fanout = 2; REG Node = 'src_reg'
21     Info: Total cell delay = 0.560 ns ( 19.33 % )
22     Info: Total interconnect delay = 2.337 ns ( 80.67 % )
23     Info: - Micro clock to output delay of source is 0.176 ns
24     Info: - Micro setup delay of destination is 0.010 ns

```

Clock Latency Values

図 15 に、10、19、20 の各行にクロック・レイテンシ値を考慮したクロック・ホールド・パスの例を示します。

図 15. クロック・レイテンシを考慮したクロック・ホールド・パス

```

1      Info: Minimum slack time is 932 ps for clock "pll_clk" between source register "src_reg" and
2      destination register "dst_reg"
3      Info: + Shortest register to register delay is 4.937 ns
4      Info: - Smallest register to register requirement is 4.005 ns
5      Info: + Hold relationship between source and destination is 0.000 ns
6      factor for Source register is 1
7      Info: + Smallest clock skew is 4.081 ns
8      Info: + Longest clock path from clock "pll_clk" to destination
9      register is 4.434 ns
10     Info: + Late clock latency of clock "pll_clk" is 0.000 ns
11     Info: 1: + IC(0.000 ns) + CELL(1.020 ns) = 1.020 ns; Loc. =
12     PIN_AK15; Fanout = 5; CLK Node = 'pll_clk'
13     Info: 2: + IC(2.854 ns) + CELL(0.560 ns) = 4.434 ns; Loc. =
14     LC_X1_Y68_N4; Fanout = 1; REG Node = 'dst_reg'
15     Info: Total cell delay = 1.580 ns ( 35.63 % )
16     Info: Total interconnect delay = 2.854 ns ( 64.37 % )
17     Info: - Shortest clock path from clock
18     "mypll_test:inst|altpll:altpll_component|_clk0" to source register is 0.353 ns
19     Info: + Early clock latency of clock
20     "mypll_test:inst|altpll:altpll_component|_clk0" is -2.544 ns
21     Info: 1: + IC(0.000 ns) + CELL(0.000 ns) = -2.544 ns; Loc. =
22     PLL_11; Fanout = 1; CLK Node =
23     'mypll_test:inst|altpll:altpll_component|_clk0'
24     Info: 2: + IC(2.337 ns) + CELL(0.560 ns) = 0.353 ns; Loc. =
25     LC_X2_Y68_N3; Fanout = 2; REG Node = 'src_reg'
26     Info: Total cell delay = 0.560 ns ( 19.33 % )
27     Info: Total interconnect delay = 2.337 ns ( 80.67 % )
28     Info: - Micro clock to output delay of source is 0.176 ns
29     Info: + Micro hold delay of destination is 0.100 ns

```

Clock Latency Values



PLL 出力クロックに対するユーザ指定の位相はすべて、オフセットとしてモデル化されます。

タイミング・アナライザでクロック・レイテンシ・オプションを有効にすると、クロック・オフセットをクロック・レイテンシとしてモデル化することができます。このオプションをオンにすると、クロック・オフセットはクロック・スキューに影響を与えますが、すべてのレジスタ間パスのセットアップ関係とホールド関係には影響を与えません。

表 3 に、図 7 に示すデザインに対するタイミング解析結果の概要、およびクロック・オフセットまたはクロック・レイテンシとしてモデル化された PLL 遅延補償効果の比較を示します。

表 3. クロック・オフセットまたはクロック・レイテンシとしてモデル化された PLL 遅延補償の比較		
	クロック・オフセット (イネーブル・クロック・レイテンシ = オフ)	クロック・レイテンシ (イネーブル・クロック・レイテンシ = オン)
ソース・クロック周期	10.00 ns	
デスティネーション・クロック周期	10.00 ns	
セットアップ関係	1.00 ns	10.00 ns
ホールド関係	-9.00 ns	0.00 ns
クロック・スキュー (セットアップ・チェック)	0.25 ns	1.25 ns
クロック・スキュー (ホールド・チェック)	0.25 ns	1.25 ns

PLL を含むデザインでセットアップ関係とホールド関係の変更を禁止するときは、クロック・レイテンシ・オプションをイネーブルします。これにより、セットアップ関係とホールド関係を維持して、スタティック・タイミング解析のために PLL 遅延補償をクロック・スキューとしてモデル化することができます。さらに、クロック・レイテンシを使うと、マルチサイクル・アサインメントの使用を禁止して、正しいセットアップ関係とホールド関係を定義することができます。

クロック・スイッチオーバ

クロック・スイッチオーバは、PLL の入力基準クロックを 2 種類のクロック間で切替える機能です。クロック・スイッチオーバ機能は、クロックの冗長性実現、または 2 つのクロック・ドメインを持つアプリケーションで使用することができます。Stratix II PLL のこの機能は、プライマリ・クロックが故障した際に冗長クロックを使う高信頼システムの開発で使用できます。クロック・スイッチオーバは、クロックのトグルが停止したときに自動的に、またはユーザ・コントロール信号を使って手動で、実行することができます。

タイミング・アナライザは PLL に対して、ベース・クロック設定および派生クロック設定を、それぞれ入力クロック周波数および PLL パラメータ内容に基づき自動的に生成します。例えば、PLL 入力クロック周波数が 100 MHz で、かつ通倍対分周比として 5:2 を選択した場合、タイミング・アナライザは PLL 入力クロックに対して 100 MHz のベース・クロック設定を生成し、PLL 出力クロックに対して 250 MHz の分周クロック設定を計算します。

Stratix II デバイス・ファミリでは、PLL 入力クロック・ピンにクロック設定を直接入力することにより、PLL のこのデフォルトの f_{MAX} 周波数要件を上書きすることができます。例えば、`altpll` メガファンクションで PLL 入力クロック周波数が 100 MHz に、通倍対分周比が 5:2 に、それぞれ設定されている場合に、別の 200 MHz のクロック設定を PLL 入力クロック・ピンに入力すると、PLL 出力クロックのタイミング解析は 250 MHz ではなく 500 MHz の f_{MAX} 要件で行われます。

タイミング・アナライザは、PLL 入力クロック・ピンでデフォルトのクロック設定が別のクロック設定で上書きされるごとに、[図 16](#) に示すようなメッセージを表示します。

図 16. PLL ワーニング・メッセージ

```
Warning: Clock "inclk" frequency requirement of 200.0 MHz overrides "Stratix II" PLL
"my_pll:inst|altpll:altpll_component|_clk0" input frequency requirement of 100.0 MHz
```

クロック・スイッチオーバを使う場合は、PLL 入力クロックに別のクロック設定を入力して、すべての入力クロック周波数と位相シフトに対してタイミング解析を実行します。これにより、プライマリまたはセカンダリのクロック周波数で動作するときデザインがタイミング要件を満たすことが保証されます。これは、すべての入力クロック周波数と位相シフトが同じである場合には必要とされません。

別クロックのクロック設定について詳しくは、「Quartus II ハンドブック Volume 3」の「Quartus II タイミング解析」の章を参照してください。

クロック不確実性は、理想クロック値を中心とした、測定値が常に入る信頼度区間として定義されます。

クロック不確実性の一般的な原因を次に示します。

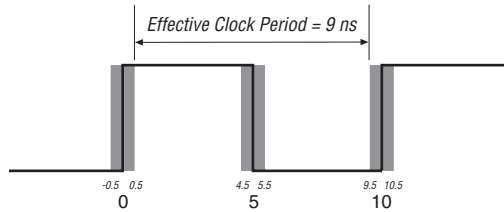
- クロック・ジッタ
- クロック・スキュー
- デューティ・サイクル歪み
- 位相シフト誤差（非ゼロ PLL 位相シフト使用の場合）

クロック信号に対するジッタ、スキュー、ガード・バンドをモデル化するときは、クロック・セットアップ不確実性アサインメントとクロック・ホールド不確実性アサインメントを使用してください。クロック信号に対してクロック不確実性アサインメントが存在する場合、タイミング・アナライザは最も堅実なセットアップ・チェックとホールド・チェックを行います。

`clk0`（クロック周期 = 10 ns）に対する 0.5 ns の不確実性値とは、`clk0` の最初の立ち上がりエッジが -0.5 ~ 0.5 ns の範囲内で、`clk0` の最初の立ち下がりエッジが 4.5 ~ 5.5 ns の範囲内で、それぞれ発生することを意味します。この不確実性区間は、実質的に使用可能な送り返し時間とラッチ時間を $10 - 1 = 9$ ns に減少させます（[図 17](#)）。

クロック 不確実性

図 17. クロック不確実性



クロック不確実性アサインメントは、デバイスの内部レジスタのマイクロ t_{SU} 値とマイクロ t_{H} を変えることはありませんが、すべてのレジスタ間パスのクロック・セットアップ関係とクロック・ホールド関係を減少させます。

クロック・セットアップ不確実性アサインメント

クロック信号に対してセットアップ不確実性値を適用するとき、または2つのクロック間でポイント間アサインメントとして適用するとき、クロック・セットアップ不確実性アサインメントを使用します。この要件を適用すると、タイミング・アナライザはセットアップ・チェックを計算する際に、データが必要とする時間から指定されたクロック・セットアップ不確実性を減算して、他のデータと一緒にクロック・セットアップ・タイミング解析レポートに報告します。

図 18 に、不確実性アサインメントのないクロック・セットアップ・レポートを示します。PLL C0 出力のクロック周波数は 300 MHz であるため、必要とされるセットアップ関係は 3.333 ns になります。レジスタのマイクロ t_{CO} とマイクロ t_{SU} を考慮すると、必要とされる最大 P2P (ポイント・トゥ・ポイント) 時間は 3.099 ns になります。このデザインのスラック・タイムは、2.171 ns と報告されます。

図 18. クロック・セットアップ不確実性前のクロック・セットアップ・レポート

Clock Setup: 'test_p11inst altpll_component _clk0'										
Slack	Actual fmax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time		
1	2.171 ns	Restricted to 816.99 MHz / period = 1.22 ns		inst1	inst2	test_p11_inst altpll_component _clk0	test_p11_inst altpll_component _clk0	3.333 ns	3.099 ns	0.928 ns

クロック・セットアップ不確実性アサインメントは、アサインメント・エディタ内で、または `set_clock_uncertainty Tcl` コマンドを使用して設定されます。次のコマンドは、PLL C0 出力クロックに 500 ps のクロック・セットアップ不確実性アサインメントを設定します。

```
set_clock_uncertainty -to test_p11:inst|alt:p11_component|_clk0 500ps -setup
```

この不確実性は、PLL クロック出力上のジッタを考慮することができます。

タイミング・アナライザを再実行すると、必要とされるセットアップ関係は 500 ps 減らして 2.833 ns に、スラック・タイムは 1.671 ns に、それぞれ減少されます (図 19)。

図 19. クロック・セットアップ不確実性後のクロック・セットアップ・レポート

Clock Setup: 'test_pll:inst altpll_component _clk0'										
Slack	Actual fmax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time		
1	1.671 ns	Restricted to 816.99 MHz / period = 1.22 ns		inst1	inst2	test_pll:inst altpll_component _clk0	test_pll:inst altpll_component _clk0	2.833 ns	2.599 ns	0.928 ns

クロック・ホールド不確実性アサインメント

クロック信号に対してホールド不確実性値を適用するとき、または 2 つのクロック間で P2P アサインメントとして適用するとき、クロック・ホールド不確実性アサインメントを使います。この要件を適用すると、ホールド・チェックを計算する際に、タイミング・アナライザ内で指定されたホールド不確実性が、データが必要とする時間に加算されて、他のデータと一緒にクロック・ホールド・タイミング解析レポートに報告されます。

図 20 に、不確実性アサインメントのないクロック・ホールド・タイミング・レポートを示します。必要とされるホールド関係は 0 ns です。レジスタのマイクロ t_{CO} とマイクロ t_H を考慮すると、必要とされる最小 P2P 時間は 0.005 ns になります。このデザインのスラック・タイムは、0.923 ns と報告されます。

図 20. クロック・ホールド不確実性前のクロック・ホールド・レポート

Clock Hold: 'test_pll:inst altpll_component _clk0'								
Minimum Slack	From	To	From Clock	To Clock	Required Hold Relationship	Required Shortest P2P Time	Actual Shortest P2P Time	
1	0.923 ns	inst1	inst2	test_pll:inst altpll_component _clk0	test_pll:inst altpll_component _clk0	0.000 ns	0.005 ns	0.928 ns

クロック・ホールド不確実性アサインメントは、アサインメント・エディタ内で、または `set_clock_uncertainty Tcl` コマンドを使用して設定されます。次のコマンドは、PLL C0 出力クロックに 500 ps のクロック・ホールド不確実性アサインメントを設定します。

```
set_clock_uncertainty -to test_pll:inst|altpll_component|_clk0 0.5ns -hold
```

この不確実性は、PLL クロック出力上のジッタを考慮することができます。

タイミング・アナライザを再実行すると、必要とされるホールド関係は 0.0 ns から 0.5 ns に増加し、このデザインではスラック・タイムは 0.423 ns に減少します (図 21)。

図 21. クロック・ホールド不確実性後のクロック・ホールド・レポート

Clock Hold: 'test_pll:inst altpll_component _clk0'							
Minimum Slack	From	To	From Clock	To Clock	Required Hold Relationship	Required Shortest P2P Time	Actual Shortest P2P Time
1 0.423 ns	inst1	inst2	test_pll:inst altpll_component _clk0	test_pll:inst altpll_component _clk0	0.500 ns	0.505 ns	0.928 ns

アプリケーション例

この項では、タイミング・アナライザを使って PLL デザイン要件を実現するためのガイドラインと推奨事項を提供します。次の 4 つの例について説明します。

- クロック・エッジを専用クロック入力ピン、コア・レジスタ、外部クロック出力ピンに揃える
- コア・レジスタのクロック・エッジを対応する PLL の非専用クロック入力ピンに揃える
- PLL 遅延補償をクロック・オフセット対クロック・レイテンシとしてモデル化する
- クロック・マルチプレクサおよびタイミング解析レポート

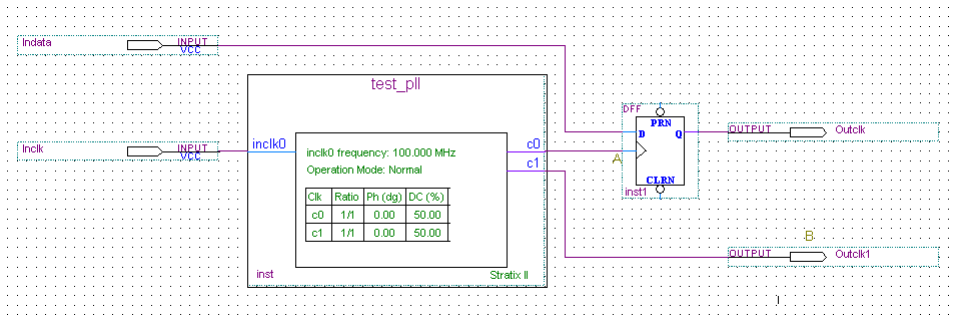
クロック・エッジを専用クロック入力ピン、コア・レジスタ、外部クロック出力ピンに揃える

目的 : D フリップフロップ (DFF) と出力ピン (outclk1) のクロック・エッジを入力クロック (inclk) に揃えます。

説明 : PLL をノーマル・モードまたはゼロ遅延バッファ・モードに設定し、入力クロックをそれぞれ内部クロック (A) または外部クロック出力 (B) に揃えることができます。この例の目標は、クロック A とクロック B を入力クロックに揃えることです。

図 22 に、この例で使用したデザイン例を示します。

図 22. PLL レジスタの簡単なデザイン例



次の手順でデザイン例を完成させます。

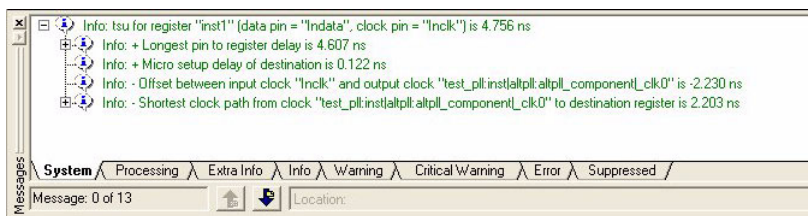
1. 図 22 に示す簡単な PLL レジスタ・デザインを生成して、PLL をノーマル・モードで動作させます。ノーマル・モードでは、PLL 入力クロック (inclck) のエッジをレジスタのクロック・ポート (A) のクロック・エッジに揃えます。
2. デザインをフル・コンパイルします。
3. Timing レポートの **tsu** セクションを開いて、**List Paths** を選択します (図 23)。

図 23. Timing Analyzer レポート

Slack	Required tsu	Actual tsu	From	To	To Clock
1	N/A	None	4,756 ns	Indata	inst1 Inclck

- Messages ウィンドウで **List Paths** を開いて、遅延の内訳を表示します (図 24)。

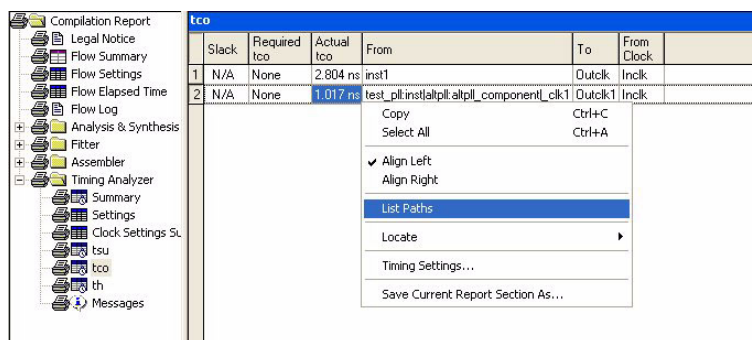
図 24. List Path の詳細



タイミング解析リスト・パスの詳細に、入力クロック (inclk) と PLL C0 クロック出力との間のオフセットが -2.23 ns であることが表示されます。さらに、タイミング・アナライザは PLL C0 出力からポイント A までの最短クロック・パスが 2.203 ns であることを報告しています。実際には、これは入力クロック・エッジが DFF (A) のクロック入力に揃えられていることを意味します。

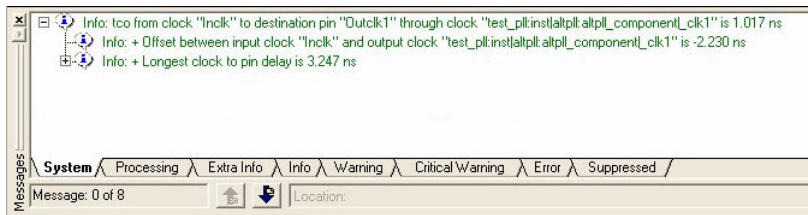
- Timing レポートの **tco** セクションを開いて、PLL 出力から出力ピン (outclk1) までの **List Paths** を選択します (図 25)。

図 25. Timing Analyzer レポート



- Messages ウィンドウで **List Paths** を開いて、遅延の内訳を表示します (図 26)。

図 26. List Path の詳細

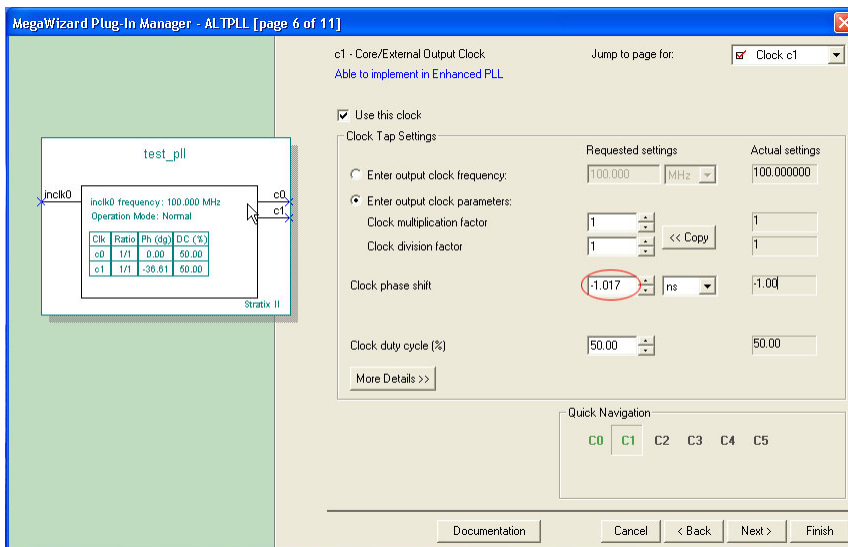


クロックからピンまでの最大遅延は 3.247 ns であり、入力クロックと PLL C1 クロック出力との間のオフセットは -2.23 ns です。したがって、ポイント B での t_{CO} は $3.247 - 2.23 = 1.017$ ns と報告されています。

B でのクロックをポイント A と入力クロックに揃えることが目標であるため、PLL の C1 クロック出力に位相シフトを導入する必要があります。

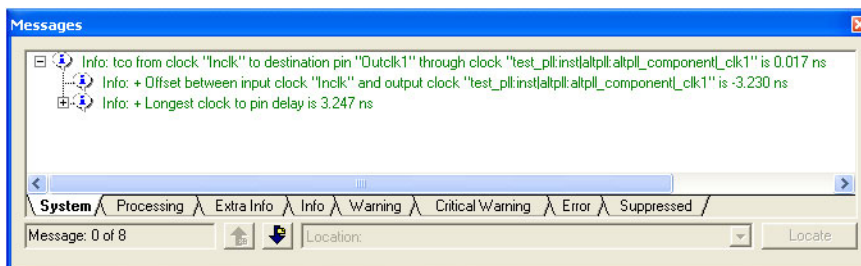
7. 図 27 のようにデザインを変更して、PLL の c1 クロック・ポートに 1.017 ns の位相シフトを導入します。ユーザ位相シフトの精度はデザインで採用した VCO 周波数に依存するため、実現可能な位相シフトは、必要とされる 1.017 ns に一致しませんが非常に近い値になります。

図 27. デザイン例



8. デザインをフル・コンパイルします。Timing レポートの **tco** セクションを選択し、**Messages** ウィンドウで **List Paths** を開いて遅延の内訳を表示します (図 28)。

図 28. List Path の詳細



9. -2.203 ns のデフォルト・オフセットに -1 ns の位相シフトが追加されているため、入力クロックと PLL C1 クロック出力ポートとの間のオフセットは -3.230 ns と報告されます。 t_{CO} は 0.017 ns と報告されるようになり、B でのクロックは入力クロックより 17 ps だけ先行してマージンが少なくなっています。レジスタの t_{su} レポートを見ると、A でのクロックは入力クロック・エッジより 17 ps だけ先行してマージンが少なくなっています。実際には、入力クロックを A と B に揃えることに成功しています。

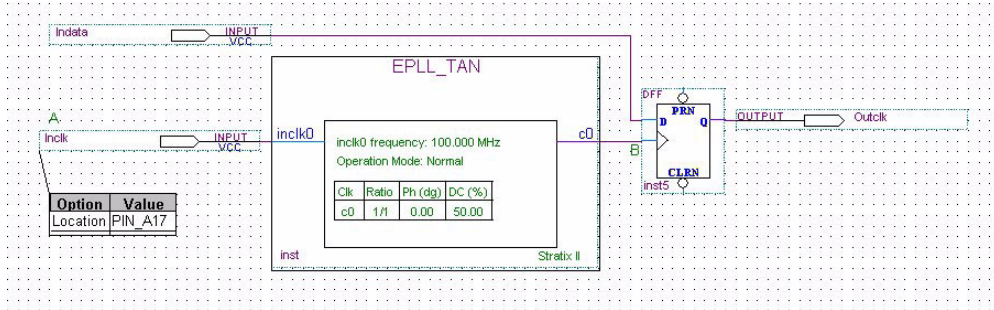
コア・レジスタのクロック・エッジを対応する PLL の非専用クロック入力ピンに揃える

目的 : PLL を非専用入力ピンから駆動します。入力クロック (A) とフリップフロップ (B) でクロック・エッジを揃えます。

説明 F この例では、PLL (EPLL 6) をピン A17 (CLK14p) から駆動します。このピンは、PLL の対応する専用クロック入力ピンではありません。

図 29 に、この例に対するデザイン例を示します。

図 29. デザイン例



ピン A17 (CLK 14p) は EPLL6 に対する専用クロック入力ピンではないため、Quartus II ソフトウェアはクロックをグローバル・クロック・ネットワーク (GCLK13) を使用して PLL の inclk0 ポートへ配線します。Compilation レポート (図 30) の **Global & Other Fast Signals** セクションを開いて、PLL に入出力するクロック信号の配線に使用したグローバル・リソースを表示します。

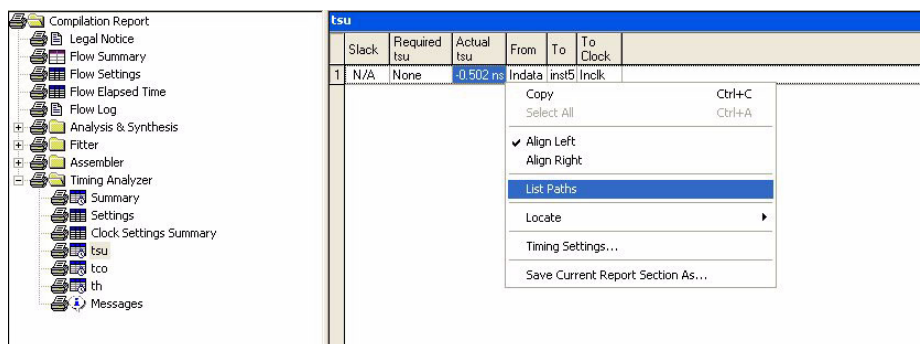
図 30. グローバル信号およびその他の高速信号のレポート

Global & Other Fast Signals						
Name	Location	Fan-Out	Global Resource Used	Global Line Name	Enable Signal Source Name	
1 EPLL_TAN:inst5:pll_component_clk0	PLL_6	1	Global clock	GCLK5	--	
2 Inclk	PIN_A17	1	Global clock	GCLK13	--	

次の手順でデザイン例を完成させます。

1. 図 29 に示すテスト・デザインを生成して、PLL をノーマル・モードで動作させます。
2. デザインをフル・コンパイルします。
3. Timing Analyzer レポートの **tsu** セクションを開いて、**List Paths** を選択します (図 31)。

図 31. Timing Analyzer レポート



4. Messages ウィンドウで **List Paths** を開いて、遅延の内訳を表示します (図 32)。

図 32. List Path の詳細

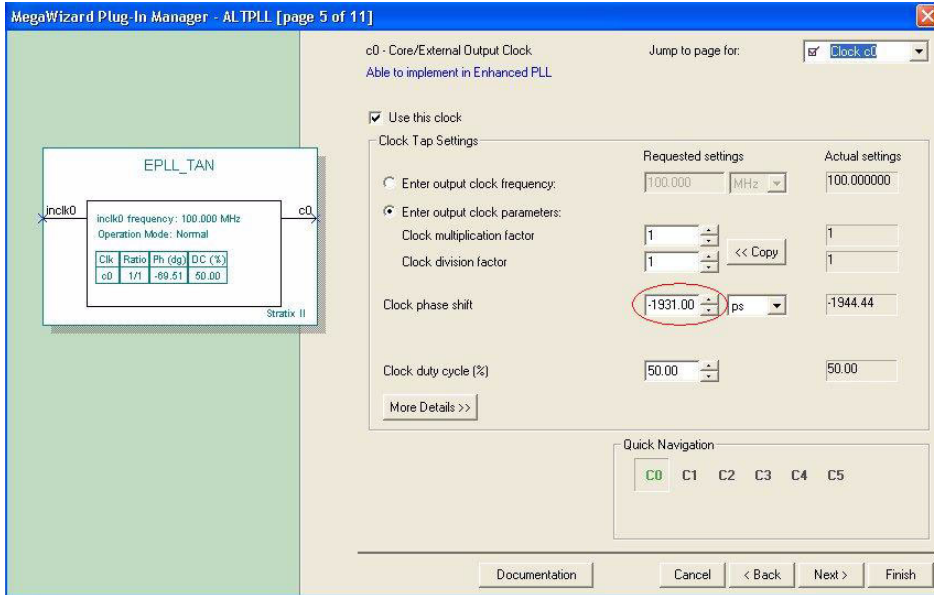


PLL がポイント A からポイント B までのクロック・パス全体を完全に補償していないため、タイミング解析リスト詳細は、入力クロックと PLL の C0 クロック出力との間のオフセットを -0.736 ns と報告しています。また、タイミング・アナライザは PLL C0 出力からポイント B までの最短クロック・パスが 2.667 ns であることも報告しています。これは、入力クロックのエッジがポイント A でのクロックに揃っていないことを意味しています (位相差は 1.931 ns)。

5. 図 29 のデザインを変更して、PLL の C0 クロック・ポートに -69.15 度 (-1931 ps) の位相シフトを導入します。

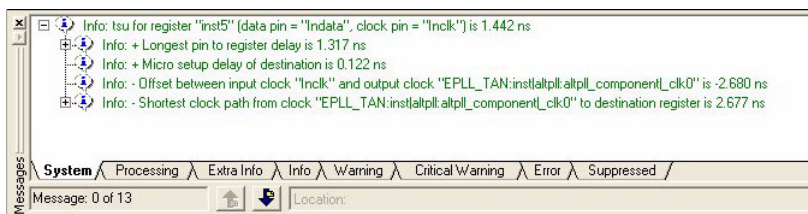
図 33 に、altpll MegaWizard ウィンドウ内のデザインを示します。

図 33. ALTPLL MegaWizard



6. デザインを再コンパイルした後、Timing Analyzer レポートの **tsu** セクションを開いて、**List Paths** を選択します。Messages ウィンドウで **List Paths** を開いて、遅延の内訳を表示します (図 34)。

図 34. List Path の詳細



PLL 出力ポートからポイント B までの最短クロック・パスは、入力クロックと PLL の C1 クロック出力との間のオフセットと一致します。これは、入力クロックを A と B で揃えることに成功していることを意味します。

PLL 遅延補償をクロック・オフセット対クロック・レイテンシとしてモデル化する

この例では、簡単なレジスタ間パスについてクロック・オフセットとクロック・レイテンシとの間のタイミング差、およびタイミング・アナライザのレポートについて説明します。

図 35 に、PLL 補償をクロック・オフセットまたはクロック・レイテンシとしてモデル化する際の違いを説明する簡単なデザインを示します。

図 35. レジスタ間パス

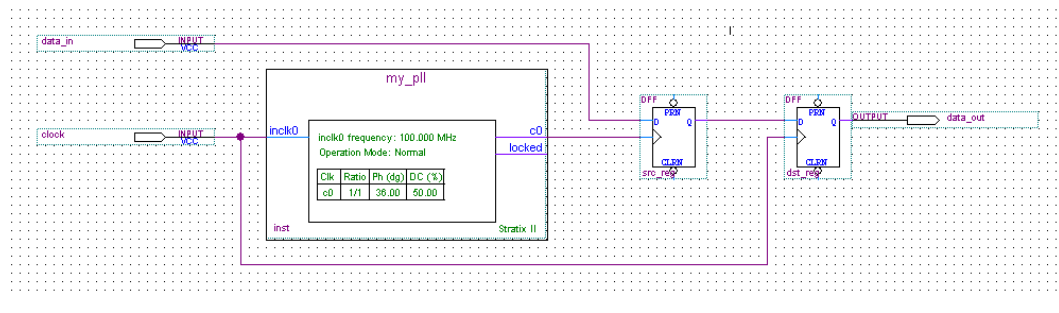
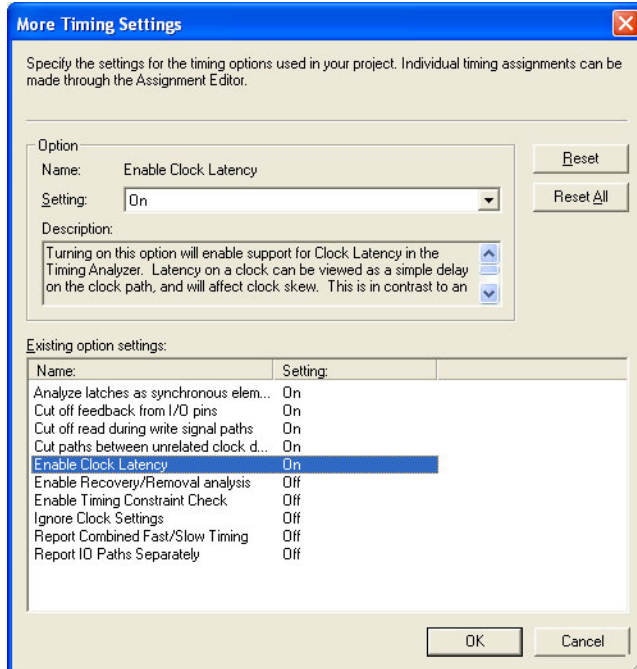


図 35 のデザインには、デスティネーション・レジスタ `dst_reg` を駆動するソース・レジスタ `src_reg` が含まれています。デスティネーション・レジスタは、10 ns のクロック信号 `clock` により直接駆動されています。ノーマル・モードの PLL からクロック駆動されるソース・レジスタは、10 ns の出力クロックを発生し、入力されるクロック信号 `clock` に対して 36 度 (1.0 ns) のユーザ指定の位相を持っています。`clock` 信号に対するクロック・ボード・パターン遅延をモデル化するため、400 ps の Early クロック・レイテンシ・アサインメントと 600 ps の Late クロック・レイテンシ・アサインメントを適用します。次の 2 つのアサインメントを、必要とされるクロック・レイテンシ・アサインメントに適用します。

```
set_clock_latency -early -to clock 400ps
set_clock_latency -late -to clock 600ps
```

イネーブル・クロック・レイテンシ・オプションにより、セットアップ関係、ホールド関係、クロック・スキュー計算を求める際に、タイミング・アナライザがクロック・オフセットまたはクロック・レイテンシのいずれを使用するかを指定します。イネーブル・クロック・レイテンシ・オプションは **More Timing Settings** ダイアログ・ボックス内にあります (図 36)。

図 36. More Timing Settings ダイアログ・ボックス



この例では、PLL 遅延補償をモデル化する 2 つの方法を示します。1 つ目の方法では、イネーブル・クロック・レイテンシをオフに設定した場合（クロック・オフセットを使用）の解析を示します。2 つ目の方法では、イネーブル・クロック・レイテンシをオンに設定した場合（クロック・レイテンシを使用）の解析を示します。

図 37 に、図 35 に示すデザインに対する PLL Usage レポートを示します。このレポートは **Resource** セクションの **Fitter** フォルダ内にあります。

図 37. PLL Usage レポート

PLL Usage														
Name	Output Clock	Mult	Div	Output Frequency	Phase Shift	Duty Cycle	Counter	Counter Value	High / Low	Cascade Input	Initial	VCO Tap		
1	my_pll_inst[altpll_component].clk0	clock0	1	1	100.0 MHz	36 (1000 ps)	50/50	C0	10	5/5 Even	--	2	0	

PLL Usage レポートは、デザイン内のすべての PLL の指定されたすべての設定の一覧を示します。この例では、PLL の出力周波数に基づいて、36 度 (1000 ps) の必要とされる位相シフトが Phase Shift の欄に示してあります。

クロック・オフセット (イネーブル・クロック・レイテンシ = オフ)

イネーブル・クロック・レイテンシ・オプションをオフに設定すると、すべての PLL 遅延補償はクロック・オフセットとしてモデル化されます。図 38 に、図 35 に対する Clock Setup Summary レポートを示します。

図 38. Clock Setup Summary レポート

Clock Setup: 'clock'										
Slack	Actual Imax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time		
1	-1.004 ns	None		src_reg	dst_reg	my_pll:inst4[altpll_component]_clk0	clock	1.815 ns	0.369 ns	1.373 ns

Clock Setup レポートから、このデザインが 1.815 ns の必要とされるセットアップ関係と 0.369 ns の必要とされる最長 P2P タイミングを持つことが分かります。レジスタ間パスについてさらに情報を取得するときは、レポート内から List Path を実行して図 39 に示すレポートを生成します。

図 39. パスの詳細

```

1 Info: Slack time is -1.004 ps for clock "clock" between source register "src_reg" and destination register "dst_reg"
2 Info: + Largest register to register requirement is 0.369 ns
3 Info: + Setup relationship between source and destination is 1.815 ns
4 Info: + Latch edge is 10.000 ns
5 Info: Clock period of Destination clock "clock" is 10.000 ns with offset of
6 0.000 ns and duty cycle of 50
7 Info: Multicycle Setup factor for Destination register is 1
8 Info: - Launch edge is 8.185 ns
9 Info: Clock period of Source clock
10 "my_pll:inst4[altpll_component]_clk0" is 10.000 ns with offset of
11 -1.815 ns and duty cycle of 50
12 Info: Multicycle Setup factor for Source register is 1
13 Info: + Largest clock skew is -1.233 ns
14 Info: + Shortest clock path from clock "clock" to destination register is 2.023 ns
15 Info: - Longest clock path from clock "my_pll:inst4[altpll_component]_clk0" to
16 source register is 3.256 ns
17 Info: - Micro clock to output delay of source is 0.109 ns
18 Info: - Micro setup delay of destination is 0.104 ns
19 Info: - Longest register to register delay is 1.373 ns

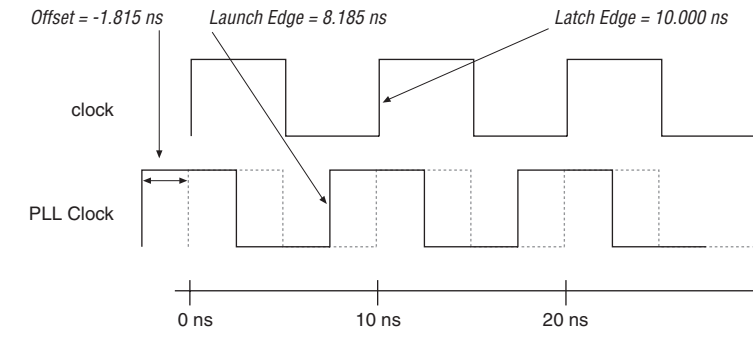
```

Total PLL Offset

ソース・レジスタはノーマル・モードでPLLからクロック駆動されるため、オフセットはこのクロック信号に対応しています。図 39 の 9～11 行に、PLL 補償およびユーザ指定のすべての位相シフトによる合計PLLオフセットが示してあります。この例では、ユーザ指定の位相シフトは 36 度 (1.0 ns) です。

図 40 に、クロック信号のタイミング波形を示します。

図 40. オフセットを持つクロック・タイミング図



計算式 7 に、Clock Setup レポート内に示され、セットアップ関係を求める際に使用した計算を示します。

$$\begin{aligned}
 (7) \quad \text{Setup Relationship} &= (\text{Latch Edge} + \text{Offset}) - (\text{Launch Edge} + \text{Offset}) \\
 &= (10.0 + 0.0) - (10 + [-1.815]) \\
 &= 1.815 \text{ ns}
 \end{aligned}$$

計算式 8 に、クロック・スキューの計算を示します。

$$\begin{aligned}
 (8) \quad \text{Clock Skew} &= \text{Shortest Clock Path to Destination Register} - \\
 &\quad \text{Longest Clock Path to Source Register} \\
 &= 2.023 - 3.256 \\
 &= -1.233 \text{ ns}
 \end{aligned}$$

デフォルトでは、タイミング・アナライザはすべてのレジスタ間パスに対して堅実なセットアップ・チェックを実行します。そのため、8.185 ns での PLL クロック・エッジはローンチ・エッジとして、10.0 ns でのクロック・エッジはラッチ・エッジとして、それぞれ使われます。セットアップ関係は 1.815 ns です。ただし、多くの場合、ラッチ・エッジは、8.185 ns でのローンチ・エッジに対して 20 ns で発生します。タイミング・アナライザに対して正しくラッチ・エッジを指定するために、2 のマルチサイクル・アサインメントが必要とされます。

図 41 に、マルチサイクル・アサインメントを適用した後のパス詳細を示します。

図 41. オフセットとマルチサイクルによるクロック・セットアップ・チェック

```

1  Info: Slack time is 8.996 ns for clock "clock" between source register "src_reg" and destination register "dst_reg"
2  Info: + Largest register to register requirement is 10.369 ns
3  Info: + Setup relationship between source and destination is 11.815 ns
4  Info: + Latch edge is 20.000 ns
5  Info: Clock period of Destination clock "clock" is 10.000 ns with offset of
6  0.000 ns and duty cycle of 50
7  Info: Multicycle Setup factor for Destination register is 2
8  Info: - Launch edge is 8.185 ns
9  Info: Clock period of Source clock "my_pll:inst4|altpll:altpll_component|_clk0"
10 is 10.000 ns with offset of -1.815 ns and duty cycle of 50
11 Info: Multicycle Setup factor for Source register is 1
12 Info: + Largest clock skew is -1.233 ns
13 Info: + Shortest clock path from clock "clock" to destination register is 2.023 ns
14 Info: - Longest clock path from clock "my_pll:inst4|altpll:altpll_component|_clk0" to
15 source register is 3.256 ns
16 Info: - Micro clock to output delay of source is 0.109 ns
17 Info: - Micro setup delay of destination is 0.104 ns
18 Info: - Longest register to register delay is 0.501 ns

```

Multicycle of 2 Assigned

Latch Edge Occurs at 20.0 ns

図 41 の 7 行目は、2 のマルチサイクル・アサインメントが適用されていることを示しています。さらに、ラッチ・エッジはこれにより 20.0 ns になったことも示しています (図 41 の 4 行目)。

クロック・レイテンシ (イネーブル・クロック・レイテンシ = オン)

イネーブル・クロック・レイテンシ・オプションをオンに設定すると、すべての PLL 遅延補償はクロック・レイテンシとしてモデル化されます。図 42 に、図 35 に対する Clock Setup Summary レポートを示します。

図 42. Clock Setup Summary レポート

Clock Setup: 'clock'									
Slack	Actual fmax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time	
1	8.796 ns	None	src_reg	dst_reg	my_pll:inst4 altpll:altpll_component _clk0	clock	9.000 ns	10.169 ns	1.373 ns

Clock Setup レポートから、このデザインが 9.0 ns の必要とされるセットアップ関係と 10.169 ns の必要とされる最長 P2P タイミングを持つことが分かります。レジスタ間パスについてさらに情報を取得するときは、レポート内から List Path を実行して、[図 43](#) に示すレポートを生成します。

図 43. パスの詳細

```

1  Info: Slack time is 8.796 ns for clock "clock" between source register "src_reg" and destination register "dst_reg"
2      Info: + Largest register to register requirement is 10.169 ns
3          Info: + Setup relationship between source and destination is 9.000 ns
4              Info: + Latch edge is 10.000 ns
5                  Info: Clock period of Destination clock "clock" is 10.000 ns with offset
6                      of 0.000 ns and duty cycle of 50
7                      Info: Multicycle Setup factor for Destination register is 1
8                      Info: - Launch edge is 1.000 ns
9                          Info: Clock period of Source clock
10                             "my_pll:inst4|altpll:altpll_component|_clk0" is 10.000 ns with offset
11                                 of 1.000 ns and duty cycle of 50
12                                 Info: Clock offset from Source is based on specified offset of 0.000 ns
13                                     and phase shift of 36.000 degrees of the derived clock
14                                     Info: Multicycle Setup factor for Source register is 1
15      Info: + Largest clock skew is 1.382 ns
16          Info: + Shortest clock path from clock "clock" to destination register is 2.423 ns
17              Info: + Early clock latency of clock "clock" is 0.400 ns
18      Info: - Longest clock path from clock "my_pll:inst4|altpll:altpll_component|_clk0"
19          to source register is 1.041 ns
20              Info: + Late clock latency of clock "my_pll:inst4|altpll:altpll_component|_clk0"
21                  is -2.215 ns
22      Info: - Micro clock to output delay of source is 0.109 ns
23          Info: - Micro setup delay of destination is 0.104 ns
24  Info: - Longest register to register delay is 1.373 ns

```

Phase Shift Offset 1.000 ns

[図 43](#) に示すパスから、タイミング・アナライザが使用する様々なオフセット値とレイテンシ値を求めることができます。

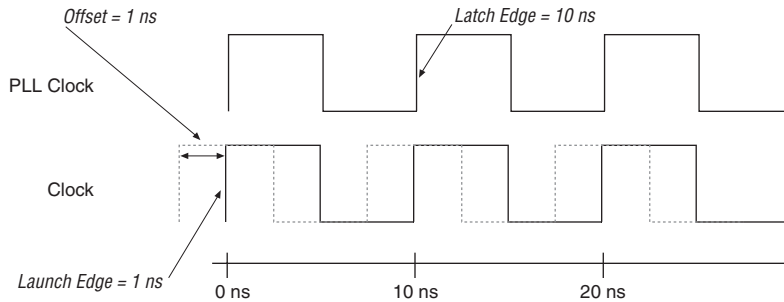
ソース・レジスタ `src_reg` は、36 度 (1.0 ns) のユーザ指定の位相シフトを持つ PLL 出力でクロック駆動されています。[図 43](#) の 10 行目と 11 行目は、この位相シフトを 1.0 ns のオフセットとして表示しています。



PLL 出力に対するユーザ指定または要求の位相はすべて、オフセットとしてモデル化されます。

図 44 に、クロック信号のタイミング波形を示します。

図 44. レイテンシを持つクロック・タイミング図



計算式 9 に、Clock Setup Summary レポート (図 42) に表示されるセットアップ関係を決定するパラメータを示します。

$$\begin{aligned}
 (9) \quad \text{Setup Relationship} &= (\text{Latch Edge} + \text{Offset}) - (\text{Launch Edge} + \text{Offset}) \\
 &= (10.0 + 0.0) - (0 + 1.0) \\
 &= 9.0 \text{ ns}
 \end{aligned}$$

イネーブル・クロック・レイテンシ・オプションをオンに設定すると、合計 PLL 補償値が詳細レポートの Clock Skew セクションに表示されます。図 45 に、図 35 のクロック・スキュー計算のみを示します。

図 45. クロック・スキューの計算

```

1          Info: + Largest clock skew is 1.382 ns
2          Info: + Shortest clock path from clock "clock" to destination register is 2.423 ns
3          Info: + Early clock latency of clock "clock" is 0.400 ns
4          Info: - Longest clock path from clock "my_pll:inst4[altpll:altpll_component]_clk0"
5          to source register is 1.041 ns
6          Info: + Late clock latency of clock "my_pll:inst4[altpll:altpll_component]_clk0"
7          is -2.215 ns

```

└─ Late Clock Latency Value
└─ Early Clock Latency Value

このデザインの場合、クロック信号 clock には 400 ps の Early クロック・レイテンシ・アサインメントと 600 ps の Late クロック・レイテンシ・アサインメントが適用されています。Early クロック・レイテンシ値は図 45 の 3 行目に、Late クロック・レイテンシ値は 6 行目と 7 行目に、それぞれ表示されています。Late レイテンシ値は -2.215 です。この Late レイテンシ値は合計レイテンシ値であり、すべてのユーザ指定のレイテンシと PLL 補償を含む PLL 出力クロックに対応します。図 45 の 6 行目と 7 行目に表示されている値に基づいて合計 PLL 補償を求めるときは、計算式 10 を参照してください。

$$\begin{aligned}
 (10) \quad \text{PLL Compensation} &= \text{Total Clock Latency} - \text{User Specified Late Latency} \\
 &= -2.215 - (0.600) \\
 &= -2.815 \text{ ns}
 \end{aligned}$$

計算式 11 に、クロック・スキューの計算を示します。

$$\begin{aligned}
 (11) \quad \text{Clock Skew} &= \text{Shortest Clock Path to Destination Register} - \\
 &\quad \text{Longest Clock Path to Source Register} \\
 &= 2.423 - 1.041 \\
 &= 1.382 \text{ ns}
 \end{aligned}$$

クロック・マルチプレクサおよびタイミング解析レポート

次の例に、クロック・マルチプレクサ・デザインのタイミング解析結果を示します。図 46 に、この例で使用したデザイン例を示します。

図 46. クロック・マルチプレクサ・デザイン

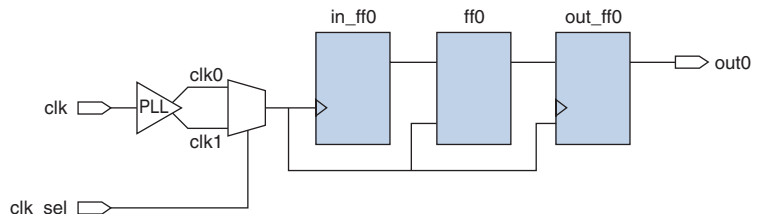


図 46 のデザインの目的は、PLL の `clk0` または `clk1` を使って内部レジスタを駆動することです。使用したクロック・マルチプレクス構成は `altclkctrl1` メガファンクションであり、クロックの選択は信号 `clk_sel` を使用して行います。

図 47 に、Timing Analyzer report フォルダの結果を示します。このフォルダには、`clk0` と `clk1` のタイミング解析結果が含まれています。

図 47. タイミング解析結果

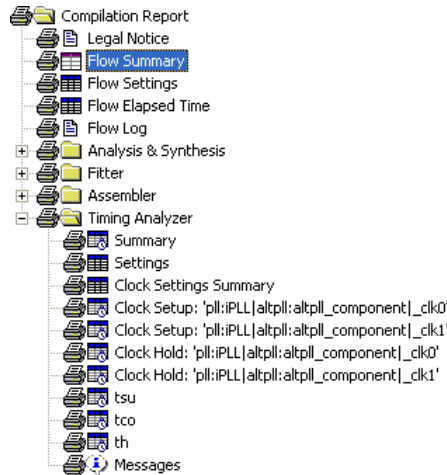


図 48 に、クロック・セットアップの拡張レポートを示します。
 'pll:PLL | altpll:altpll_component |_clk0' (c1k0) and Clock Setup:
 'pll:PLL | altpll:altpll_component |_clk1' (c1k1).

選択したこのレポートは、デスティネーション・クロックについて報告していま
 す。例えば、c1k0 のクロック・セットアップ・レポートは、clk0 がデスティネ
 ーション・クロックとなっている場合のクロック・セットアップ解析を示しています。

図 48. クロック・セットアップ・パス

Clock Setup: 'pll:iPLL altpll:altpll_component _clk1'									
	Slack	Actual fmax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time
1	9.305 ns	None	ff0	out_ff0	pll:iPLL altpll_component_clk0	pll:iPLL altpll_component_clk1	10.000 ns	9.816 ns	0.511 ns
2	9.406 ns	None	in_ff0	ff0	pll:iPLL altpll_component_clk0	pll:iPLL altpll_component_clk1	10.000 ns	9.816 ns	0.410 ns

Clock Setup: 'pll:iPLL altpll:altpll_component _clk0'									
	Slack	Actual fmax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time
1	9.305 ns	None	ff0	out_ff0	pll:iPLL altpll_component_clk1	pll:iPLL altpll_component_clk0	10.000 ns	9.816 ns	0.511 ns
2	9.406 ns	None	in_ff0	ff0	pll:iPLL altpll_component_clk1	pll:iPLL altpll_component_clk0	10.000 ns	9.816 ns	0.410 ns

clk0 と clk1 のクロック・セットアップ・レポートでは、解析されたレジスタ間パスは、それぞれ clk1 から clk0 までと、clk0 から clk1 までです。ただし、clk0 から clk0 までのパスと、clk1 から clk1 までのパスは解析されていません。Quartus II ソフトウェアのデフォルト動作は、ワースト・ケースのタイミング・パスの解析とレポートに設定されています。このデザインの場合、これらのパスは clk0 から clk1 までと、clk1 から clk0 までです。ただし、このデザインの場合、clk1 から clk1 へと、clk0 から clk0 へとの間のクロック転送は、解析にのみ有効な転送です。

clk0 から clk0 へのクロック転送と、clk1 から clk1 へのクロック転送との間の解析を正しく行うためには、clk1 と clk0 との間に1つと、clk0 と clk1 との間に1つの合計2つの cut タイミング・アサインメントが必要です。このデザインには次の cut タイミング・アサインメントを使用します。

```
#cut clock transfer from clk0 to clk1
set_timing_cut_assignment -from pll:PLL|altpll:altpll_component|_clk0 -to
pll:PLL|altpll:altpll_component|_clk1
```

```
#cut clock transfer from clk1 to clk0
set_timing_cut_assignment -from pll:PLL|altpll:altpll_component|_clk1 -to
pll:PLL|altpll:altpll_component|_clk0
```

図 49 に、cut タイミング・アサインメントを適用した後の、clk0 と clk1 についてのクロック・セットアップ・レポートを示します。

図 49. Cut タイミング・アサインメント適用後のクロック・セットアップ・レポート

Clock Setup: 'pll:PLL altpll:altpll_component _clk0'									
Slack	Actual fmax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time	
1	19.305 ns	Restricted to 816.99 MHz (period = 1.22 ns)	#f0	out_#f0	pll:iPLL altpll:altpll_component_clk0	pll:iPLL altpll:altpll_component_clk0	20.000 ns	19.816 ns	0.511 ns
2	19.406 ns	Restricted to 816.99 MHz (period = 1.22 ns)	in_#f0	#f0	pll:iPLL altpll:altpll_component_clk0	pll:iPLL altpll:altpll_component_clk0	20.000 ns	19.816 ns	0.410 ns

Clock Setup: 'pll:PLL altpll:altpll_component _clk1'									
Slack	Actual fmax (period)	From	To	From Clock	To Clock	Required Setup Relationship	Required Longest P2P Time	Actual Longest P2P Time	
1	9.305 ns	Restricted to 816.99 MHz (period = 1.22 ns)	#f0	out_#f0	pll:iPLL altpll:altpll_component_clk1	pll:iPLL altpll:altpll_component_clk1	10.000 ns	9.816 ns	0.511 ns
2	9.406 ns	Restricted to 816.99 MHz (period = 1.22 ns)	in_#f0	#f0	pll:iPLL altpll:altpll_component_clk1	pll:iPLL altpll:altpll_component_clk1	10.000 ns	9.816 ns	0.410 ns

各クロック・セットアップ・レポートは、clk0 から clk0 へのクロック転送と、clk1 から clk1 へのクロック転送について、正しい解析を表示するようになりました。

まとめ

Stratix II デバイスの enhanced および fast PLL は、デバイス・クロックとシステム・タイミングの完全な制御を可能にします。このアプリケーション・ノートでは、Quartus II タイミング・アナライザが実行するすべてのレポートと解析を完全に理解できるように説明し、さらに PLL に関する様々なタイミング解析レポートの見方と理解の仕方についての例とガイドラインを提供することにより、Stratix II PLL が提供する多くの機能を利用できるようにしました。

参考文献

詳細については、アルテラ・ウェブサイトの次の資料を参照してください。

- 「Quartus II ハンドブック Volume 3」の「Timing Analysis」セクション
- altpll Megafunction User Guide