

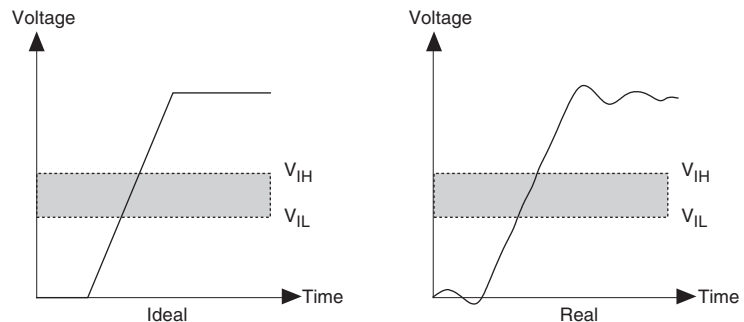
この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

はじめに

アプリケーションに統合される特徴と機能が増えるほど、システム開発は複雑になります。つまり、より帯域幅が広く高速な外部メモリ・インタフェースを必要とする、より高いシステム性能の要求が高まります。例えば、267 MHz/533 Mbps ダブル・データ・レート (DDR) メモリ・インタフェースのデータ有効ウィンドウは、100 MHz/100 Mbps SDR メモリ・インタフェースに比べ 1/7 のサイズです。

データ有効マージンの縮小に加えて、バス速度が高くなると、送信された信号品質が低い場合、レシーバでの全体的なデータ有効マージンが大幅に減少する可能性があるため、ボード設計者はレシーバでの信号品質に注意する必要があります。図 1 に、レシーバから見た理想的な信号と実際の信号の違いを示します。

図 1. レシーバから見た理想的な信号と実際の信号



このアプリケーション・ノートでは、レシーバでの信号品質に影響を及ぼす、以下の主要な要因について説明します。

- 適切な終端の使用
- 出力ドライバのドライブ強度設定
- レシーバでの負荷

このアプリケーション・ノートでは、ダブル並列終端、つまり Class II 終端方法などの各種終端方法とそれらがレシーバの信号品質に及ぼす影響を比較しています。また、外部終端抵抗と ODT (On-Die-Termination) の使用方法についても検討します。次に、レシーバでのシグナル・インテグリティを最適化するために、OCT (On-Chip Termination) を含む FPGA の適切なドライブ強度設定について説明します。さらに、コンポーネント対 DIMM コンフィギュレーションなどの異なる負荷が信号品質に及ぼす影響についても説明します。最後に、結果の解析と推奨されるコンフィギュレーションを紹介して結論を出しています。

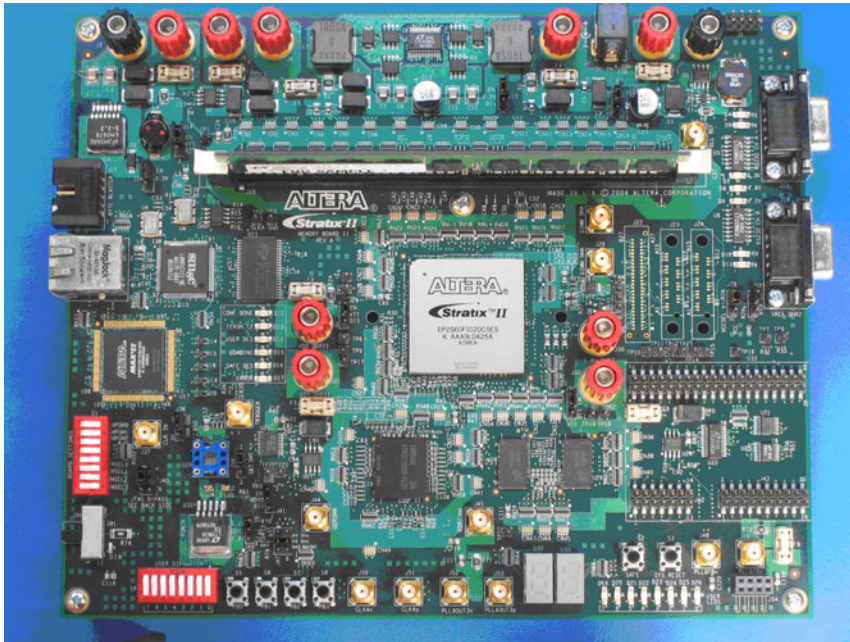
このアプリケーション・ノートの目的は、様々な種類の終端方法間のトレードオフ、出力ドライブ強度の影響、および負荷について理解し、複数の組み合わせをすばやく検討し、設計に最適な設定を選択することです。

ボードの終端

今日のボード・レベルの設計では、様々な終端方法を使用できます。例えば、HSTL (High Speed Transceiver Logic) の JEDEC 規格である JESD8-6 は 4 種類の終端方法を記載しています。一般に使用される 2 つの終端方法は、直列抵抗を接続したまたは接続しない出力負荷のシングル並列終端、および直列抵抗を接続したまたは接続しない出力負荷のダブル並列終端です。これら 2 つの終端方法は、JESD8-6 で規定されるとおり、それぞれ Class I および Class II 終端方法とも呼ばれています。命名規則は、例えば SSTL-2 や SSTL-18 といった他の JEDEC I/O 規格には適用されませんが、Class I および Class II などは、この規格で概説されるシングル並列終端およびダブル並列終端方法を規定するのに使用されています。信号の種類に応じて、いずれかの終端方法を選択できます。システム・コスト削減とボード・レイアウト簡素化に対するニーズが高まるにつれて、伝送線路上に並列終端を置かず、メモリ・インタフェースとメモリ間にポイント・ツー・ポイント接続を使用することによって、コンポーネントのコストを優先させ、信号品質は妥協するという選択を行う場合があります。

各種の終端方法を適切に検討するために、このアプリケーション・ノートに記載されているシミュレーションおよび測定セットアップでは、267 MHz DDR2 SDRAM バッファなし DIMM にインタフェースするアルテラの Stratix® II FPGA を使用しています。この DDR2 メモリ・インタフェースは、図 2 に示す Stratix II Memory Board 2 をベースにして構築されています。

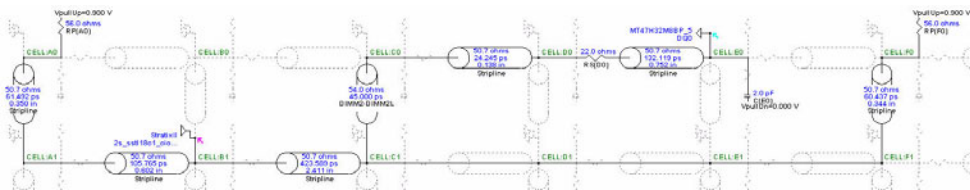
図 2. DDR2 SDRAM DIMM インタフェース付き Stratix II Memory Board 2



DDR2 SDRAM DIMM は、各データ・ライン用に $22\ \Omega$ の外部直列終端抵抗を内蔵しているため、すべての測定とシミュレーションはこれらの直列終端抵抗の影響を考慮に入れる必要があります。

Stratix II Memory Board 2で実行したベンチ測定の相関をとるために、HyperLynx LineSim ソフトウェアでアルテラおよびメモリ・ベンダからの IBIS モデルを使用して、シミュレーションが実行されます。図 3 は、シミュレーションに使用される HyperLynx でのセットアップを示します。シミュレーション・ファイル、シミュレーション例は、アルテラ・ウェブサイトのこのアプリケーション・ノートが掲載されているページで入手できます。

図 3. DDR2 SDRAM DIMM インタフェース付き Stratix II Memory Board 2のための HyperLynx セットアップ・シミュレーション

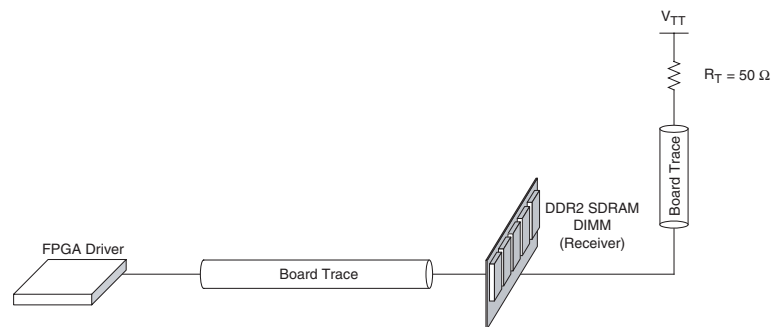


DDR2 SDRAM DIMM を実装した Stratix II Memory Board 2 上の DDR2 SDRAM メモリ・インタフェースの配線パターン長がシミュレーションのために抽出され、この長さは約 3 インチです。Stratix II Memory Board 2 のレイアウトに関する詳細情報は、*Stratix II Memory Board 2 Layout Guidelines* に記載されています。DDR2 SDRAM DIMM のトレース情報は、「PC4300 DDR2 SDRAM Unbuffered DIMM Design Specification」に記載されています。

終端レイアウト・トポロジー

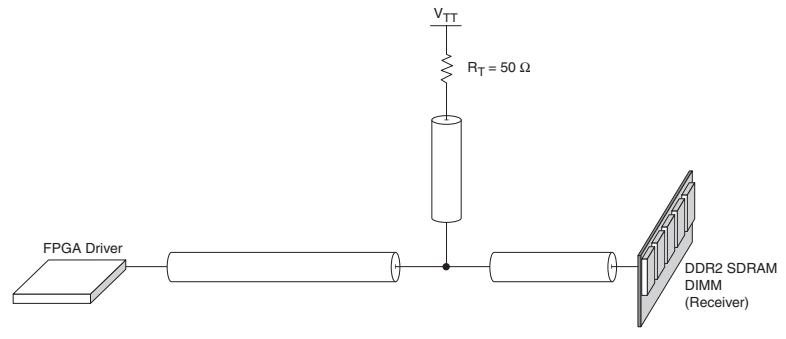
終端を使用する場合は、デザインに最適なトポロジーを決定するために終端抵抗の位置を検討する必要があります。図 4 および 5 に、フライバイ・トポロジーと非フライバイ・トポロジーの最も一般的に使用される 2 つの終端トポロジーを示します。

図 4. 並列抵抗のフライバイ配置



フライバイ・トポロジー（図 4 参照）の場合は、レシーバの後に並列終端抵抗を配置します。この終端配置により、非フライバイ・トポロジーでの望ましくない終端されていないスタブを解決できます。ただし、このトポロジーを使用すると、コスト増となり配線も複雑になります。Stratix II Memory Board 2 は、並列終端抵抗の配置にフライバイ・トポロジーを使用しています。

図 5. 並列抵抗の非フライバイ配置



非フライバイ・トポロジー（図 5 参照）では、ドライバとレシーバの間に（レシーバに近接して）並列終端抵抗を配置します。この終端配置ではボード・レイアウトが簡単になりますが、終端抵抗とレシーバの間が短い終端されていないスタブとなります。終端されない伝送線路では、レシーバにリングングと反射が生じます。

Class II 終端

ダブル並列（Class II）終端方法は、HSTL I/O のための JESD8-6、SSTL-2 I/O のための JESD8-9b、SSTL-18 I/O のための JESD8-15a などの JEDEC 規格に規定されています。FPGA（ドライバ）が DDR2 SDRAM DIMM（レシーバ）に書き込んでいるときには、伝送線路は DDR2 SDRAM DIMM で終端されます。同様に、FPGA が DDR2 SDRAM DIMM を読み出しているときには、DDR2 SDRAM DIMM はドライバとなり、伝送線路は FPGA（レシーバ）で終端されます。この種類の終端方法は、一般に DRAM のデータ（DQ）およびデータ・ストロブ（DQS）信号などの双方向信号に対して使用されます。

FPGA によるメモリへの書き込み

図 6 に、FPGA がメモリに書き込んでいるときの Class II 終端方法を示します。Class II 終端を使用する利点は、いずれかのドライバが伝送線路をドライブしているとき、レシーバ端に終端抵抗があるため伝送線路がマッチングし、リングングと反射が減少することです。

図 6. メモリ側に直列抵抗を使用した Class II 終端方法

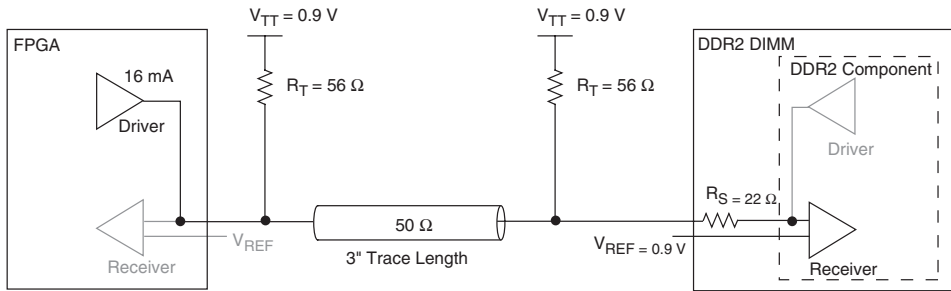
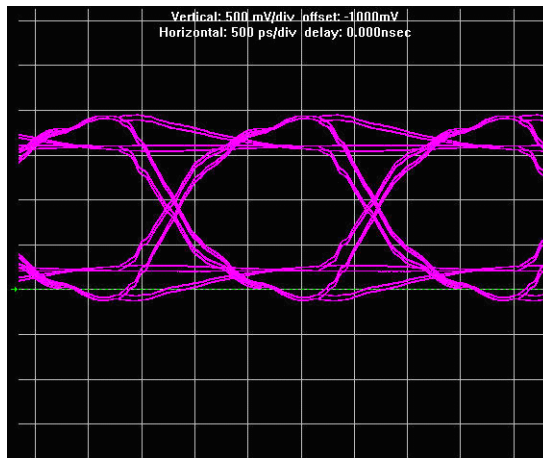


図 7 および 8 に、DDR2 SDRAM DIMM への書き込みのシミュレーションと測定結果を示します。このシステムは、ソース直列抵抗を DIMM で測定した、ドライブ強度設定が 16 mA の Class II 終端を使用しています。

図 7. FPGA によるメモリへの書き込み時の HyperLynx シミュレーション



シミュレーションは、アイ開口部が良好なクリーンな信号を示していますが、DDR2 SDRAMで規定される1.8 V信号のわずかなオーバーシュートとアンダシュートが存在します。オーバーシュートとアンダシュートは、ドライバに所要ドライブ強度以上の設定を使用した伝送線路のオーバドライブ、または伝送線路の特性インピーダンスより高い外部抵抗値を使用したレシーバ側での過剰終端に起因します。オーバーシュートとアンダシュートが、メモリ・ベンダのDDR2 SDRAM データシートに記載された絶対最大定格仕様を超えない限り、信頼性が損なわれることはありません。次に、シミュレーション結果と実際のボード・レベルでの測定結果の相関がとられます。図 8 に、Stratix II Memory Board 2 から取得した測定結果を示します。FPGA は 16 mA のドライブ強度を使用して、Class II 終端伝送線路上で DDR2 SDRAM DIMM をドライブします。

図 8. FPGA によるメモリへの書き込み時のボード測定

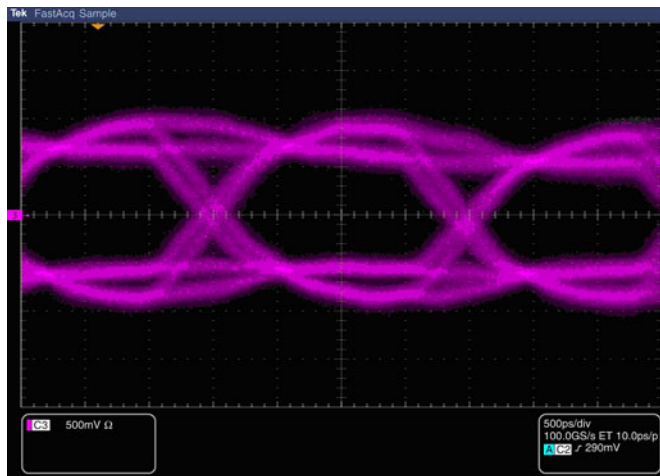


表 1 は、DDR2 SDRAM DIMM での信号のシミュレーションとボード測定の比較をまとめたものです。


表 1. FPGA によるメモリへの書き込み時の信号の比較 注 (1)				
	アイの幅 (ns) (2)	アイの高さ (V)	オーバーシュート (V)	アンダシュート (V)
シミュレーション	1.65	1.28	0.16	0.14
ボード測定	1.35	0.83	0.16	0.18

表 1 の注：

- (1) FPGA のドライブ強度は 16mA に設定されています。
- (2) アイの幅は $V_{REF} \pm 125mV$ から測定されます。ここで、 V_{IH} と V_{IL} は、SSTL-18 に対する JEDEC 規格に従って決定されます。

I/O 規格に応じて、メモリ・インタフェースを設計する際は、表 1 に記載されている 4 つのパラメータを考慮する必要があります。シミュレーションとボード測定結果は似ているように見えますが、主なパラメータを測定すると不一致があります。例えば、シミュレーションを詳細に調べると、50%–50% の理想的なデューティ・サイクルを示していますが、ボード測定でのデューティ・サイクルは理想的ではなく、53%–47% 前後なので、シミュレーションと測定したアイの幅が違います。さらに、ボード測定は 72 ビットのメモリ・インタフェース上で行われますが、シミュレーションはシングル I/O で実行されます。シミュレーションは I/O のデューティ・サイクル歪み、クロストーク、またはボードのパワー・プレーン劣化を完全にモデル化しているわけではありませんが、ボードの性能についての適正な目安となります。

メモリ・インタフェースでは、データを正しくキャプチャするための十分なウィンドウがあるかどうか判断するときにアイの幅が重要です。アイの高さについては、大半のメモリ・インタフェースが電圧基準の I/O 規格（この場合は、SSTL-18）を使用しますが、 V_{IL} および V_{IH} の上下に十分なアイ開口部がある限り、データを正しくキャプチャするのに十分なマージンがあるはずですが、クロストークなどの影響は考慮されていないため、最適なアイの高さが得られるようにシステムを設計することが重要です。アイの高さは、メモリ・インタフェースを備えたシステム全体のマージンに影響を及ぼします。オーバシュートとアンダシュートを決定するときは、メモリ・ベンダに問い合わせてください。信頼性の問題を回避するために、メモリ・ベンダは一般に入力電圧について最大制限を規定しています。図から分かるように、FPGA の 16 mA ドライブ強度設定では、オーバシュートとアンダシュートが発生します。ドライブ強度設定を低くすることにより、オーバシュートとアンダシュートが減少し、レシーバでの信号品質が向上します。

 ドライブ強度が信号品質に与える影響について詳しくは、25 ページの「ドライブ強度」を参照してください。

FPGA によるメモリからの読み出し

図 9 は、FPGA がメモリから読み出しているときの Class II 終端方法を示します。DDR2 SDRAM DIMM が伝送線路をドライブしているとき、FPGA 側の終端プルアップ抵抗が伝送線路とマッチングするため、リングングと反射が最小になります。

図 9. メモリ側に直列抵抗を使用した Class II 終端方法

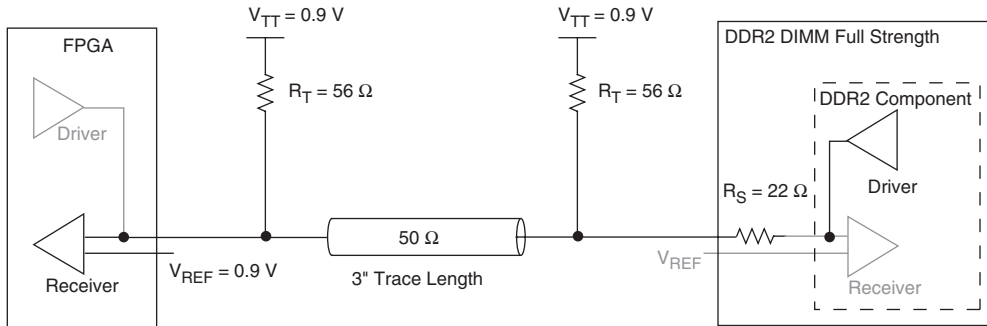


図 10 および 11 は、DDR2 SDRAM DIMM に最大ドライブ強度を設定した、FPGA 側での信号のシミュレーションと測定を示します。シミュレーションでは、ソース直列抵抗伝送線路による Class II 終端方法を使用しています。FPGA は DIMM に最大ドライブ強度を設定して、メモリから読み出しています。

図 10. FPGA によるメモリからの読み出し時の HyperLynx シミュレーション

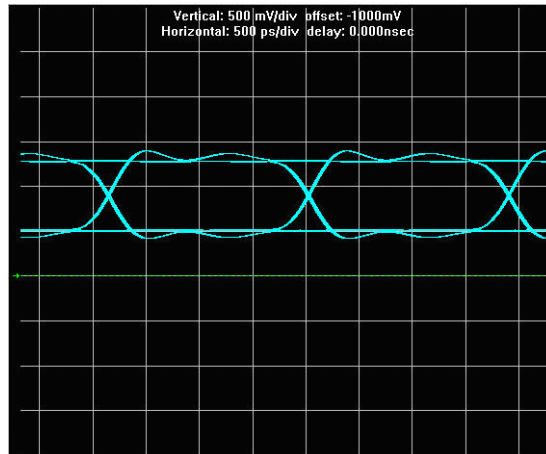


図 11. FPGA によるメモリからの読み出し時のボード測定

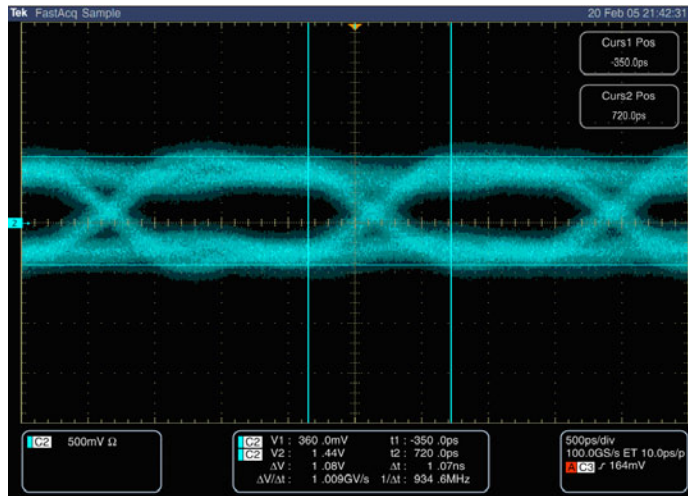


表 2 は、FPGA がメモリ（ドライバ）を読み出しているときに、FPGA から見た信号のシミュレーションとボード測定の比較をまとめたものです。

	アイの幅 (ns)	アイの高さ (V)	オーバershoot (V)	アンダershoot (V)
シミュレーション	1.73	0.76	N/A	N/A
ボード測定	1.28	0.43	N/A	N/A

表 2 の注：

(1) DDR2 SDRAM DIMM のドライブ強度は、最大強度に設定されています。

シミュレーションと測定の間方もオーバシュートやアンダシュートのないクリーンな信号と良好なアイ開口部を示しています。しかし、FPGA によるメモリからの読み出し時のアイの高さは、FPGA によるメモリへの書き込み時よりも小さくなります。アイの高さの縮小は、DIMM の直列抵抗での電圧低下によるものです。メモリのドライブ強度設定がすでに最大に設定されている場合は、メモリ・ドライブ強度を増やしてアイの高さを大きくすることはできません。1 つのオプションは、FPGA がメモリから読み出しているときに DIMM の直列抵抗をなくすることです (30 ページの「コンポーネント対 DIMM」参照)。また、メモリ付近にある外部並列抵抗をなくして、メモリ・ドライバの負荷を低減する方法もあります。DIMM コンフィギュレーションの場合には、後者のオプションがより良い選択です。なぜなら直列抵抗は DIMM の一部であり容易に取り除けません。一方、ODT 機能をオンにすることにより、FPGA がメモリに書き込んでいる時に ODT 機能を終端抵抗として使用し、FPGA がメモリを読み出しているときはオフにして並列終端抵抗をなくすることが簡単にできます。

Class II 終端方法の結果は、DDR2 SDRAM メモリ用のデータ・ストロープやデータなどの双方向信号に最適であることを示しています。レシーバの終端はドライバに戻る反射を除去し、レシーバでのリングングを抑制します。

外部並列抵抗を使用した Class I 終端

シングル並列 (Class I) 終端方法は、レシーバ側の近くに終端が配置されている場所での終端方法です。この終端方法は、一般に DDR2 SDRAM に対する単方向信号 (例えば、クロック、アドレス、コマンド信号) を終端するために使用されます。ただし、ボードが制約されている場合はこの形式の終端方法は、時々データ (DQ) 信号やデータ・ストロープ (DQS) 信号などの双方向信号に使用されます。双方向信号の場合、メモリ側または FPGA 側のいずれかに終端を配置できます。この項では、メモリ側の終端を使用した Class I 終端方法についてのみ説明します。メモリ側の終端では、信号がメモリのレシーバに達したときにインピーダンスがマッチングします。ただし、FPGA がメモリを読み出しているときには、FPGA 側には終端がないためインピーダンスのミスマッチが発生します。この項では、この終端方法の信号品質について説明します。

FPGA によるメモリへの書き込み

図 12 に示すように、FPGA がメモリに書き込んでいるときには、メモリ側で伝送線路が並列終端され、伝送線路に対してインピーダンスがマッチングするためレシーバ側の反射が最小になります。この終端方法の利点は、1 本の外部抵抗しか必要ないことです。あるいは、外部抵抗の代わりに ODT 抵抗を使用して、この終端方法を実装することもできます。

ODT 抵抗と外部終端抵抗の比較について詳しくは、15 ページの「ODT による Class I 終端」を参照してください。

図 12. メモリ側に直列抵抗を使用した Class II 終端方法

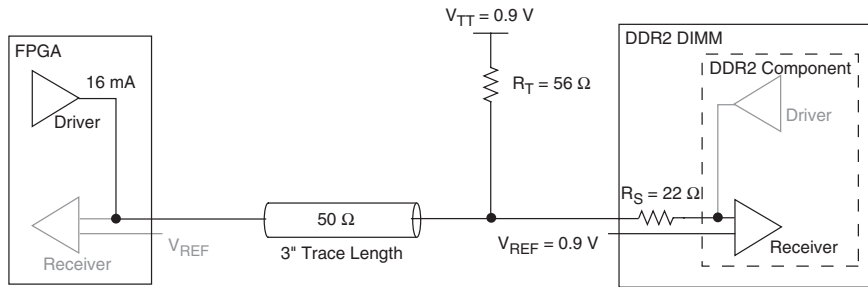


図 13 は、メモリ側に抵抗を使用した Class I 終端のメモリ (DDR2 SDRAM DIMM) での信号のシミュレーションと測定を示します。FPGA は 16 mA のドライブ強度設定でメモリに書き込んでいます。

図 13. FPGA がメモリに書き込んでいるときの HyperLynx シミュレーションとボード測定

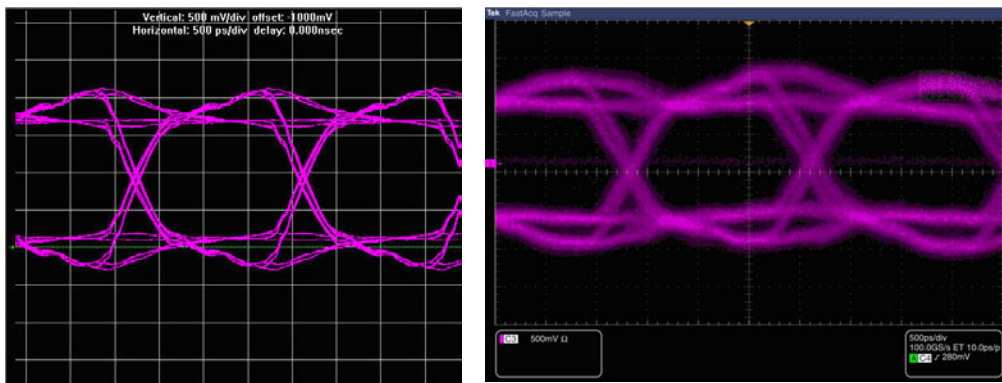



表 3 は、メモリ側に直列抵抗と外部抵抗を使用して、Class I および Class II 終端方法の DDR2 SDRAM DIMM での信号の比較をまとめたものです。FPGA（ドライバ）がメモリ（レシーバ）に書き込んでいます。

表 3. FPGA によるメモリへの書き込み時の信号の比較 注 (1)				
	アイの幅 (ns)	アイの高さ (V)	オーバシュート (V)	アンダシュート (V)
外部並列抵抗を使用した Class I 終端方法				
シミュレーション	1.69	1.51	0.34	0.29
ボード測定	1.25	1.08	0.41	0.34
外部並列抵抗を使用した Class II 終端方法				
シミュレーション	1.65	1.28	0.16	0.14
ボード測定	1.35	0.83	0.16	0.18

表 3 の注：

(1) FPGA のドライブ強度は 16 mA に設定されています。

表 3 を見ると、Class I 終端方法の全体的な信号品質は、Class I 終端方法ではアイの高さが約 30% 高い点を除いて、Class II 終端方法の信号品質と同程度です。アイの高さが大きくなるのはドライバの負荷が軽減されたためです。これは Class I 終端方法では FPGA 側に並列終端抵抗がないためです。ただし、アイの高さを大きくすると、以下のようなコストを伴います。Class I 終端方法では、Class II 終端方法を使用した場合と比べて、信号のオーバシュートとアンダシュートが 50% 増大します。オーバシュートとアンダシュートを低減するために、ドライバにかかる負荷の低下に合わせて FPGA のドライブ強度を減らすことができます。

 ドライブ強度が信号品質に与える影響については、25 ページの「ドライブ強度」を参照してください。

FPGA によるメモリからの読み出し

11 ページの「FPGA によるメモリへの書き込み」で説明したように、Class I 終端ではレシーバの近くに終端が配置されます。ただし、この終端方法を使用して双方向信号を終端させる場合、レシーバはドライバにもなります。例えば、DDR2 SDRAM では、データ信号はレシーバでありドライバです。図 14 は、メモリ側に抵抗を使用した Class I 終端方法を示します。FPGA がメモリを読み出しています。

図 14. メモリ側に直列抵抗を使用した Class I 終端方法

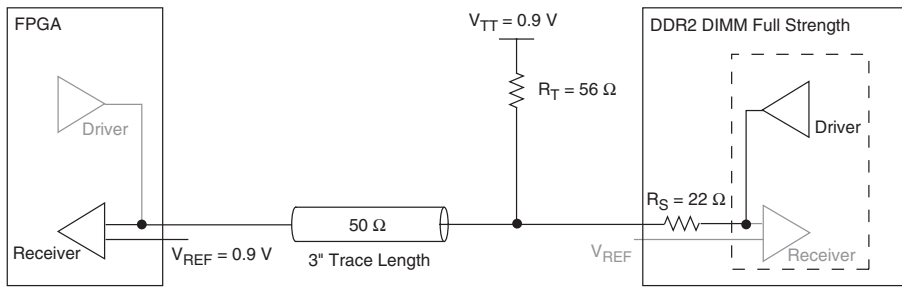


図 14 に示すとおり、FPGA がメモリを読み出すとき、FPGA では伝送線路は終端されず、インピーダンスのミスマッチとそれによるオーバシュートやアンダシュートが発生します。図 15 に、Class I 終端の FPGA 側（レシーバ）における信号のシミュレーションと測定を示します。FPGA は DDR2 SDRAM DIMM に最大ドライブ強度を設定して、メモリを読み出しています。

図 15. FPGA によるメモリからの読み出し時の HyperLynx シミュレーションとボード測定

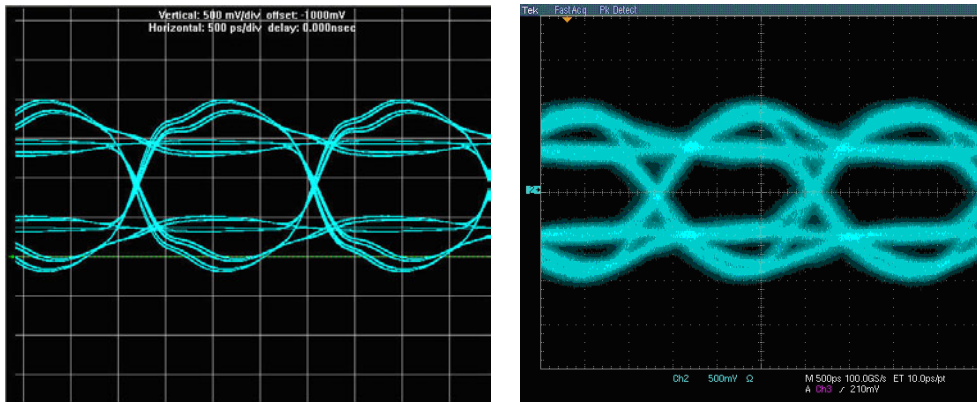


表 4 は、メモリ側に直列抵抗と外部抵抗を使用した Class I および Class II 終端方法での FPGA における信号の比較をまとめたものです。FPGA（レシーバ）がメモリ（ドライバ）を読み出しています。

表 4. FPGA によるメモリからの読み出し時の信号の比較 注 (1)				
	アイの幅 (ns)	アイの高さ (V)	オーバシュート (V)	アンダシュート (V)
外部並列抵抗を使用した Class I 終端方法				
シミュレーション	1.73	0.74	0.20	0.18
ボード測定	1.24	0.58	0.09	0.14
外部並列抵抗を使用した Class II 終端方法				
シミュレーション	1.73	0.76	N/A	N/A
ボード測定	1.28	0.43	N/A	N/A

表 4 の注：

(1) DDR2 SDRAM DIMM のドライブ強度は最大強度に設定されています。


FPGA が Class I 終端方法を使用してメモリを読み出すとき、アイの高さと幅の点で信号品質は Class II 終端方法と同程度です。表 4 に示すように、レシーバ (FPGA) に終端がない場合はインピーダンスのミスマッチが生じ、Class II 終端方法には見られない反射とリングングが発生します。したがって、アルテラではコマンド、アドレス信号など、FPGA とメモリ間の単方向信号には Class I 終端方法を推奨しています。

ODT による Class I 終端

現在、ODT は SDRAM、グラフィックス DRAM、および SRAM などのメモリの共通機能になりつつあります。ODT はボード終端コストを削減し、ボード配線を簡素化するのに役立ちます。ここでは、DDR2 SDRAM の ODT 機能と ODT 機能を使用したときの信号品質について説明します。

FPGA によるメモリへの書き込み

DDR2 SDRAM はビルトイン ODT を備えており、外部終端抵抗は不要です。メモリの ODT 機能を使用するには、メモリ初期化時にメモリをコンフィギュレーションして ODT 機能をオンにする必要があります。DDR2 SDRAM の場合、ODT 機能は拡張モード・レジスタをプログラムして設定します。DDR2 SDRAM の初期化時に拡張モード・レジスタをプログラムし、さらに DDR2 SDRAM の ODT 入力ピンを High にドライブして ODT をアクティブにする必要があります。

 DDR2 SDRAM での ODT 機能の設定と ODT ピンをドライブするためのタイミング要件について詳しくは、それぞれのメモリ・データシートを参照してください。

DDR2 SDRAM の ODT 機能は、ダイナミックに制御されます。すなわち、FPGA がメモリに書き込んでいる間にオンになり、FPGA がメモリを読み出しているときはオフになります。—DDR2 SDRAM の ODT 機能には、 $50\ \Omega$ 、 $75\ \Omega$ 、および $150\ \Omega$ の 3 つ設定があります。外部並列終端抵抗がなく ODT 機能がオンの場合、この終端方法は 11 ページの「外部並列抵抗を使用した Class I 終端」で説明した Class I 終端に類似したものになります。図 16 に、DDR2 SDRAM の ODT がオンになっているときの終端方法を示します。

図 16. ODT を使用した Class I 終端方法

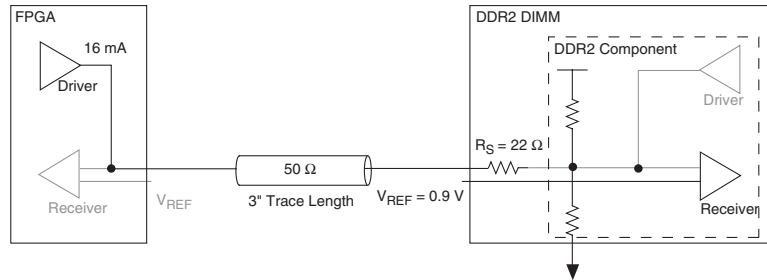


図 17 は、メモリ側の直列抵抗伝送線路で $50\ \Omega$ の ODT を使用した、メモリ（レシーバ）における信号のシミュレーションと測定を示します。FPGA は $16\ \text{mA}$ のドライブ強度設定でメモリに書き込んでいます。

図 17. FPGA によるメモリへの書き込み時のシミュレーションとボード測定

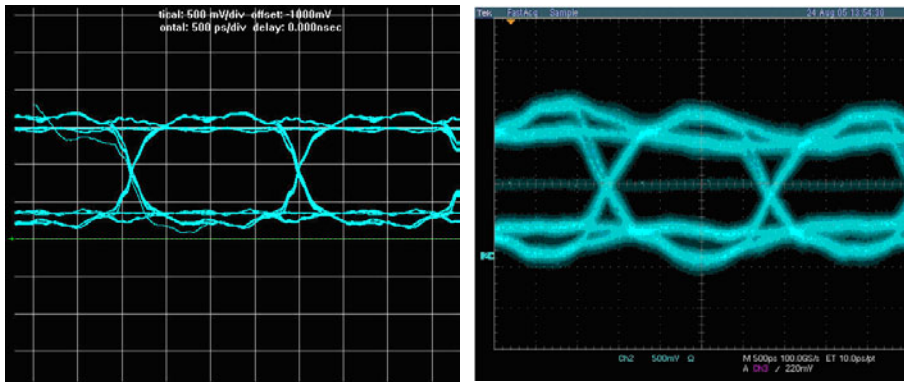


表 5 は、外部抵抗とメモリ側で直列抵抗および ODT を使用した Class I 終端方法の DDR2 SDRAM DIMM から見た信号の比較をまとめたものです。FPGA（ドライバ）がメモリ（レシーバ）に書き込んでいます。

表 5. FPGA からメモリへの書き込み時の信号の比較 注 (1)				
	アイの幅 (ns)	アイの高さ (V)	オーバershoot (V)	アンダershoot (V)
ODT を使用した Class I 終端方法				
シミュレーション	1.63	0.84	N/A	0.12
ボード測定	1.51	0.76	0.05	0.15
外部並列抵抗を使用した Class I 終端方法				
シミュレーション	1.69	1.51	0.34	0.29
ボード測定	1.25	1.08	0.41	0.34

表 5 の注：

(1) FPGA のドライブ強度は 16 mA に設定されています。

DDR2 SDRAM で ODT 機能がイネーブルされると、アイの幅が改善されます。アイの高さがいくらか劣化しますが、これは重要ではありません。ODT がイネーブルされているときに、信号品質が最も大きく改善されるのは、オーバershootとアンダershootの減少で、メモリ・デバイスでの潜在的な信頼性の問題を軽減するのに役立ちます。メモリ ODT の使用は外部抵抗も不要にするので、ボード・コストの低下、ボード配線の簡素化を実現でき、ボードの小型化が可能です。したがって、アルテラでは DDR2 SDRAM メモリの ODT 機能を使用することを推奨しています。

FPGA によるメモリからの読み出し

アルテラの FPGA デバイスには ODT はありません。FPGA によるメモリからの読み出し時に DDR2 SDRAM の ODT 機能がオフになる場合の終端方法は、21 ページの図 20 に示した非並列終端方法と似ています。

非並列終端

非並列終端方法は、HSTL I/O のための JESD8-6、SSTL-2 I/O のための JESD8-9b、および SSTL-18 I/O のための JESD8-15a といった JEDEC 規格で規定されています。このような直列のみの終端方法を頻繁に試みる設計者の意図は、多くの場合は V_{TT} 電源の必要性をなくすことです。

FPGA によるメモリへの書き込み

図 18 は、メモリをドライブしている FPGA の非並列終端伝送線路を示します。メモリ側 (DDR2 SDRAM DIMM) に終端がないので、FPGA が伝送線路をドライブしているとき、メモリ側の信号にインピーダンスのミスマッチによる信号劣化 (例えば、立ち上がり / 立ち下がり時間の劣化) が生じることがあります。様々な要因 (例えば、トレース長やドライブ強度) のために、レシーバ端で見られる劣化がシステム障害に至るほど大きくないこともあります。システムでの各終端方法の効果を理解するために、ボードを設計する前後にシステム・レベルのシミュレーションを実行する必要があります。

図 18. 非並列終端方法

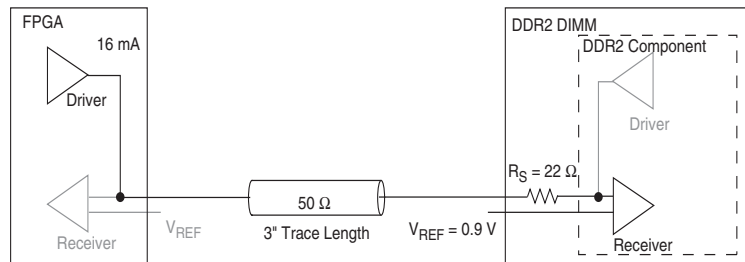
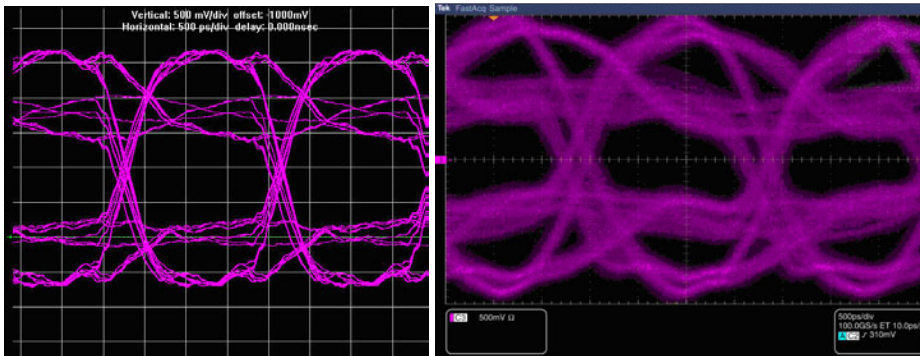


図 19 は、533 Mbps で伝送線路をドライブする 16 mA のドライブ強度オプションを使用した非並列終端方法での FPGA の HyperLynx シミュレーションと測定を示します。信号はメモリ側 (DDR2 SDRAM DIMM) から見たものです。

図 19. FPGA によるメモリへの書き込み時の HyperLynx シミュレーションとボード測定



シミュレートされ測定された信号から、十分なアイ開口部だけでなく DDR2 SDRAM で規定される 1.8 V 信号の大きなオーバーシュートおよびアンダシュートがあることが分かります。シミュレーションと測定から、オーバーシュートは 1.8 V よりも約 1 V 高く、アンダシュートはグラウンドよりも約 0.8 V 低くなっています。このオーバーシュートとアンダシュートは、メモリ・ベンダの DDR2 SDRAM データシートに記載されている絶対最大定格仕様を超えているので、信頼性の問題を引き起こす可能性があります。


表 6 は、FPGA による DDR2 SDRAM DIMM への書き込み時に、非並列および Class II 終端方法の DDR2 SDRAM DIMM での信号の比較をまとめます。

表 6. FPGA によるメモリへの書き込み時の信号の比較 注 (1)				
	アイの幅 (ns)	アイの高さ (V)	オーバシュート (V)	アンダシュート (V)
非並列終端方法				
シミュレーション	1.66	1.10	0.90	0.80
ボード測定	1.25	0.60	1.10	1.08
外部並列抵抗を用いた Class II 終端方法				
シミュレーション	1.65	1.28	0.16	0.14
ボード測定	1.35	0.83	0.16	0.18

表 6 の注：

(1) FPGA のドライブ強度は Class II の 16 mA に設定されています。

非並列終端方法での信号の形状はクリーンではありませんが、主要パラメータを見ると、アイの幅と高さは Class II 終端方法の場合と同程度です。非並列終端方法を使用する場合の主な欠点は、オーバシュートとアンダシュートです。レシーバに終端がないので、信号がレシーバに到達したときにインピーダンスのミスマッチが生じるため、リングングや反射が発生します。また、FPGA に 16 mA のドライブ強度を設定しても、伝送線路がオーバドライブされ、オーバシュートやアンダシュートが発生します。ドライブ強度の設定を下げると、オーバシュートとアンダシュートが小さくなり、レシーバでの信号品質が改善されます。

 ドライブ強度が信号品質に与える影響については、25 ページの「ドライブ強度」を参照してください。

FPGA によるメモリからの読み出し

非並列終端方法では、図 20 に示すように、メモリが伝送線路をドライブしているとき、抵抗 R_S はソース終端抵抗として機能します。DDR2 SDRAM ドライバには、次の 2 つのドライブ強度設定が用意されています。

- 出力インピーダンスが約 18 Ω の最大強度
- 出力インピーダンスが約 40 Ω の低強度

DDR2 SDRAM DIMM が伝送線をドライブしているとき、 $22\ \Omega$ のソース直列抵抗とドライバ・インピーダンスの組み合わせと伝送線の特性インピーダンスがマッチングしなければなりません。それによって、レシーバ (FPGA) での信号のオーバershootとアンダershootが減少します。

図 20. FPGA によるメモリからの読み出し時の非並列終端方法

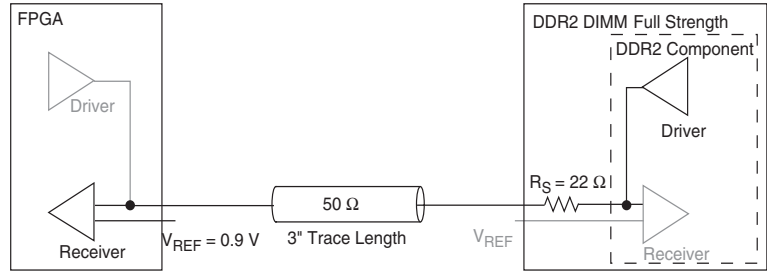


図 21 は、メモリがメモリ側に直列抵抗を持つ非並列終端の伝送線をドライブするときに、FPGA (レシーバ) での信号のシミュレーションと測定を示します。

図 21. FPGA によるメモリからの読み出し時の HyperLynx シミュレーションとボード測定

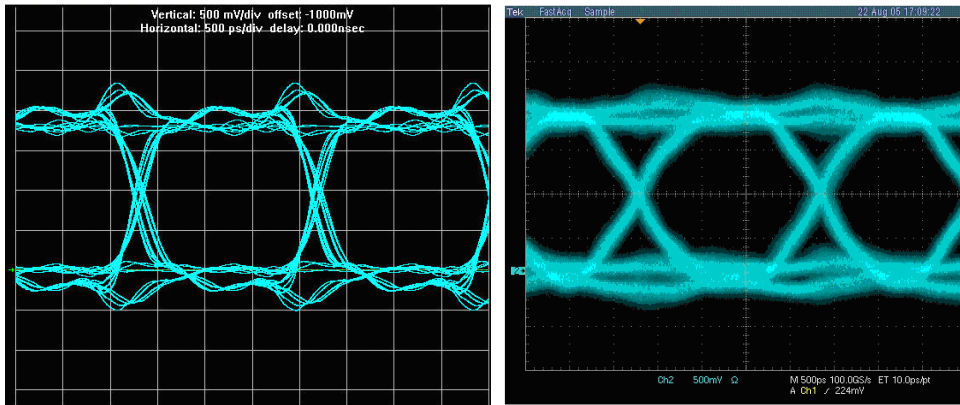


表 7 に、FPGA によるメモリからの読み出し時に非並列および Class II 終端方法の FPGA での信号の比較を要約します。

表 7. FPGA によるメモリからの読み出し時の信号の比較 注 (1)				
	アイの幅 (ns)	アイの高さ (V)	オーバシュート (V)	アンダシュート (V)
非並列終端方法				
シミュレーション	1.82	1.57	0.51	0.51
ボード測定	1.62	1.29	0.28	0.37
外部並列抵抗を用いた Class II 終端方法				
シミュレーション	1.73	0.76	N/A	N/A
ボード測定	1.28	0.43	N/A	N/A

表 7 の注 :

(1) DDR2 SDRAM DIMM のドライブ強度は最大強度に設定されています。

18 ページの「FPGA によるメモリへの書き込み」のように、非並列終端方法における信号のアイの幅と高さは、Class II 終端方法と同程度ですが、欠点はオーバシュートとアンダシュートです。伝送線路に終端がないためオーバシュートとアンダシュートが発生しますが、18 ページの「FPGA によるメモリへの書き込み」で説明したほど大きくありません。これはソース（メモリ側）に、ドライバに返される反射を減衰させ、FPGA 側での反射の影響をさらに軽減する直列抵抗が存在するためです。

図 22 に示すように、メモリ側の直列抵抗をなくすと、メモリ・ドライバのインピーダンスは伝送線路とマッチングなくなり、終端されていない FPGA 側から返される反射を減衰させる直列抵抗がドライバに存在しなくなります。

図 22. FPGA によるメモリからの読み出し時の非並列終端方法

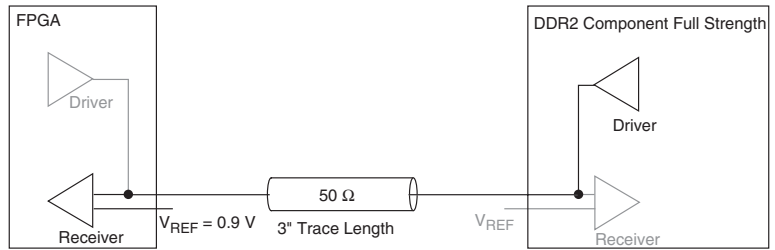


図 23 は、メモリに最大ドライブ強度を設定した非並列終端方法の FPGA における信号のシミュレーションと測定を示します。

図 23. FPGA によるメモリからの読み出し時の HyperLynx シミュレーションと測定

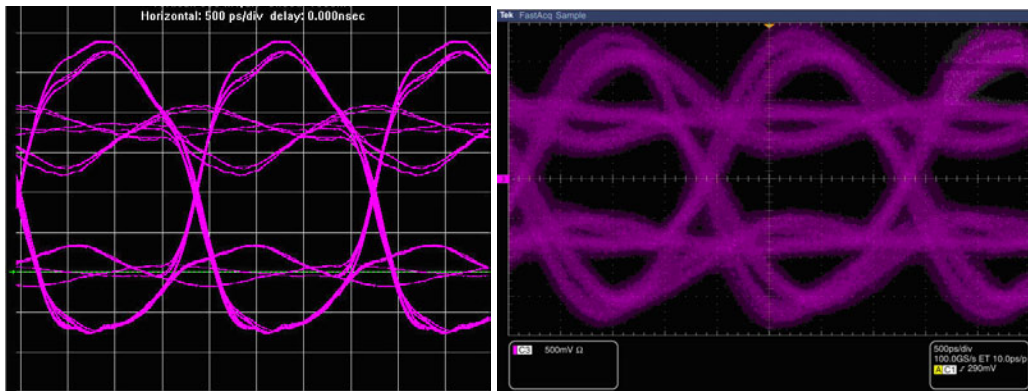


表 8 は、メモリ（ドライバ）から FPGA（レシーバ）への書き込み時に、メモリ側に直列抵抗がある場合とない場合の非並列終端の違いをまとめたものです。

表 8. メモリ側に直列抵抗がある場合とない場合の非並列終端 注 (1)				
	アイの幅 (ns)	アイの高さ (V)	オーバシュート (V)	アンダシュート (V)
直列抵抗なし				
シミュレーション	1.81	0.85	1.11	0.77
ボード測定	1.51	0.92	0.96	0.99
直列抵抗あり				
シミュレーション	1.82	1.57	0.51	0.51
ボード測定	1.62	1.29	0.28	0.37

表 8 の注：

(1) メモリのドライブ強度は最大強度に設定されています。

表 8 は、メモリ側に直列抵抗がない場合のオーバシュートとアンダシュートの顕著な増加とアイの高さの縮小を示しています。この結果は、18 ページの「FPGA によるメモリへの書き込み」で説明したものとほぼ同じです。このシミュレーションでは、直列抵抗はあってもソース (FPGA) 側になくレシーバ (メモリ) 側に置かれているので、ドライバのドライブ強度を低減し、かつ終端されていないレシーバ端から返される反射を抑制するという期待した効果はありません。レシーバ側に終端のないシステムでは、ドライバの直列抵抗はドライバのドライブ強度を低下させ、終端されていないレシーバ端から返される反射を減衰させるのに役立ちます。

要約

この項では、各種の終端方法を比較し、各方法の利点と欠点を考察してきました。DDR および DDR2 SDRAM の DQ 信号および DQS 信号のような双方向信号については、フライバイ・トポロジーを用いた Class II 終端方法がアルテラ・システムに最も適しています。DDR および DDR2 SDRAM のコマンド信号およびアドレス信号などの単方向の信号については、メモリ側でのフライバイ・トポロジーを用いた Class I 終端方法で最良の結果が得られます。ただし、ボードのスペースやコストに制約がありオンボード終端抵抗を実装できない場合は、コントローラが伝送線路をドライブしているときに、DDR2 SDRAM メモリの ODT 機能を使用して、メモリ側で Class II 終端を行うことができます。

ドライブ強度

アルテラの FPGA 製品は、多数のドライブ強度設定を提供しており、ボード・デザインを最適化して最良の信号品質を達成します。ここでは、Class IおよびClass IIの終端方法に対して JEDEC が推奨する、一般的な 8 mA および 16 mA のドライブ強度設定について説明します。ただし、ボード・デザインでこれらのドライブ強度のみ使用されるよう制約されるわけではありません。最適なシグナル・インテグリティを達成するために、アルテラおよびメモリ・ベンダが提供する I/O モデルを使用してシミュレーションを実行し、適切なドライブ強度設定が使用されていることを確認する必要があります。

十分な強度とはどの程度の強度ですか？

7 ページの図 8 は、FPGA が 16 mA のドライブ強度を使用して DDR2 SDRAM DIMM に書き込んでいるとき、遠端が直列終端された伝送線の DDR2 SDRAM DIMM (レシーバ) でプローブした信号を示します。結果としてレシーバで得られた信号品質は、過剰なオーバシュートおよびアンダシュートを示しています。FPGA のドライブ強度設定を 16 mA から 8 mA に下げてオーバシュートやアンダシュートを低減することができます。図 24 は、8 mA のドライブ強度設定を用いて非並列に終端された伝送線をドライブする FPGA のシミュレーションと測定を示します。

図 24. FPGA によるメモリへの書き込み時の HyperLynx シミュレーションと測定

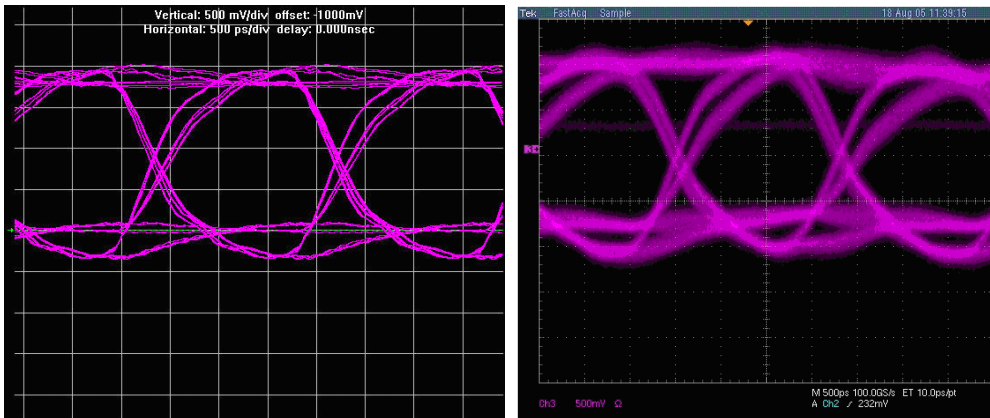


表 9 は、FPGA が 8 mA および 16 mA のドライブ強度設定を用いてメモリをドライブしているときの、非並列に終端されメモリ側に直列抵抗を備えたDDR2 SDRAM DIMM における信号を比較したものです。

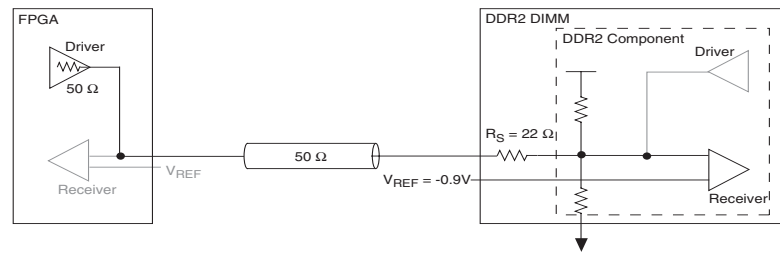
表 9. 8 mA および 16 mA のドライブ強度設定に対するシミュレーションとボード測定結果				
	アイの幅 (ns)	アイの高さ (V)	オーバershoot (V)	アンダershoot (V)
8 mA のドライブ強度設定				
シミュレーション	1.48	1.71	0.24	0.35
ボード測定	1.10	1.24	0.24	0.50
16 mA のドライブ強度設定				
シミュレーション	1.66	1.10	0.90	0.80
ボード測定	1.25	0.60	1.10	1.08

ドライブ強度設定が低い方が、全体的な信号品質が向上しています。ドライブ強度を低くした場合、アイの幅は狭くなりますがアイの高さはかなり高くなり、オーバershootとアンダershootが大幅に減少します。

On-Chip Termination

アルテラの Stratix II FPGA では、信号品質をさらに向上させるために、チップ上に OCT が組み込まれています。Stratix II デバイスの OCT 機能は、25 Ω および 50 Ω の設定で提供されます。例えば、ODT とメモリ側の直列抵抗を使用する Class I 終端方法で 50 Ω の OCT 機能を使用する場合、出力ドライバは 50 Ω にチューニングされ、伝送線路の特性インピーダンスがマッチングします。図 25 は、FPGA の 50 Ω の OCT がオンになっているときに ODT を使用する Class I 終端方法を示します。

図 25. ODT と 50 Ω の OCT を持つ ODT を使用した Class I 終端



得られた信号品質は、8 mA のドライブ強度設定でのアイ開口部に類似しており、オーバーシュートやアンダシュートはありません。図 26 は、FPGA 内に 50 Ω の OCT を使用した場合のメモリ側 (DDR2 SDRAM DIMM) での信号のシミュレーションと測定を示します。

図 26. FPGA によるメモリへの書き込み時の HyperLynx シミュレーションと測定

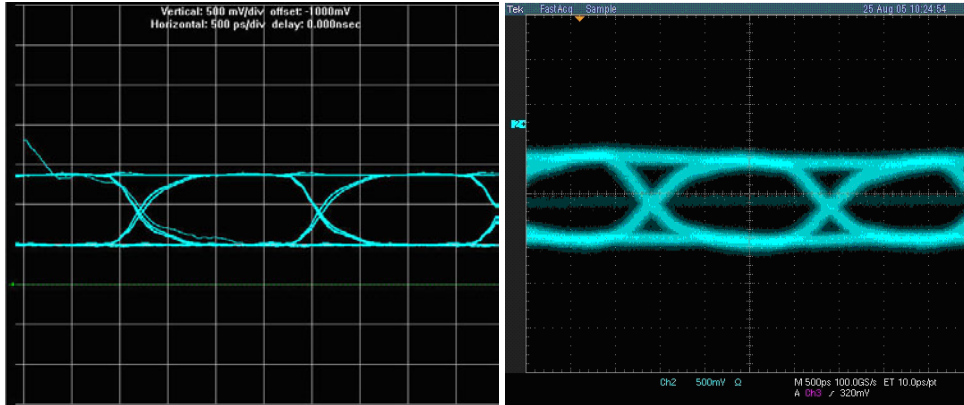


表 10 は、ODT とメモリ側の直列抵抗を使用した Class I 終端方法の DDR2 SDRAM DIMM における信号の比較を示します。FPGA は、50 Ω の OCT を持ち 8 mA のドライブ強度設定でメモリに書き込んでいます。

表 10. 50 Ω の OCT と 8 mA のドライブ強度設定に対するシミュレーションとボード測定結果				
	アイの幅 (ns)	アイの高さ (V)	オーバーシュート (V)	アンダシュート (V)
50 Ω の OCT のドライブ強度設定				
シミュレーション	1.68	0.82	N/A	N/A
ボード測定	1.30	0.70	N/A	N/A
8 mA のドライブ強度設定				
シミュレーション	1.63	0.84	N/A	0.12
ボード測定	1.51	0.76	0.05	0.15

FPGA に 50 Ω の OCT 設定を使用すると、ODT とメモリ側の直列抵抗を使用する Class I 終端の信号品質がさらに向上し、オーバーシュートとアンダシュートが減少します。

50 Ω の OCT のドライブ強度設定に加え、Stratix II デバイスには 25 Ω の OCT 設定もあり、これを使用して Class II 終端の伝送線路での信号品質を向上させることができます。図 27 は、FPGA の 25 Ω の OCT がオンのときに ODT を使用する Class II 終端方法を示します。

図 27. ODT と 25 Ω の OCT を使用する Class II 終端

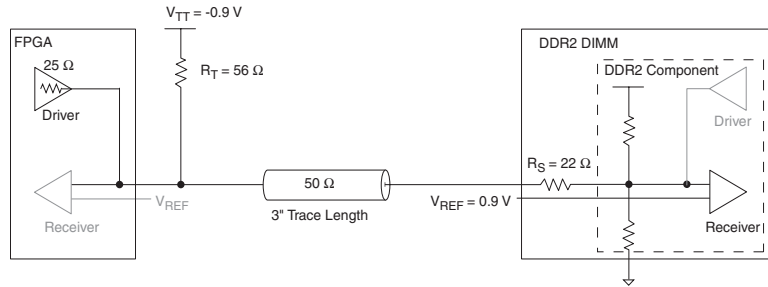


図 28 は、FPGA 内での 25 Ω の OCT のドライブ強度を設定した DDR2 SDRAM DIMM での信号のシミュレーションと測定を示します。

図 28. FPGA によるメモリへの書き込み時の HyperLynx シミュレーションと測定

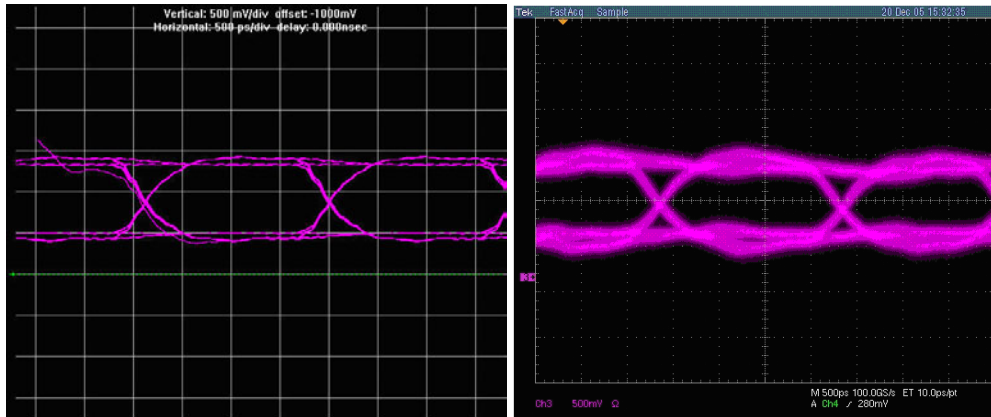


表 11は、メモリ側に直列抵抗を使用したClass II終端方法のDDR2 SDRAM DIMMでの信号の比較を示します。FPGA は、25 Ω の OCT および 16 mA のドライブ強度設定でメモリに書き込んでいます。

表 11. 25 Ω の OCT および 16 mA のドライブ強度設定に対するシミュレーションとボード測定結果				
	アイの幅 (ns)	アイの高さ (V)	オーバシュート (V)	アンダシュート (V)
25 Ω の OCT のドライブ強度設定				
シミュレーション	1.70	0.81	N/A	N/A
ボード測定	1.47	0.51	N/A	N/A
16 mA のドライブ強度設定				
シミュレーション	1.73	0.94	N/A	N/A
ボード測定	1.33	0.50	N/A	N/A

表 11 は、16 mA と 25 Ω の OCT を使用してオーバシュートやアンダシュートの無い同程度の結果が得られることを示しています。ただし、25 Ω の OCT の方が 16 mA のドライブ強度設定よりも、若干良好なアイの幅と高さを得ることができます。

要約

この項では、ドライブ強度がレシーバでの信号品質に与える影響を比較してきました。上述のように、ドライブ強度設定は終端方法に大きく依存するため、レイアウト前および後にボードレベル・シミュレーションを実行して適切なドライブ強度を決定することが不可欠です。ただし、Class I および Class II の終端方法に対しては、それぞれ 50 Ω の OCT および 25 Ω の OCT ドライブ強度設定で最適な信号品質が得られることが実証されています。これは、ドライバ出力インピーダンスが、ドライバ側から見える伝送線路の特性インピーダンスにマッチングしているためです。また、アルテラの FPGA デバイス内で OCT 機能を使用すると外部直列抵抗が不要になり、ボード・デザインが簡素化されます。最後に、FPGA の OCT と SDRAM の ODT 機能を併用すると、オーバシュートやアンダシュートの無い最良の信号品質が得られます。

システムの負荷

本書では、これまで DDR2 SDRAM DIMM を中心に説明してきましたが、メモリは個別コンポーネントや複数の DIMM などの多様な形態で使用でき、その結果 FPGA に様々な負荷がかかります。この項では、コンポーネント、デュアル・ランク DIMM、およびデュアル DIMM の形式でメモリにインタフェースするときの信号品質への影響について説明します。

コンポーネント対 DIMM

DDR2 SDRAM をコンポーネント形態で使用するときには、DDR2 SDRAM DIMM コネクタから追加負荷が除去され、DDR2 SDRAM DIMM 上のメモリ側の直列抵抗はそこにはありません。DDR2 SDRAM 付近にメモリ側の直列抵抗が必要かどうか判断しなければなりません。

FPGA によるメモリへの書き込み

図 29 は、FPGA がコンポーネント形態で使用されているメモリに書き込んでいるとき、メモリ側に直列抵抗のない Class II 終端方法を示します。

図 29. メモリ側に直列抵抗のない Class II 終端方法

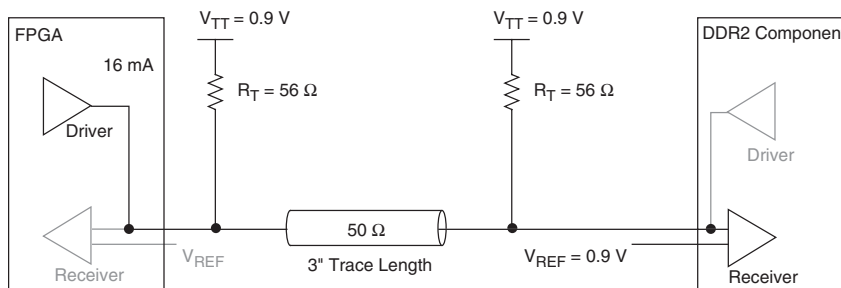


図 30 に DIMM コネクタとメモリ側に直列抵抗のない Class II 終端方法の DDR2 SDRAM コンポーネントでのシミュレーションと測定結果を示します。FPGA は 16 mA のドライブ強度設定でメモリに書き込みます。

図 30. FPGA によるメモリへの書き込み時の HyperLynx シミュレーションおよび測定

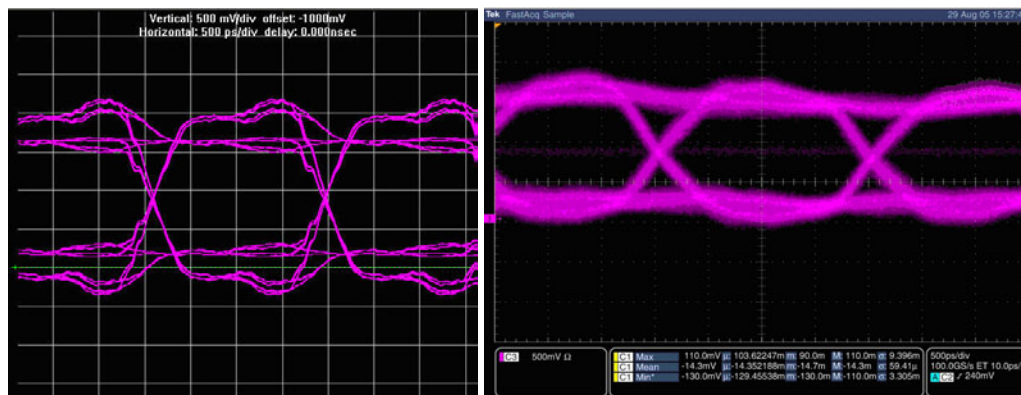


表 12 は、FPGA がメモリに書き込んでいるときに、Class II 終端方法でのシングル・ランク DDR2 SDRAM DIMM およびシングル DDR2 SDRAM コンポーネント用の信号を比較したものです。

表 12. シングル・ランク DDR2 SDRAM DIMM およびシングル DDR2 SDRAM コンポーネントのシミュレーションとボード測定結果 注 (1)						
	アイの幅 (ns)	アイの高さ (V)	オーバershoot (V)	アンダershoot (V)	立ち上がりエッジ・レート (V/ns)	立ち下がりエッジ・レート (V/ns)
シングル DDR2 SDRAM コンポーネント						
シミュレーション	1.79	1.15	0.39	0.33	3.90	3.43
測定	1.43	0.96	0.10	0.13	1.43	1.43
シングル・ランク DDR2 SDRAM DIMM						
シミュレーション	1.65	0.86	N/A	N/A	1.71	1.95
測定	1.36	0.41	N/A	N/A	1.56	1.56

表 12 の注 :

(1) FPGA のドライブ強度は Class II の 16 mA に設定されます。

全体的な信号品質は、シングル・ランク DDR2 SDRAM DIMM とシングル DDR2 SDRAM コンポーネントでは同程度ですが、DIMM コネクタとメモリ側に直列抵抗がないため、アイの高さが 50% 以上改善されました。

FPGA によるメモリからの読み出し

図 31 は、FPGA がメモリを読み出しているときに、メモリ側に直列抵抗のない Class II 終端方法を示します。メモリ側に直列抵抗がない場合、メモリ・ドライバは Class II 終端をドライブするための負荷が少なくなります。この結果を 20 ページの「FPGA によるメモリからの読み出し」に記載した DIMM にメモリ側の直列抵抗がある DDR2 SDRAM DIMM と比較します。

図 31. メモリ側に直列抵抗がない Class II 終端方法

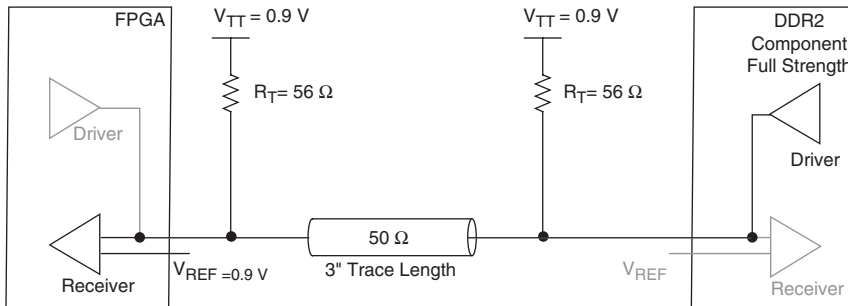


図 32 に、FPGA から見た信号のシミュレーションと測定結果を示します。FPGA は、Class II で終端された伝送線路上の DDR2 SDRAM コンポーネント付近にソース直列抵抗のないメモリから読み出します。FPGA は、最大ドライブ強度設定のメモリから読み出しています。

図 32. FPGA による DDR2 SDRAM コンポーネントからの読み出し時の HyperLynx シミュレーションおよび測定

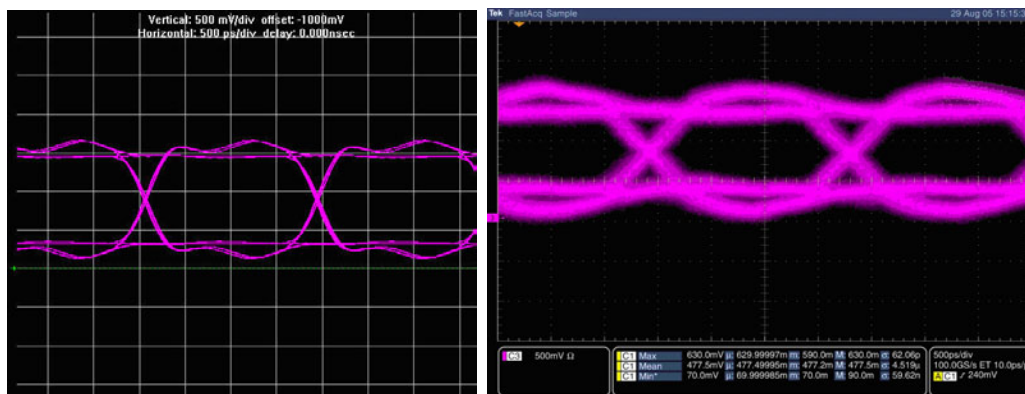


表 13 は、Class II 終端方法のシングル・ランク DDR2 SDRAM DIMM およびシングル DDR2 SDRAM コンポーネントでの信号を比較したものです。FPGA は、最大ドライブ強度設定のメモリから読み出しています。

表 13. シングル・ランク DDR2 SDRAM DIMM および DDR2 SDRAM コンポーネントのシミュレーションとボード測定結果						
	アイの幅 (ns)	アイの高さ (V)	オーバershoot (V)	アンダershoot (V)	立ち上がり エッジ・レート (V/ns)	立ち下がり エッジ・レート (V/ns)
シングル DDR2 SDRAM コンポーネント						
シミュレーション	1.79	1.06	N/A	N/A	2.48	3.03
測定	1.36	0.63	0.13	0.00	1.79	1.14
シングル・ランク DDR2 SDRAM DIMM						
シミュレーション	1.73	0.76	N/A	N/A	1.71	1.95
測定	1.28	0.43	N/A	N/A	0.93	0.86

アイの高さが大きくなっているため、これによっても DIMM コネクタとメモリ側の直列抵抗をなくす効果が明らかです。

シングル・ランク対デュアル・ランク DIMM

DDR2 SDRAM DIMM は、シングルまたはデュアル・ランク DIMM があります。シングル・ランク DIMM は、DIMM の片面に DDR2 SDRAM メモリ・コンポーネントを搭載した DIMM です。より集積度の高い DIMM はデュアル・ランクとして提供されており、DIMM の両面に DDR2 SDRAM メモリ・コンポーネントを搭載しています。デュアル・ランク DIMM コンフィギュレーションでは、負荷はシングル・ランク DIMM の 2 倍です。ボード・デザインによりこの負荷の増加を考慮して、メモリ・コントローラのドライブ強度設定を調整する必要があります。図 33 は、デュアル・ランク DDR2 SDRAM DIMM での信号のシミュレーション結果を示します。シミュレーションでは、メモリ側に直列抵抗を持つ伝送線路の Class II 終端を使用しています。FPGA は 16 mA のドライブ強度設定を使用しています。

図 33. FPGA に 16 mA のドライブ強度設定を行った HyperLynx シミュレーション

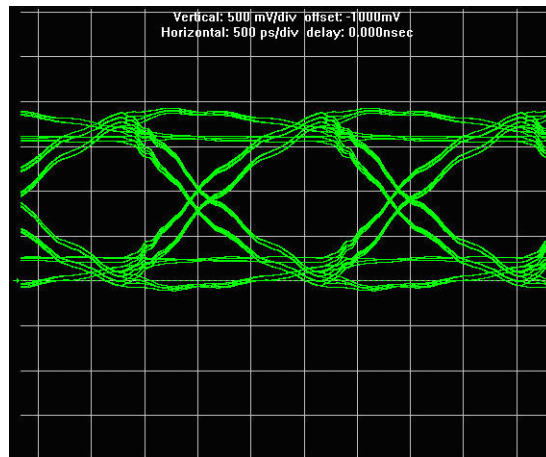


表 14 は、FPGA が 16 mA のドライブ強度設定でメモリに書き込んでいるときの Class II および遠端ソース直列終端のシングル・ランクおよびデュアル・ランク DDR2 SDRAM DIMM での信号を比較しています。

表 14. シングル&デュアル・ランク DDR2 SDRAM DIMM のシミュレーション結果 注 (1)						
	アイの幅 (ns)	アイの高さ (V)	オーバシュート (V)	アンダシュート (V)	立ち上がり エッジ・レート (V/ns)	立ち下がり エッジ・レート (V/ns)
デュアル・ランク DDR2 SDRAM DIMM						
シミュレーション	1.34	1.27	0.12	0.12	0.19	0.94
シングル・ランク DDR2 SDRAM DIMM						
シミュレーション	1.65	1.27	0.10	0.10	1.71	1.95

表 14 の注：

(1) FPGA のドライブ強度は Class II の 16 mA に設定されます。

デュアル・ランク DDR2 SDRAM DIMM では、負荷が追加されることによりエッジ・レートが低速になり、アイの幅が影響を受けます。また、低速エッジは、インタフェースのタイミング解析時に考慮すべきメモリに必要なセットアップ・タイムおよびホールド・タイムの低下をもたらします。全体的な信号品質は同程度ですが、アイの幅はデュアル・ランク DIMM では狭くなります。メモリ・インタフェースのタイミング解析を実行するときには、アイの幅が狭くなるとデータ・キャプチャ・ウィンドウが小さくなるので、この点を考慮する必要があります。

単一 DIMM 対複数 DIMM

パケット・バッファリングなどのアプリケーションでは、深いメモリが必要であり、単一 DIMM インタフェースでは不十分です。複数の DIMM コンフィギュレーションを使用して、メモリの深さを増やしたい場合は、単一 DIMM コンフィギュレーションでのポイント・ツー・ポイント・インタフェースの代わりに、複数のデータ・ストロープおよびデータ・ラインにインタフェースする必要があります。これによって、インタフェースの負荷が重くなり、潜在的にメモリ・インタフェースの総合性能に影響を及ぼす可能性があります。



複数の DIMM DDR2 SDRAM メモリ・インタフェースについて詳しくは、「AN 444: Dual DIMM DDR2 SDRAM Memory Interface Design Guidelines」を参照してください。

要約

この項では、各種の負荷とシステムへの影響を比較しました。負荷が大きいくほど、アイの幅が狭くなり、データ・キャプチャ・ウィンドウが縮小します。これはメモリ・インタフェースのタイミング解析を実行するときには考慮する必要があります。

まとめ

このアプリケーション・ノートでは、DDR2 メモリ・インタフェース用に一般に使用されている終端方法、ドライブ強度設定、および標準負荷を比較しました。シミュレーションおよび実験結果から、最高の信号品質を達成するための最適なデザイン・ガイドラインに関する結論を導き出すことができます。

終端方法の場合、アルテラは信号がレシーバに到達したときにインピーダンスがマッチングするようにレシーバ側に終端を配置することを推奨しています。したがって、データ (DQ) またはデータ・ストロブ (DQS) などの双方向信号の場合、推奨される終端方法は Class II 終端です。FPGA およびメモリ側に外部並列抵抗を使用するか、または DDR2 SDRAM ODT と FPGA 側の外部並列抵抗の組み合わせによって、Class II 終端を実装することができます。コマンドやアドレスなどの単方向信号の場合、推奨される終端方法は、終端がメモリ側に配置される Class I 終端です。

FPGA のドライブ強度設定の選択は、終端方法によって異なり Class I または Class II になりますが、シミュレーション結果は、ドライブ強度を出力ドライバの負荷と一致するように設定しなければならないことを示しています。Class II 終端の場合、アルテラは 25 Ω の OCT ドライブ強度設定を使用することを推奨しています。出力ドライバのインピーダンスは、出力ドライバがドライブするラインのインピーダンスと等しいので最良の結果が得られます。Class I 終端方式の場合、アルテラは 50 Ω の OCT ドライブ強度設定を推奨しています。

最後に、このアプリケーション・ノートでは、コンポーネント対 DIMM など、異なるメモリ負荷が信号品質に与える影響を説明しました。34 ページの「[シングル・ランク対デュアル・ランク DIMM](#)」に示す結果から、メモリのために負荷が重くなるほど、信号のエッジ・レートが低下し、レシーバでのアイの幅が縮小します。FPGA へのより高いドライブ強度設定を使用してエッジ・レートを高くすることができますが、結果として出力ドライバの出力インピーダンスが減少し、インピーダンスのミスマッチをきたします。

上記の推奨事項は、Stratix II Memory Board 2 のシミュレーションと実験結果に基づいているが、任意のボード・デザインに対する最良の終端方法、ドライブ強度設定、および負荷を決定するときには同じ一般原則が適用できます。この理論を理解できたとしても、IBIS または HSPICE モデルを使用して何らかの形でシミュレーションを実行し、ユーザ・デザインのシグナル・インテグリティを決定することが重要です。

参考文献

“High-Speed Digital Design - A Handbook of Black Magic,” Howard Johnson and Martin Graham, Prentice Hall, 1993.

“Circuits Interconnects, and Packaging for VLSI,” H.B. Bakoglu, Addison Wesley, 1990.

“Signal Integrity - Simplified,” Eric Bogatin, Prentice Hall Modern Semiconductor Design Series, 2004.

“Handbook of Digital Techniques for High-Speed Design,” Tom Granberg, Prentice Hall Modern Semiconductor Design Series, 2004.

“DDR2 Design Guide for Two-DIMM Systems,” Micron Technical Note, TN-47-01, 2004.

“Termination Placement in PCB Design How Much Does it Matter?,” Doug Brooks, UltraCAD Design Inc.

“Stratix II Memory Board 2 Rev A User Guide 1.0,” Altera’s High-Speed/End Applications Team, 2004.

“Stratix II Memory Board 2 Layout Guidelines Rev 0.4,” Altera’s High-Speed/End Applications Team, 2004.

“Stratix to DDR-I Memory Devices Interface Analysis,” Altera’s High-Speed/End Applications Team, 2004.

“Multiconductor Transmission Line Analysis for Board-Level Digital Design,” Emmanuel A. Maitre, Master Thesis, Santa Clara University, 1994.

JEDEC Standard Publication JESD79C, DDR SDRAM Specification, JEDEC Solid State Technology Association.

JEDEC Standard Publication JESD79-2, DDR2 SDRAM Specification, JEDEC Solid State Technology Association.

JEDEC Standard Publication JESD8-9B, Stub Series Termination Logic for 2.5 V (SSTL-2), JEDEC Solid State Technology Association.

JEDEC Standard Publication JESD8-15A, Stub Series Termination Logic for 1.8 V (SSTL-18), JEDEC Solid State Technology Association.

PC4300 DDR2 SDRAM Unbuffered DIMM Design Specification, Revision 0.5, Oct 30, 2003.

改訂履歴

表 15 に、本資料の改訂履歴を示します。

表 15. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 2 月 v1.2	<ul style="list-style-type: none">● 3 ページ、4 ページ、および 35 ページをマイナー・アップデート● 図 6、図 9、図 12、図 14、図 16、図 18、図 20、図 22、図 25、図 27、および図 29 をマイナー・アップデート● 表 14 の最初のシミュレーションの行をマイナー・アップデート	テキストの変更、図のレイアウトの変更、表のデータの修正、およびパラグラフのリライト。
2006 年 12 月 v1.1	<ul style="list-style-type: none">● はじめにの項を更新● 単一 DIMM 対複数 DIMM の項の表 15 および図 34 を削除● 単一 DIMM 対複数 DIMM の項の内容を更新	テキストの変更、表と図の削除。
2007 年 1 月 v1.0	初版	



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
literature@altera.com

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

