

はじめに

SMPTE (Society of Motion Picture and Television Engineers) は、ビデオ制作施設における機器間のインタコネクトとして、ビデオ・システム設計者に広く使用されているシリアル・デジタル・インタフェース (SDI) を定義しています。

アルテラの Cyclone™ および Stratix® デバイス向け SDI リファレンス・デザインは、SMPTE259M-1997 10-Bit 4:2:2 コンポーネント・シリアル・デジタル・インタフェースで定義されるとおり、270 Mbps の SDI を提供します。

このアプリケーション・ノートでは、以下のトピックについて説明します。

- リファレンス・デザイン・エレメント
- リファレンス・デザインのシミュレーション方法 (ModelSim-Altera シミュレータを使用)
- リファレンス・デザインのコンパイル方法 (Quartus® II 開発ソフトウェアを使用)
- Cyclone ビデオ・デモンストレーション・ボードおよび Stratix GX ビデオ・デモンストレーション・ボードでの SDI のデモンストレーション方法



Cyclone のビデオ・デモンストレーション・ボードについて詳しくは、「Cyclone Video Demonstration Board Data Sheet」を参照してください。



Stratix GX のビデオ・デモンストレーション・ボードについて詳しくは、「Stratix GX Video Demonstration Board Data Sheet」を参照してください。

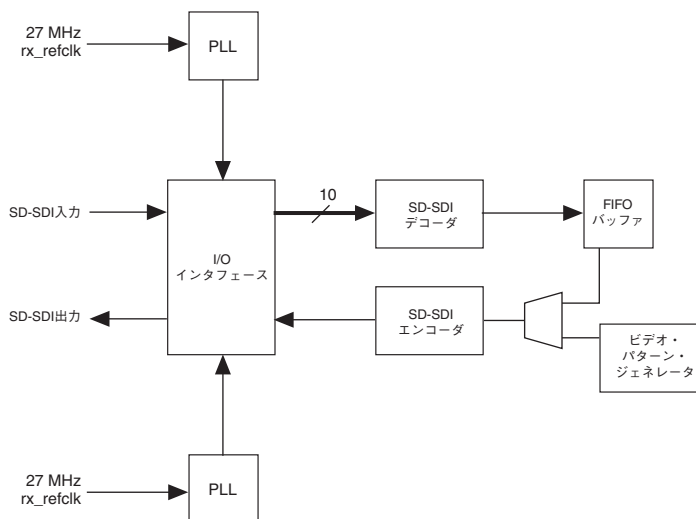
アルテラは、リファレンス・デザインを Verilog HDL ソース・コードとして提供しています。リファレンス・デザインにはテスト・ベンチが含まれており、Verilog HDL ソース・コードをテストできます。

これらのリファレンス・デザインの目的は、ビデオ・システム設計者に Cyclone または Stratix デバイスを使用した SDI の実装方法を提示することです。

機能の説明

図 1 にブロック図を示します。

図 1. ブロック図



リファレンス・デザインは、以下のエレメントで構成されています。

- レシーバおよびトランスミッタ用StratixまたはCyclone低電圧差動シグナリング (LVDS) 入力および出力 (I/O)
- I/O インタフェース
- デコーダ
- エンコーダ
- ビデオ・パターン・ジェネレータ
- 周波数通倍用の2個のPLL(1個はトランスミッタ用、もう1個はレシーバ用)

2つのリファレンス・クロックを互いに非同期にするか、または2個のPLLを同じクロック・ソースからドライブすることができます。このデザインでは2個のPLLを使用しています。最初のPLLは、レシーバに必要な以下のクロックを生成します。

- 5× オーバサンプル方式の場合、90° 位相シフトした 337.5 MHz クロック (27 MHz × 50/4) および 337.5 MHz クロック
- 3× オーバサンプル方式の場合、90° 位相シフトした 207.5 MHz クロック (27 MHz × 30/4) および 207.5 MHz クロック

2番目のPLLは、270 MHzでトランスミッタ・シリアル・クロックを生成します。

Cyclone デバイスや Stratix デバイスには専用 SERDES ポートがないので、シリアル・トランスミッタおよびレシーバ・インタフェースには汎用 LVDS I/O が使用されます。シリアライズ、デシリアライズ、およびデータ・リカバリは、すべて FPGA のロジック・エレメントを使用して行われます。

「パターン」モードを設定している場合、送信バスと受信バスは独立しているため、デザインは同時に送受信することができます。「ループバック」モードを設定している場合、送信バスはレート・マッチング FIFO (First-In First-Out) バッファを介して受信バスに結合されます。

ループバック・モードでは、送信側の基準クロックは、ハウス同期にゲンロックされた外部ソース、または復元データの有効フラグの「クリーンアップ」バージョンから供給しなければなりません。送信クロックを着信データに周波数ロックし、FIFO バッファのアンダーフローまたはオーバーフローを回避する必要があります。

このセクションでは、以下のリファレンス・デザイン・エレメントについて説明します。

- I/O インタフェース・ロジック
- エンコーダ
- デコーダ
- ビデオ・パターン・ジェネレータ

I/O インタフェース・ロジック

I/O インタフェース・ロジックは、以下の機能で構成されます。

- デシリアライザ
- 周波数分周器
- オーバサンプリング・インタフェース

デシリアライザおよびオーバサンプル・インタフェースは、オーバサンプリング方式の一部で、自己クロック・シリアル・データ・ストリームからデータを復元します。Cyclone デバイスおよび Stratix デバイスは、専用シリアライザ / デシリアライザ (SERDES) またはクロック・データ・リカバリ (CDR) を備えていないため、オーバサンプル方式が必要です。アルテラの SD-SDI 用ソフト・データ・リカバリ・ソリューションは、最初にシリアル・データをパラレル・フォーマットに変換し、次にこれらのパラレル・ワードで検出された遷移に基づいて正しいビットを抽出することによって、正しいデータを復元します。図 2 に、5x オーバサンプリング方式を示します。

図 2. オーバサンプリング方式

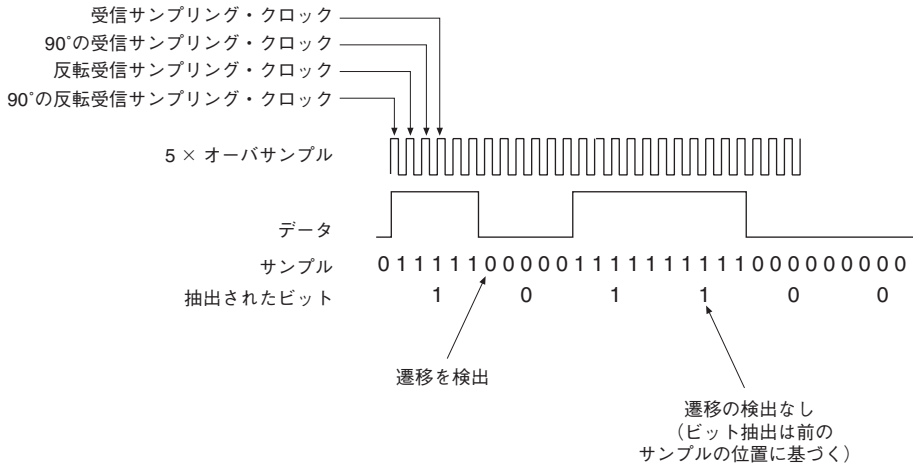
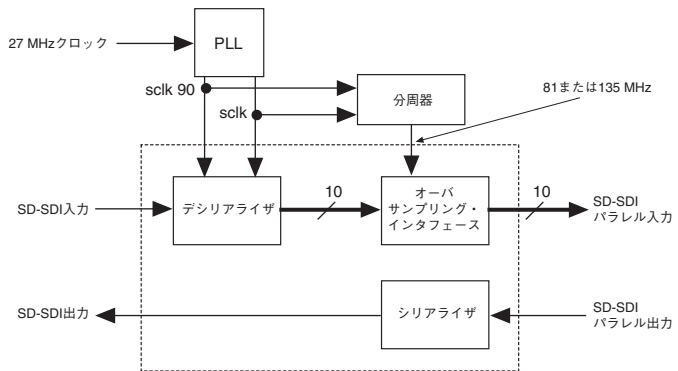


図 3 に、I/O インタフェース・ロジックのブロック図を示します。

図 3. I/O インタフェース・ロジック



デシリアライザ

LVDS 入力バッファからのシリアル・データ・ストリームは、互いに 90° 位相シフトされた4つの異なるクロックを使用してサンプリングされます。内部では、これらの4つのクロックうち2つがオンチップ PLL から作成され、残りの2つは PLL クロック出力を反転して作成されます。

次にサンプルはすべて同じクロック・ドメインに変換され、10 ビット・パラレル・ワードにデシリアル化されます。ビット・ストリームをサンプリングするシリアル・クロックは、以下のとおりオーバサンプリング方式に依存します。

- 5x オーバサンプリング方式では、シリアル・クロックは着信ビットの5/4 (すなわち、270 ビット・レート $\times 5/4 \times 4$ サンプル / クロック = 1,350 Mbps) でなければなりません。
- 3x オーバサンプリング方式では、シリアル・クロックは着信ビット・レートの3/4 (すなわち、270 ビット・レート $\times 3/4 \times 4$ サンプル / クロック = 810 Mbps) でなければなりません。

デシリアライザからデータを抽出するパラレル・クロックは、3x オーバサンプリング方式では 81 MHz、5x オーバサンプリング方式では 135 MHz となります。

周波数分周器

パラレル・クロック (81 MHz または 135 MHz) は、ソフト周波数分周器によるシリアル・サンプリング・クロックから生成され、PLL クロック出力の用途が限定されます。5/4 または 3/4 シリアル・クロックのエッジ・カウンタと、その90°位相シフトで、2.5の周波数分周比が生成されます。

オーバサンプリング・インタフェース

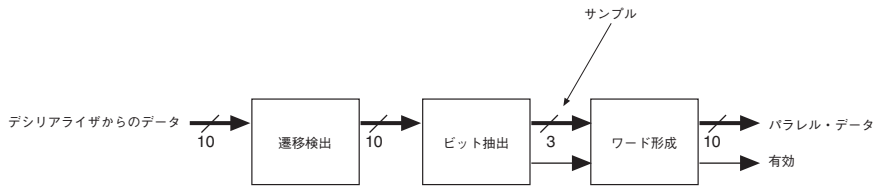
3x または 5x オーバサンプリング方式は、それぞれ 810 または 1,350 Mbps のサンプリング・レートに相当するデータ・リカバリとビット同期を実現します。

デシリアライザは、シリアル・データの固定周波数サンプリングを提供します。各ビットにつき約3つまたは5つのサンプルが取り出されます。これらのサンプルはデシリアライザで累積され、パラレル・フォーマットでオーバサンプリング・インタフェースに渡されます。ロジックはデシリアライザが生成したサンプル・セットからデータを抽出します。

まず、受信ワード内の遷移ポイントが判定されます。これらの遷移ポイントは、各データ・ビットで抽出する最良のサンプルを決定します。ロジックは継続して着信データの遷移ポイントにリアライメントするため、サンプリング・クロックと着信データ・レート間の周波数ミスマッチに適応できます。各データ・ビットで抽出されたサンプルは、SDI デコーダで処理するために、パラレル・ワードに累積されます。

図 4 はオーバサンプリング・インタフェースを示します。

図 4. オーバサンプリング・インタフェース



エンコーダ

エンコーダはチャンネル・コーディング機能を提供します。図 5 に SD エンコーダを示します。SD では、10 ビット・データ入力インターレービングされたクロマおよびブルーマになります。

図 5. エンコーダ—SD



デコーダ

デコーダはチャンネル・デコーディング機能を提供します。また、受信パラレル・データが確実にワード・アラインメントされるようにします。図 6 にデコーダを示します。

図 6. デコーダ



デコーダには、デスクランプリングおよび NRZI デコーディング・アルゴリズムが内蔵されています。

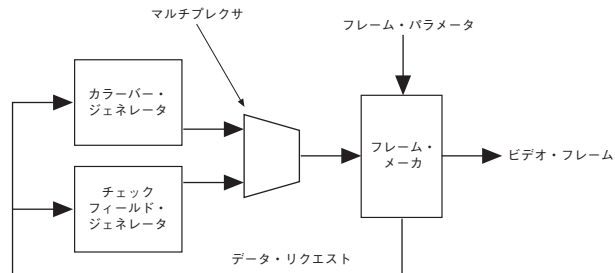
ワード・アラインメントは、受信データ内の固有の SAV (start of active video) および EAV トークンを識別することによって行われます。3つの連続するトークンに同じビット・アラインメントが見つかったら、アラインメントはロックされます。2つの連続するトークンが以降の異なるビット位置で見つかったら、アラインメントが調整されます。シリアル・スイッチ・インターバルの間、デザインを即時に調整することができます。

10 ビット・パラレル出力はインターリーピングされたクロームおよびブルーマを提供します。

ビデオ・パターン・ジェネレータ

デモンストレーションと検証のために、アルテラは標準カラーバー・パターンまたは SDI チェックフィールドを作成する基本ビデオ・パターン・ジェネレータを提供しています。図 7 にビデオ・パターン・ジェネレータを示します。

図 7. ビデオ・パターン・ジェネレータ



テストベンチ

tb_sdsdi_rxtx テストベンチは、1つは送信用ともう1つは受信用の2つのSDIリファレンス・デザインをインスタンス化します。

カラーバー・ビデオ・パターンは、SDI レシーバのインスタンスまで接続されるSDIトランスミッタのインスタンスから送信されます。リンク上のランダム・ジッタを模倣する途中に、ランダム・シリアル・データ遅延ジェネレータが挿入されます。トランスミッタとレシーバは、非同期クロック・ソース (周波数が 200 ppm だけ異なります) でクロックされ、SDIレシーバに対するストレスが最大になります。

正常なシミュレーション中には、3つの連続する TRS の後で、align_locked フラグがアクティブになります。テストベンチは、以下のメッセージを表示して、自動的に正常なシミュレーションをレポートします。

```
# -- Aligner : 3 consecutive TRS seen with same alignment
# -- Aligner : Alignment set to 1/ 0
#
# **** TEST COMPLETED SUCCESSFULLY! ****
```

作業の開始

このセクションには、以下の手順が含まれます。

- システム要件
- デザインのインストール
- テストベンチを使用したシミュレーション
- Quartus II 制約を設定する
- デザインをコンパイルする
- デモンストレーションを使用する

システム要件

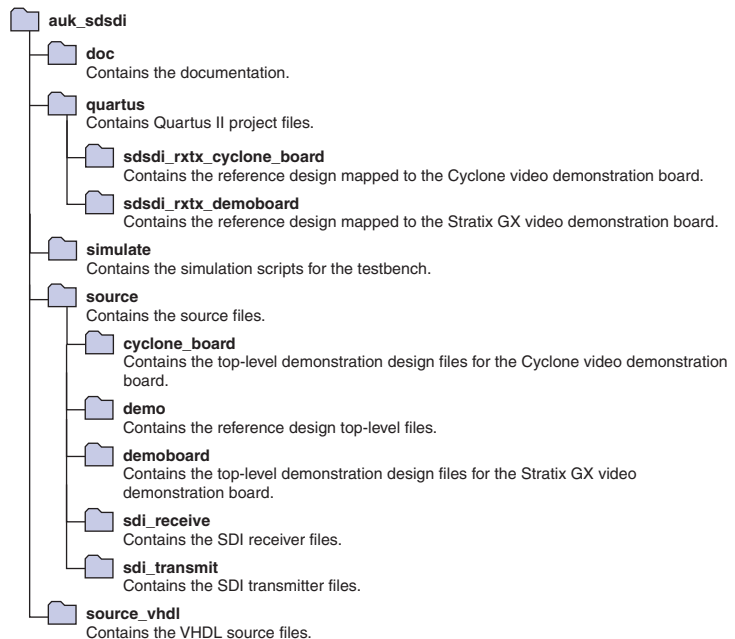
デモンストレーションには、次のハードウェアとソフトウェアが必要です。

- Windows 98/2000/XP オペレーティング・システムが動作している PC
- Quartus II バージョン 4.0
- ModelSim-Altera バージョン 5.7e

デザインのインストール

図 8 に、ディレクトリ構造を示します。

図 8. ディレクトリ構造



テストベンチを使用したシミュレーション

リファレンス・デザインには、テストベンチ、`tb_sdsdi_rxtx`、および ModelSim-Altera シミュレータによるシミュレーションのためのスクリプトが含まれています。テストベンチを使用するには、以下の手順を実行します。

1. シミュレーション・バッチ・ファイル `run.bat` を修正し、ModelSim-Altera シミュレータのインストール先を指示するように、ファイルのライン 4 を編集します。
2. `\simulate` ディレクトリの `run.bat` を実行します。

波形ビューアは信号の選択を表示します。シミュレーションは自動的に実行され、完了時に合格か不合格かが表示されます。

Quartus II 制約を設定する

このリファレンス・デザインを確実に動作させるために、以下の Quartus II 制約を設定する必要があります。

- I/O ピンから 4 個のサンプリング・レジスタへのパス間のタイミング・スキューを最小にします。
- オーバサンプリング・インタフェース (3x の場合は 81 MHz、5x の場合は 135 MHz に設定します) で使用されるオーバサンプリング・クロックを、独立したクロック・ドメインとして設定します。
- レシーバ・デザインのフロントエンドのタイミング・クロージャを容易にするために、ロジックを小さな領域内に制限します。
- オーバサンプリング比を選択します。



`quartus\sdsdi_rxtx_cyclone_board` ディレクトリ内の Cyclone ビデオ・デモンストレーション・ボードにマッピングされたリファレンス・デザインには、Quartus II 制約の例が含まれています。

タイミング・スキューの低減

I/O ピンから 4 個のサンプリング・レジスタ (`sample_a[0]`、`sample_b[0]`、`sample_c[0]`、および `sample_d[0]`) へのパス間のタイミング・スキューを最小にする必要があります。タイミング・スキューを最小にするには、手動でサンプリング・レジスタを互いに接近させて、シリアル入力ピンの近くに設置します。これら 4 個のレジスタは 4 つの異なるクロック・ドメインを使用しているため、4 個のレジスタのうち 2 個を 1 つの LAB に、他の 2 個を別の LAB に配置します。さらに、シリアル入力の配置に関係なく、選択した 2 つの LAB を同じロウに配置します。4 個のサンプリング・レジスタは、I/O のすぐ隣ではなく、I/O バンクの隣から 1 つ離れたロウまたはカラムに配置します。この場所に配置するのは、I/O バンクの間にある LAB 間インタコネクと、それらのすぐ隣のロウまたはカラムは、コア・インタコネクよりも高速であるためです。

以下のコードは、Quartus II アサインメント・エディタを使用して設定できる制約の例です。


```
set_location_assignment LC_X32_Y4_N0 -to
"sdsdi_rxtx:u_demo\sdsdi_io_interface:u_io_interface\s2p:u_s2p\sample_a\[0]"
set_location_assignment LC_X33_Y4_N0 -to
"sdsdi_rxtx:u_demo\sdsdi_io_interface:u_io_interface\s2p:u_s2p\sample_b\[0]"
set_location_assignment LC_X32_Y4_N1 -to
"sdsdi_rxtx:u_demo\sdsdi_io_interface:u_io_interface\s2p:u_s2p\sample_c\[0]"
set_location_assignment LC_X33_Y4_N1 -to
"sdsdi_rxtx:u_demo\sdsdi_io_interface:u_io_interface\s2p:u_s2p\sample_d\[0]"
```

オーバサンプリング・クロックを設定する

タイミング・アナライザが正確なタイミング計算を生成するように、オーバサンプリング・インタフェースが使用するオーバサンプリング・クロック (3x: 81 MHz または 5x: 135 MHz) を独立したクロック・ドメインとして設定しなければなりません。

以下のコードは、Quartus II アサインメント・エディタを使用して設定できる制約の例です。

```
sdsdi_rxtx:u_demo|freq_trans:u_freq_trans|sclk_out~reg0 Clock Settings 135MHz Yes
```

 アサインメント・エディタで使用する前に、**Settings > Timing Settings > Clocks** (Assignment メニュー) に、135 MHz のクロック設定を定義します。

タイミング・クロージャ

レシーバ・デザインの前フロントエンドのタイミング・クロージャに役立てるために、ロジックを小さな領域内に制限します。以下のロジックを含むシリアル入力ピンの隣に配置される 7x3 の LAB の固定 LogicLock™ 領域がタイミング・クロージャに役立ちます。

```
"sdsdi_rxtx:u_demo\sdsdi_io_interface:u_io_interface|gxb_rxsample:u_rxsample" &
"sdsdi_rxtx:u_demo\sdsdi_io_interface:u_io_interface\s2p:u_s2p"
```

オーバサンプリング比を選択します

デフォルトでは、デザインは 5x の比率を使用してオーバサンプリング・インタフェースを実装します。ただし、トップ・レベルの Verilog HDL ファイル `sdsdi_rxtx.v` 内にある以下の RTL コード・ラインをコメントにして、3x オーバサンプリング比を選択することができます。

```
//`define OVERSAMPLE_5X
```

デザインをコンパイルする

Cyclone ビデオ・デモンストレーション・ボードと Stratix GX ビデオ・デモンストレーション・ボードにマッピングされたリファレンス・デザインに、Quartus II プロジェクト・ファイルが提供されています。**.qsf** ファイルは、デザインのピン構成とその他のコンパイル指示を定義します。デザインをコンパイルして、デモンストレーションに必要なデバイス・イメージを生成する必要があります。

デモンストレーション・デザインをコンパイルするには、Quartus II 開発ソフトウェアで該当するプロジェクトを開いて、**Start Compilation** (Tools メニュー) を選択します。

デモンストレーションを使用する

アルテラは、Cyclone ビデオ・デモンストレーション・ボードまたは Stratix GX ビデオ・デモンストレーション・ボードにデモンストレーションを提供しています。



どちらのボードも、アルテラのフィールド・アプリケーション・エンジニア (FAE) またはセールスから評価用に短期間借りることができます。これらのボードは非売品です。

Cyclone ビデオ・デモンストレーション・ボード

SDI 受信および送信のデモンストレーションでは、SDI 受信ポートおよび送信ポートの両方で動作状態を確認します。SDI 入力を受信され、デコードされます。DIP スイッチ 1 が 0 (クローズ) に設定されている場合、ビデオ・パターン (カラーバー) が生成されて SDI 送信ポートに送信されます。DIP スイッチ 1 が 1 (オープン) に設定されている場合、デモンストレーションはループバック・モードで行われ、受信ポートに入力されたデータが送信ポートから出力されます。受信および送信リファレンス・クロック・ソースには、以下のオプションがあります。

- オン・ボード 27 MHz 水晶オシレータ (U7, DIL14)
- ビデオ・クロック入力 (BNC J14、送信用のみ)
- LVTTTL クロック入力 (SMA J13)
- オン・ボード 27 MHz 電圧制御水晶オシレータ (VCXO) (SDI ループバック・モードに必要)

デフォルトでは、c1k1 が送信、c1k3 が受信です。オン・ボード VCXO を送信に使用するには、ジャンパ JP_CLK1 をポジション 3 (ピン 3 と 2 がショート) に設定していることを確認してください。

デモンストレーションを使用するには、以下の手順を実行します。

1. `source\sdsdi_cyclone_board\sdsdi_rxtx_cyclone_board.v` ファイルを編集して必要なクロック・ソースを選択し、適切な定義ステートメントのコメントを外します。
2. U7 の 27 MHz 水晶オシレータ (DIL14) をフィッティングします。
3. Quartus II 開発ソフトウェアを使用して、デザインをコンパイルします。`.qpf` および `.qsf` ファイルは、`quartus\sdsdi_rxtx_cyclone_board` ディレクトリにあります。
4. ビデオ・パターン・モードの場合、BNC J9 と SDI モニタの間に同軸ケーブルを接続します。またはループバック・モードの場合、SDI ソースを BNC J3 に接続し、SDI モニタを BNC J9 に接続します。
5. 5 V 電源をボード (J15) に接続します。
6. J11 の ByteBlaster™ II ケーブルを接続して、`sdsdi_rxtx_cyclone_board.sof` ファイルをロードします。
7. NTSC フォーマットの場合はスイッチ 1 をオープンに設定し、PAL フォーマットの場合はクローズに設定します (ビデオ・パターン・モードでのみ必要です)。
8. ビデオ・パターン・モードの場合はスイッチ 2 をオープンに設定し、ループバック・モードの場合はクローズに設定します。ビデオ・パターン・モードでは、デフォルトでカラーバー・パターンが生成されます。
9. ボタン S1 を押して、システムをリセットします。
10. ボタン S2 を押して、パターンから色を取り除きます。
11. ボタン S3 を押して、SDI パソロジカル・パターンに切り換えます。

LED 0 が点滅して、受信リファレンス・クロックが動作中であることを示します。LED 1 が点滅し、送信リファレンス・クロックが動作中であることを示します。LED 2 が点灯し、レシーバがロックされていることを示します。ループバック・モードの場合、LED 11 が点灯し、VCXO がロックされていることを示します。

Stratix GX ビデオ・デモンストレーション・ボード

Cyclone ビデオ・デモンストレーション・ボードの場合、パターン・モードではデモンストレーションは SDI 出力としてテスト・パターンを生成し、送信します。また、SDI 入力も受信およびデコードします。ループバック・モードでは、デモンストレーションは SDI 信号を受信、デコード、エンコード、および再送信します。受信リファレンス・クロックは、オンボード 27 MHz 水晶オシレータで提供されます。送信リファレンス・クロックは、オンボード 27 MHz VCXO で提供され、復元されたデータの有効フラグで「クリーンアップ」PLL として使用されています。

Stratix GX 高速トランシーバは使用しないので、ケーブル・インタフェースには外部ビデオ・インタフェース・ボードを使用します。LVDS I/O は、予備 SMA との接続を介した SDI 入出力に使用されます。



ビデオ・インタフェース・ボードの詳細は、アルテラの販売代理店にお問い合わせください。

デモンストレーションを使用する前に、以下の手順に従って、ビデオ・インタフェース・ボードを Stratix GX ビデオ・デモンストレーション・ボードに接続します。

1. SMA ASI_TX1_N (J26) をビデオ・インタフェース・ボード J4 に接続し、ASI_TX1_P (J28) をビデオ・インタフェース・ボード J6 に接続します。
2. SMA ASI_RX1_N (J27) をビデオ・インタフェース・ボード J9 に接続し、ASI_RX1_P (J29) をビデオ・インタフェース・ボード J7 に接続します。
3. ビデオ・インタフェース・ボードのグランド・リードと Stratix GX ビデオ・デモンストレーション・ボードのグランドを、電源のグランドに接続します。
4. ビデオ・インタフェース・ボードの電源リードを 3.3 V 電源に接続します。
5. Stratix GX ビデオ・デモンストレーション・ボードの電源リードを、5.0 V 電源に接続します。
6. ビデオ・インタフェース・ボードの JP1 を使用して (SD の場合は、リンク 1 および 2)、送信エッジ・レートを手動で設定します。

SDI リファレンス・デザインを使用するには、次の手順を実行します。

1. SDI モニタまたはアナライザをビデオ・インタフェース・ボード上の BNC コネクタ J5 に接続します。
2. SDI ジェネレータをビデオ・インタフェース・ボード上の BNC コネクタ J8 に接続します。
3. JP1 の ByteBlaster II ケーブルを接続して、`sdsdi_rxtx_demoboard.sof` ファイルをロードします。
4. 受信 (ローカル・オシレータ) および (外部 VCXO からの) 送信クロックが Stratix GX デバイスに正しく接続されている場合、LED D6 および D7 が点滅します。



ボタン S3 はシステム・リセットです。

パターン・モードでは、以下の手順を実行します。

1. NTSC フォーマットの場合はスイッチ 1 をオープンに設定し、PAL フォーマットの場合はクローズに設定します。
2. パターン・モードの場合は、スイッチ 2 をオープンに設定します。
3. SDI 信号のコントロール・ステータスで、モニタ上にカラーバー・パターンが表示されます。
4. ボタン S4 を押して、パターンから色を取り除きます。
5. ボタン S5 を押して、SDI パソロジカル・パターンに切り換えます。

ループバック・モードの場合は、スイッチ 2 をクローズに設定してループバック・モードにします。

SDI 信号のコントロール・ステータスで、モニタ上にレシーバ側で生成されたものがすべて表示されます。

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
lit_req@altera.com

Copyright © 2004 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

