

はじめに

DDR2 SDRAM は、最新世代の DDR (Double-Data Rate) SDRAM テクノロジであり、消費電力の低減、データ帯域幅の増加、信号品質の向上、オン・ダイ・ターミネーション方式の導入などの機能強化が行われています。DDR2 SDRAM は、PC、エンベデッド・プロセッサ・システム、画像処理、ストレージ、通信、ネットワークワーキングなどの幅広いアプリケーションで、高いメモリ性能を実現します。

Stratix[®] II デバイスは、DDR2 SDRAM インタフェースの 2 つのモード、すなわち専用 DQS 回路を使用するモードと使用しないモードをサポートしています。

表 1 および 2 に、専用 DQS 回路を使用した場合と使用しない場合の Stratix II デバイスにおける DDR2 SDRAM の最大クロック周波数を示します。

表 1. 専用 DQS 回路を使用した場合の Stratix II における DDR2 SDRAM の最大クロック周波数サポート 注 (1)、(2)、(3)	
スピード・グレード	周波数 (MHz)
-3	333 (4)
-4	267
-5	233

表 1 の注：

- (1) 数値は EP2S60F1020 デバイスに基づいています。選択した FPGA についてタイミング解析を実行する必要があります。
- (2) これらの数値は Quartus[®] II ソフトウェア・バージョン 5.1 からのものです。アルテラは、今後作成するデザインには、Quartus II ソフトウェアの最新バージョンを使用することを推奨しています。
- (3) これらの数値は一般用および工業用デバイスの両方に適用されます。
- (4) 267 MHz を超えるスピードを実現するには、再同期化のためのデータ・バスのオート・キャリブレーション回路を特徴とするアルテラの DDR2 SDRAM コントローラ MegaCore ファンクションを使用する必要があります。MegaCore ファンクションのこのバージョンは、アルテラとの契約により使用できます。詳細についてはお問い合わせください。267 MHz またはそれ以下で動作するインタフェースについては、リリース済みのバージョンの MegaCore ファンクションでサポートされているスタティック再同期化データ・バスを使い続けてください。

表 2. 専用 DQS 回路を使用しない場合の Stratix II における DDR2 SDRAM の最大クロック周波数サポート 注 (1)、(2)、(3)

スピード・グレード	周波数 (MHz)
-3	200
-4	167
-5	167

表 2 の注：

- (1) これらの数値は EP2560F1020 および DDR2 400 Mbps デバイスに基づきます。必ず選択した FPGA についてタイミング解析を実行してください。
- (2) これらの数値は Quartus II ソフトウェア・バージョン 5.1 からのものです。今後作成するデザインには、Quartus II ソフトウェアの最新バージョンを使用することを推奨します。
- (3) これらの数値は、一般用および工業用デバイスの両方に適用されます。

DDR2 SDRAM は、DIMM (Dual In-line Memory Module) などのモジュールやコンポーネントとして使用できます。このアプリケーション・ノートでは、電気的およびタイミング解析の情報を含め、DDR2 SDRAM メモリと Stratix II FPGA をインタフェースする複数の実装について説明します。また、Stratix II デバイスへのインタフェースのデモおよび特性評価に使用する完全なボード・レベルのシステムについても説明しています。



このアプリケーション・ノートは、「Stratix II デバイス・ハンドブック」の「外部メモリ・インタフェース」の章と併せて使用してください。

DDR2 SDRAM の概要

DDR2 SDRAM は第 2 世代の DDR SDRAM メモリ規格です。これは、1 クロック・サイクルあたり 2 回のデータ転送を実行する $4n$ プリフェッチ・アーキテクチャです。メモリは、リードおよびライト動作にデータ・ピン (DQ) のグループに関連付けられたストロープ (DQS) を使用します。DQ および DQS ポートはともに双方向です。アドレス・ポートはライトおよびリード動作で共有されます。

DDR2 SDRAM デバイスはオプションの差動ストロープ (DQS および DQS#) を使用できますが、Stratix II デバイスはこの機能をサポートしていません。Stratix II デバイスは DQS 信号のみを使用して、DDR2 SDRAM デバイスの読み出しと書き込みを行います。これは、DQS と DQS# は Stratix II では差動入力ピンでないためです。

DDR2 SDRAM のライトおよびリード動作は、4 および 8 のバースト長をサポートしています。これは、各リードおよびライト・トランザクションでデータの 4 つまたは 8 つのデータ・グループが転送されることを意味します。リード・コマンドがメモリにクロックされるタイミングとデータがメモリ・ピンに出力されるタイミングの間のレイテンシは、カラム・アドレス・ストロープ (CAS) レイテンシと呼ばれます。DDR2 SDRAM は、2、3、4、および 5 の CAS レイテンシをサポートしています。DDR2 SDRAM は、DDR SDRAM とは異なり、ハーフクロック・レイテンシをサポートしません。

CAS レイテンシに加えて、DDR2 SDRAM は、0、1、2、3、および 4 の Posted CAS Additive Latency (AL) も提供しています。リード・コマンドの発行後にデータ CAS レイテンシを取得する代わりに、リード・コマンドの特定の Additive Latency 値を付けて送信できます。Additive Latency 設定は、メモリが何クロック・サイクル追加後にデータを送信する必要があるかを指定します。メモリ・デバイスは、Additive Latency によって指定されたサイクル数の間、リード・コマンドを保持 (Posted) します。

DDR2 SDRAM デバイスは SSTL-18 規格を使用し、256 M バイト～4 G ビットのデータを保持できます。最大 512 M バイトの容量を持つデバイスは 4 つのバンクに分割され、1～4 G バイトの容量を持つデバイスは 8 つのバンクに分割されます。一度に、1 つのバンクあたり 1 つのロウにのみアクセスできます。ACTIVE コマンドはロウを開き、PRECHARGE コマンドはロウを閉じます。

DDR2 SDRAM は、デバイス内部の DLL (Delay-Locked Loop) を使用して、DQ および DQS 信号のエッジを CK を基準にして揃えます。DLL は、通常動作ではオン、デバッグ目的ではオフになります。本書で実施するすべてのタイミング解析では、メモリ内部の DLL がオンになっているものと想定しています。

また、DDR2 SDRAM デバイスは、調整可能なデータ出力ドライブ強度も備えているため、アルテラではメモリの最大ドライブ強度を使用して、最高性能を達成することを推奨しています。また、DDR2 SDRAM デバイスは、オン・ダイ・ターミネーションと出力ドライバ・キャリブレーションも備えています。オン・ダイ・ターミネーションには、75 Ω または 150 Ω の実効抵抗があります。IBIS シミュレーションでは、システムでの異なるドライブ強度、終端抵抗、および容量性負荷の影響を示すことができます。

デザインにとって最適な設定の選択に伴うデザインのトレードオフについて詳しくは、「AN 408: Stratix II FPGA の DDR2 メモリ・インタフェース、ドライブ強度、および負荷に関するデザイン・ガイドライン」を参照してください。



DDR2 SDRAM デバイスについて詳しくは、www.jedec.org を参照してください。

インタフェースの説明

以下の項では、FPGA と DDR2 SDRAM デバイス間のインタフェース信号、および DDR2 SDRAM の電気的要件とタイミング要件を満たすための FPGA ピンのコンフィギュレーション方法について詳しく説明し、FPGA で使用可能な DQS/DQ ピンの数を示します。また、この項では、FPGA と DDR2 SDRAM メモリ間のインタフェースのアーキテクチャについても説明しています。

アルテラは、インタフェースが複雑であることを考えて、メモリ・コントローラを数分以内に作成する完全なソリューションを提供しています。アルテラの DDR2 SDRAM コントローラ MegaCore[®] ファンクションは、暗号化されていないクリア・テキスト・データ・パス・ブロックと暗号化されたコントローラ・ロジック・ブロックの 2 つのコンポーネントで構成されます。この無償ライセンスのデータ・パス・ブロックは、推奨される物理層インタフェース (PHY) で、独自のコントローラまたはアルテラ MegaCore コントローラと組み合わせて使用できます。この推奨データ・パスを使用した場合、これは実証済みのシステムであるという利点があります。また、DDR SDRAM の MegaCore 制約ファイルを用いることで、インタフェースのピンやデータ・パスのロジックを最適化することができます。図 1 に、FPGA から DDR2 SDRAM へのインタフェースへのブロック図を示します。

図 1. DDR2 SDRAM コントローラのシステム・レベルのブロック図

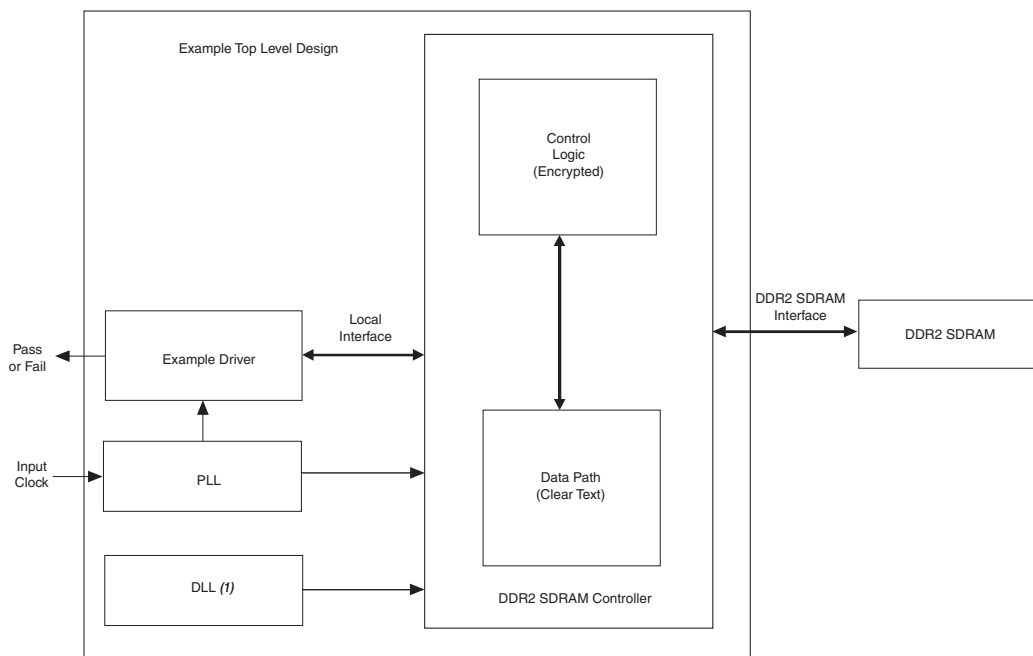


図 1 の注 :

- (1) 専用 DQS 回路を使用するときには、DLL はリード動作中に DQS ストロープを DQ データ・バスに中央揃えします。専用 DQS 回路を使用しないときには、PLL がこの位相シフトを実装します。

インタフェース信号

表 3 に、DDR2 SDRAM インタフェース・ピンとそれらのインタフェース・ピンを Stratix II デバイスに接続する方法を要約します。

ピン	説明	Stratix II ピンの使用
DQ	双方向リード/ライト・データ・バス	DQ
DQS	双方向リード/ライト・データ・ストロープ	DQS
DQS# (1)	オプションの双方向差動ライト・データ・ストロープ	N/A
CK	システム・クロック	ユーザ I/O ピン
CK#	システム・クロック	ユーザ I/O ピン
FB_CLK	DLL-ベースの実装での再同期のために PLL を読み出すため、または PLL-ベースの実装でのリード・キャプチャのためにフィードバックされた CK 出力クロック信号のコピー	PLL クロック入力ピンに供給されるユーザ I/O 出力ピン
DM	ライト時に DQ にエッジが揃えられたオプションのライト・データ・マスク	ユーザ I/O ピン
その他すべて	アドレス、コントロールなど	ユーザ I/O ピン

表 3 の注：

- (1) DDR2 SDRAM デバイスの DQS# 信号はオプションです。Stratix II デバイスは、DDR2 SDRAM にインタフェースするときには DQS# ピンを使用しません。

ここでは、DDR2 SDRAM デバイスのクロック、ストロープ、データ、コマンド、およびアドレス信号について説明します。

クロック信号

DDR2 SDRAM デバイスは、CK および CK# を使用してコマンド信号とアドレス信号をメモリにクロックします。さらに、メモリはこれらのクロック信号を使用して、リード時にメモリ内部の DLL を通して DQS 信号を生成します。CK または CK# と DDR2 SDRAM が生成した DQS 信号間のスキューは、DDR2 SDRAM データシートには t_{DQSCK} として規定されています。

DDR2 SDRAM には書き込み要件 (t_{DQSS}) があり、ライト時の DQS 信号の正エッジは、DDR2 SDRAM クロック入力の正エッジの $\pm 25\%$ ($\pm 90^\circ$) 以内に収まっている必要があります。したがって、IOE の DDR レジスタを使用して、DQS 信号に合わせて CK および CK# 信号を生成し、プロセス、電圧、および温度によるバラツキを低減する必要があります。DDR2 SDRAM クロック CK の正エッジは、 t_{DQSS} を満足するために DQS ライトに揃えられます。

200 MHz 以上で動作する DDR2 SDRAM インタフェースの再同期タイミングを向上させるために、CK (FB_CLK) 信号のコピーをメモリ・ピンから Stratix II デバイスに戻します。再同期について詳しくは、34 ページの「ラウンドトリップ遅延の計算」を参照してください。

ストロープ、データ、DM、およびオプションの ECC 信号

データ・ストロープ (DQS) は双方向です。DDR2 SDRAM デバイスの DQS# ピンと Stratix II デバイスの DQS# ピンは、DDR2 SDRAM インタフェースでは使用されません。メモリの DQS ピンを Stratix II の DQS ピンに接続します。また、データ (DQ) ピンも双方向で、DQ ピンのグループは 1 本の DQS ピンに関連付けられます。×8 および ×16 DDR2 SDRAM デバイスでは、1 本の DQS ピンが常に 8 本の DQ ピン (Stratix II デバイスの ×8/×9 モード) に関連付けられます。

Stratix II デバイスでサポートされる DQS および DQ グループの数については、表 4 を参照してください。各 DQS は、最大 4、9、18、または 36 本の DQ ピンをドライブできます。

デバイス	パッケージ	×4 グループの数	×8/×9 グループの数	×16/×18 グループの数	×32/×36 グループの数
EP2S15	484 ピン FineLine BGA	8	4	0	0
	672 ピン FineLine BGA	18	8	4	0
EP2S30	484 ピン FineLine BGA	8	4	0	0
	672 ピン FineLine BGA	18	8	4	0
EP2S60	484 ピン FineLine BGA	8	4	0	0
	672 ピン FineLine BGA	18	8	4	0
	1,020 ピン FineLine BGA	36	18	8	4
EP2S90	484 ピン Hybrid FineLine BGA	8	4	0	0
	780 ピン FineLine BGA	18	8	4	0
	1,020 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4
EP2S130	780 ピン FineLine BGA	18	8	4	0
	1,020 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4
EP2S180	1,020 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4

DQ 信号は、メモリからのリード時には DQS 信号にエッジが揃えられ、メモリへのライト時には DQS 信号に対して中央に揃えられます。メモリ・コントローラは、ライト動作時には DQ 信号を -90° シフトして DQ および DQS 信号を中央に揃えます。また、リード時には DQ および DQS 信号がキャプチャ・レジスタで中央に揃うように、DQS 信号を遅延させます。Stratix II デバイスは、PLL (Phase-Locked Loop) を使用してライト時には DQS 信号を DQ 信号を基準にして中央に揃え、またリード時には専用 DQS 位相シフト回路やその他の PLL を使用して着信 DQS 信号をシフトします。図 2 に、DDR2 SDRAM からのリードの場合に DQS 信号が 90° シフトされる例を示します。図 3 に、burst-of-four ライト時のデータとデータ・ストロープ間の関係例を示します。

図 2. Burst-of-4 モードにおける DDR2 SDRAM リード時の DQ と DQS の関係 注 (1)

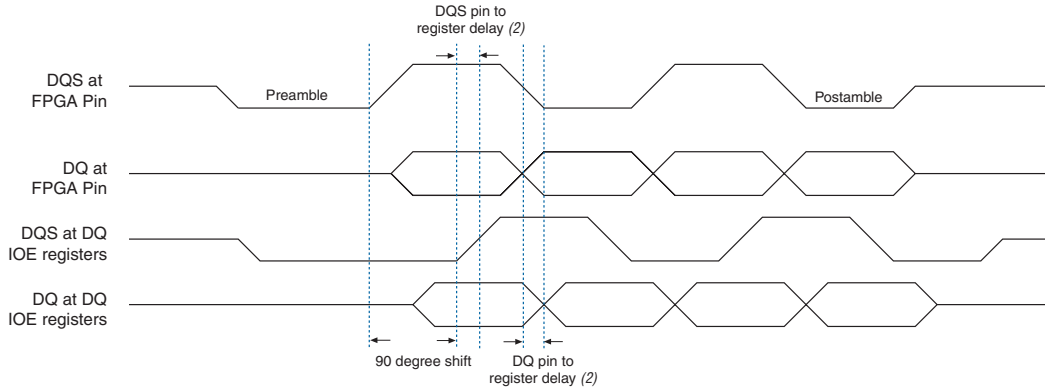
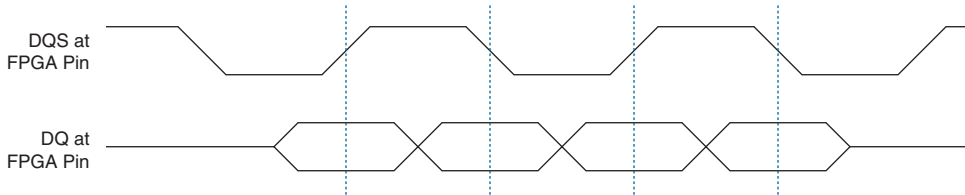


図 2 の注 :

- (1) これは 90° シフトの例です。システムのシフト値の読み出しは、タイミング解析に基づく必要があり、90° でない場合もあります。
- (2) DQS ピンからキャプチャ・レジスタまでの遅延と DQ ピンからキャプチャ・レジスタまでの遅延は、IOE レジスタでこれらの信号間の付加的なスキューが最小になるようにコンフィギュレーションできます。

図 3. Burst-of-4 モードにおける DDR2 SDRAM ライト時の DQ と DQS の関係



ライト DQ および DM ピンに対するメモリ・デバイスのセットアップ (t_{DS}) およびホールド・タイム (t_{DH}) は、CK または CK# クロックではなく、DQS ライト信号のエッジを基準にします。これらの仕様は、DDR SDRAM デバイスとは異なり、DDR2 SDRAM では必ずしも対称的ではありません。

DQS 信号は、 t_{DQSS} 要件を満たすためにシステム・クロックの正エッジで生成されます。DQ およびデータ・マスク (DM) 信号は、システム・クロックから -90 度 V フットされたクロックを使用します。DQS エッジは、DQ または DM 信号が DDR2 SDRAM に到達したときに、これらの信号で中央揃えされます。DQS、DQ、および DM ボード・トレース長は、厳密に一致する必要があります。

DDR2 SDRAM は、ライト時には DM ピンを使用します。DM ピンを Low にドライブすると、書き込みが有効であることが示されます。メモリは DM ピンが High にドライブされると DQ 信号をマスクします。関連付けられている DQS および DQ ピンと同じバンクにある任意の I/O ピンを使用して DM 信号を生成できます。

DDR2 SDRAM 入力における DM 信号のタイミング要件は DQ データに対するタイミング要件と同じです。-90° シフトされたクロックによってクロックされる Stratix II の DDR レジスタは、DM 信号を作成します。

一部の DDR2 SDRAM デバイスは、誤り訂正コード (ECC) をサポートし、データ転送エラーを検出して自動的に修正します。72 ビット DDR2 SDRAM モジュールには、64 本のデータ・ピンに加え、8 本の ECC ピンがあります。DDR2 SDRAM デバイスの ECC ピンを Stratix II デバイスの DQS/DQ グループに接続します。72 ビット DDR2 SDRAM メモリ・コントローラを作成し、そのコントローラのローカル・インタフェースに ECC ビットをデコードおよびエンコードするロジックを追加する必要があります。

コマンドおよびアドレス信号

DDR2 SDRAM デバイスのコマンドおよびアドレスは、CK または CK# 信号を使用してメモリにクロックされます。これらのピンは、1つのクロック・エッジのみを使用して SDR (Single Data Rate) で動作します。アドレス・ピンの本数は、DDR2 SDRAM デバイスの容量によって異なります。アドレス・ピンは多重化されるため、ロウ、カラム、およびバンク・アドレスを送信するのに 2 クロック・サイクルが必要です。CS、RAS、CAS、WE、CKE、および ODT ピンは、DDR2 SDRAM コマンド・ピンです。

DDR2 SDRAM アドレスとコマンド入力には、DDR2 SDRAM クロックの CK および CK# に関する対称的なセットアップおよびホールド・タイム要件はありません (図 4 を参照)。

図 4. アドレスおよびコマンドのタイミング 注 (1)、(2)

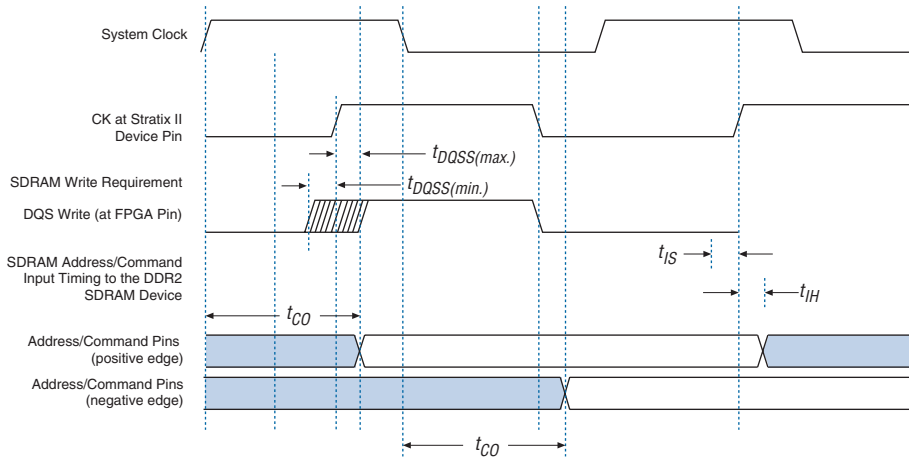


図 4 の注：

- (1) 図 4 に示すアドレスおよびコマンドのタイミングは、リードとライトの両方に適用できます。
- (2) DQS、CK、アドレス、およびコマンド・ピンのポート・トレース長が同じ場合、Stratix II デバイス・ピンの信号関係は、DDR2 SDRAM ピンで維持されます。

コマンドとアドレスに対して別々のタイミング解析を実行して、これらの信号の生成方法（システム・クロックの正エッジまたは負エッジを使用するか、または位相シフトされたシステム・クロックを使用するか）を決定する必要があります。このクロック・エッジ選択は、正確なピンの負荷情報によるタイミング解析に基づいて行われます。アドレスおよびコマンド信号に対するタイミング解析手法は、29 ページの「ライト・データのタイミング解析」に記載されるライト・タイミング・パスと非常に似ています。コマンドとアドレスには任意の I/O ピンを使用できます。

Stratix II デバイスのアドレス・ピンおよびコマンド・ピンは、いずれもシステム・クロックから生成されるため、通常は DQS ライト信号と同時に変化します。

インタフェース・アーキテクチャ

Stratix II デバイスの DDR2 SDRAM インタフェース・アーキテクチャのリード側実装を行う方法が 2 つあります。最高性能を達成するには、Stratix II DLL ベースの専用 DQS 回路を使用して、ストロープ信号（DQS）を位相シフトし、リード・データ（DQ）に対して中央に揃えることができます。あるいは、（ストロープ信号 DQS を使用する代わりに）PLL を使用して位相シフトされたクロックを生成し、リード・データをキャプチャすることも可能です。

ライト側の実装には PLL があり、IOE の DDR レジスタを使用してライト・データと中央に揃ったライト・クロックを生成する 2 つのクロックを出力します。この実装では、FPGA から DDR2 SDRAM へのクロックおよびデータ信号の伝播遅延が一致し、スキューが最小になります。

専用 DQS 回路を使用したデータ・パス・アーキテクチャ

専用 DQS 回路を使用した DDR2 SDRAM インタフェース実装では、以下を使用します。

- ライト側の PLL。CK および CK# システム・クロックを生成し、アドレス、コマンド、ストロープ、およびデータ信号をクロック・アウトします。
- リード側の DLL ベースの位相回路。ストロープ信号 DQS を使用してメモリからリード・データをキャプチャします。

この実装は DQS モードまたは DLL ベースのリード実装とも呼ばれます。

Stratix II デバイスのトップ側とボトム側に、使用可能な DQS 位相シフト回路が 1 つずつあります。各 DQS 位相シフト回路には入力基準クロックが必要です。DQS 位相シフト回路は DQS 信号をシフトして、この信号を IOE レジスタで DQ 信号に中央で揃え、データが IOE レジスタで確実にラッチされるようにします。次に、DQS 信号は DQ IOE クロック・ポートに達する前に反転されます。これについては、「Stratix II デバイス・ファミリー・ハンドブック」の「外部メモリ・インタフェース」の章で説明しています。

図 5 に、Stratix II デバイスの DQ、DQS、CK、および CK# 信号の生成方法の要約を示します。ライト PLL は、システム・クロックと -90° シフトされたクロック（ライト・クロック）を生成します。ライト PLL 入力クロックと DDR2 SDRAM 周波数が異なる場合、別の入力クロック・ピンか PLL 5 または 6 から DQS 位相シフト回路に入力基準クロックを供給する必要があります（詳しくは、「Stratix II デバイス・ファミリー・ハンドブック」の「外部メモリ・インタフェース」の章を参照してください）。システム・クロックおよびライト・クロックは DQS 周波数と同じ周波数で、ライト・クロックはシステム・クロックから -90° シフトされます。

図 5 の例では、フィードバック・クロックと第 2（リード）PLL を使用して再同期を容易にしています。フィードバック・クロックのボード・トレース長は、CK DQ および DQS 信号のボード・トレース長と厳密に一致し、オフチップ電圧 / 温度のパラツキを補正する必要があります。図 5 では、FB_CLK 出力ピンは、 I_1 のボード・トレース長で DDR2 SDRAM CK ピンをミラーし、 I_2 のボード・トレース長で Stratix II デバイスに配線されます。コントローラは、CK 出力と同じ回路を使用して FB_CLK 出力を生成し、このピンを同じ I/O バンク上の隣接する位置に制限します。

図 5. DLL ベース・リード用の Stratix II デバイスおよび DDR2 SDRAM インタフェース・データ・パス

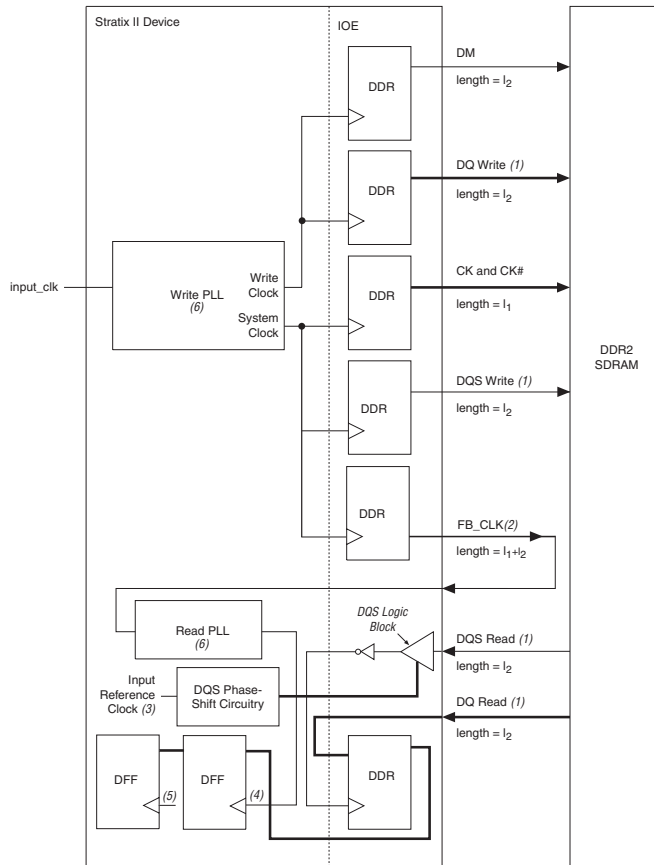


図 5 の注 :

- (1) DQ および DQS 信号は双方向です。1 つの DQS 信号が DQ 信号のグループに関連付けられています。
- (2) フィードバック・クロック FB_CLK は、インタフェース速度 ≥ 200 MHz の再同期を容易にするのに役立ちます。
- (3) 入力基準クロックには、input_clk、別のクロック・ピン、または PLL 5 または 6 出力のいずれでも使用できます。
- (4) 再同期レジスタへのクロックは、ライト PLL またはリード PLL からのシステム・クロック、ライト・クロック、および追加クロック出力のいずれかです。
- (5) このレジスタへのクロックは、システム・クロックから送られるか、またはライト PLL の別のクロック出力のいずれかです。ライト PLL の別のクロック出力が必要な場合は、データをシステム・クロック・ドメインに転送するためにもう 1 個のレジスタが必要です。
- (6) リードおよびライト PLL は、ノーマル・モードでコンフィギュレーションされます。

専用 DQS 回路を使用しないデータ・バス・アーキテクチャ

PLL ベースのリード実装を使用すると、Stratix II デバイスは、最高性能を達成するために各インタフェースが 2 個の PLL を使用して、最大 200 MHz の DDR2 SDRAM をサポートできます (11 ページの図 5 を参照)。

専用 DQS 回路を使用しない DDR2 SDRAM インタフェース実装では、以下を使用します。

- ライト側の PLL。CK および CK# システム・クロックを生成し、アドレス、コマンド、ストロブ、およびデータ信号をクロック・アウトします。
- リード側の PLL ベースの位相シフト回路。フィードバック・クロック FB_CLK を使用して、メモリからのリード・データをレジスタに入れます。

この実装は、PLL ベースのリード実装 (または、非 DQS モード) とも呼ばれます。

このモードでの推奨 DQS および DQ ピンについては、Stratix II デバイスのピン配置表を参照してください。DQ、DQS、および DM ピンのボード・トレース長は、厳密に一致していなければなりません。

ライト PLL は、システム・クロック、 -90° シフトされたクロック、およびフィードバック・クロック (FB_CLK) を生成します。このフィードバック・クロックは、FPGA の外部で配線され、FPGA に戻されます。このボード・トレース長は、FPGA からメモリまでのクロック・トレース長にメモリから FPGA までの DQ トレース長を加算したトレース長と等しくなければなりません。図 6 で、クロック・トレース長が l_1 、DQ トレース長が l_2 と仮定すると、FB_CLK のトレース長は $l_3 = (l_1 + l_2)$ でなければなりません。

リード PLL は、フィードバック・クロックを入力クロックとして使用して、リード時に DQ をキャプチャするのに必要なクロックを生成します。Stratix II デバイスは、この方式では DQS 信号を無視します。リード PLL はソース・シンクロナス・モードで、IOE レジスタへのクロック伝播遅延はデータ伝播と一致します。フィードバック・クロックのトレース長は、CK または CK# および DQS トレースと同じなので、FPGA に入る FB_CLK は DQS 信号に類似し、わずかなスキューを伴います。次に、リード PLL をシフトしてスキューを補正し、リード時に DQ 信号をキャプチャするのに必要な 90° PLL 位相シフトを実装することができます。

Quartus II ソフトウェアは、ソース同期動作のために特定の PLL を特定の I/O バンクに関連付けるため、リード PLL はデータ・ピンと同じデバイス側にあることが必要です。この I/O バンクのワースト・ケース I/O レジスタに対するクロック遅延は完全に補正され、その結果、PVT 全体でピンから I/O レジスタへのデータ遅延とクロック遅延が厳密にマッチングされます。非補正 I/O バンクの I/O レジスタを使用する場合、クロック遅延とデータ遅延は厳密には一致しません。クロックおよびデータ遅延を最適にマッチングさせるために、サイド I/O バンクへのインタフェースの実装には fast PLL を使用し、トップまたはボトム I/O バンクへのインタフェースの実装には enhanced PLL を使用します。また、Quartus II ソフトウェアで、input pin delay-to-register オプションを 0 に設定することも必要です。

DQS 信号はリード時には無視されるため、DDR SDRAM デバイスからの DQS と DQ の関係は適用されません。インタフェースでのスキューおよびタイミングのバラツキによって、この方法で達成可能な最大データ・レートが決まります。

図 6 に、Stratix II デバイスの DQ、DQS、CK、および CK# 信号の生成方法の要約を示します。ライト PLL は、システム・クロックとライト・クロックを生成します。DDR2 SDRAM デバイスからのリード・クロック (FB_CLK) は、リード・データをキャプチャするために適切な位相シフトを生成する PLL 入力ピンに入ります。

図 6. PLL ベース・リード用の、Stratix II および DDR2 SDRAM インタフェース・データ・パス

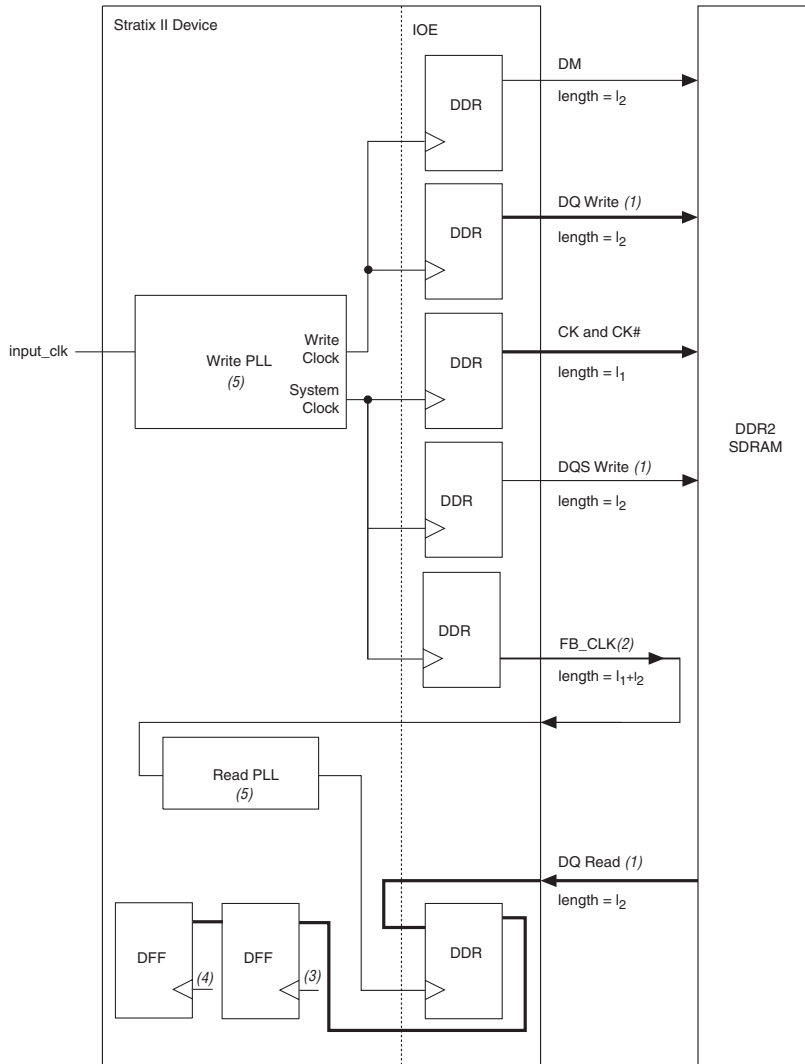


図 6 の注 :

- (1) DQ および DQS 信号は双方向です。1つの DQS 信号が1つの DQ 信号グループに関連付けられています。
- (2) フィードバック・クロック FB_CLK は再同期を容易にするのに役立ちます。
- (3) 再同期レジスタへのクロックは、システム・クロック、ライト・クロック、またはライト PLL からの追加クロック出力のいずれかです。
- (4) このレジスタへのクロックは、システム・クロックから、またはライト PLL の別のクロック出力のいずれかです。ライト PLL の別のクロック出力が必要な場合は、データをシステム・クロック・ドメインに転送するために別のレジスタが必要です。

- (5) リード PLL はソース・シンクロナス・モードでコンフィギュレーションされ、ライト PLL はノーマル・モードでコンフィギュレーションされます。

アルテラのメモリ・コントローラ IP

アルテラは、業界標準 DDR2 SDRAM メモリとのインタフェースを簡単にインスタンス化できる、DDR2 SDRAM コントローラ MegaCore ファンクションを提供しています。DDR2 SDRAM コントローラは、メモリ・デバイスの初期化、SDRAM バンクの管理、および適切な間隔でのデバイスのリフレッシュを行います。MegaCore ファンクションは、ローカル・インタフェースからのリードおよびライト要求を必要なすべての SDRAM コマンド信号に変換します。DDR2 SDRAM コントローラには、暗号化コントロール・ロジックと、ライセンスなしでデザインに使用できるクリア・テキスト・データ・パスが含まれています。アルテラの DDR2 SDRAM コントローラを使用するかどうかに関係なく、この MegaCore ファンクションをダウンロードして、クリア・テキスト・データ・パス、クリア・テキスト DQS ポストアンプル・ロジック、配置制約の入手とタイミング・マージン解析を実施できます。

この MegaCore ファンクションには、DDR2 SDRAM IP Toolbench を利用してアクセスできます。カスタム DDR2 SDRAM インタフェースをパラメータ化すると、DDR2 SDRAM IP Toolbench は最適な位相シフトと FPGA 設定を自動的に決定して、その DDR2 SDRAM インタフェースに最適なマージンを与えます。次に、DDR2 SDRAM IP Toolbench は、PLL をインスタンス化するサンプル・インスタンス、サンプル・ドライバ、および DDR2 SDRAM コントローラのカスタム・バリエーションを生成します (4 ページの図 1 を参照)。



DDR2 SDRAM コントローラ MegaCore メガファンクションのダウンロードは、www.altera.co.jp/products/ip/iup/memory/m-alt-ddr2_sdram.html を参照してください。

インタフェースのタイミング解析

FPGA の外部メモリ・インタフェースを設計するときは、いくつかのパスのタイミング・マージンを解析する必要があります。すべてのメモリ・インタフェースで、リードおよびライト・キャプチャ・タイミング・パスの解析が必要です。また、一部のインタフェースでは、再同期タイミング・パスや、その他のメモリ固有のパス (ポストアンプル・タイミングなど) の解析が必要な場合もあります。

このアプリケーション・ノートでは、ライトおよびリード・キャプチャ・タイミング・パスを例として使用したアルテラ推奨のタイミング手法について説明します。この手法を、該当するすべてのタイミング・パス（アドレス / コマンド、再同期、ポストアンブルなど）のタイミング解析に使用する必要があります。確実に正常な動作を実行させるために、アルテラの DDR2 SDRAM コントローラ MegaCore は、リード・キャプチャ、再同期、およびポストアンブル・パスに対してタイミング解析を実行します。これらの解析では、すべての FPGA 関連のタイミングの影響を考慮していますが、クロストーク、シンボル間干渉、他のノイズの影響など、ボード・レベルでの影響を考慮し十分マージンをとって設計を行う必要があります。これらの影響やタイミング・マージンへのインパクトは、ボード・レベルのシミュレーションを実行することによって最適に解析されます。シミュレーション結果を用いて、マージン計算に使用するボード・タイミング要件パラメータ、 T_{EXT} を調整することができます。全体的なシステム性能は、すべてのタイミング・パスで最も低速のタイミング・パスによって決まります。

ここでは、Stratix II デバイスとの DDR2 SDRAM インタフェースのリードおよびライト・キャプチャ・タイミングのマージンを解析します。タイミング解析手法については、Micron MT9HTF3272AY-53E DIMM に対する EP2S60F1020C3 FPGA インタフェースを使用して説明します。ただし、希望の FPGA およびメモリ・デバイスのタイミング解析には、これと同じ手法を使用する必要があります。

手法の概要

タイミング・パスは、ディスティネーション・レジスタでのデータおよびクロックの到達時間を考慮して解析されます。図 7 および 8 では、セットアップ・マージンは、「最も早いクロック到達時間」と「最も遅い有効データ到達時間」の間の時間として定義されます。同様に、ホールド・マージンは、レジスタ・ポートにおける「最も早い無効データ到達時間」と「最も遅いクロック到達時間」の間の時間として定義されます。これらの到達時間は、一般的な基準ポイント（DQS エッジやシステム・クロック・エッジなど）に関する伝播遅延情報に基づいて計算されます。

図 7. タイミング解析のための簡易ブロック図

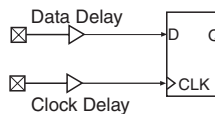
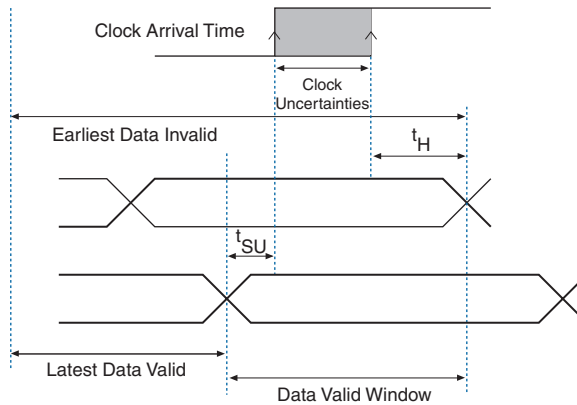


図 8. データ有効ウィンドウのタイミング波形



FPGA のタイミング解析

デザインをあらゆる条件の下で動作させるには、すべてのプロセス、電圧、および温度（PVT）条件でタイミング・マージンを評価する必要があります。アルテラが、この評価を迅速に行えるように、Quartus II ソフトウェアに低速コーナ・モデルと高速コーナ・モデルの2つのデバイス・タイミング・モデルを提供しています。

- 低速コーナ・モデルは、低速シリコン、高温、および低電圧で FPGA 内の 2 つのノード間のタイミング遅延を提供します。言い換えると、このモデルは特定のスピード・グレードで任意のデバイスのタイミング・パスに、可能な最低速の遅延を提供します。
- 高速コーナ・モデルは、高速シリコン、低温、および高電圧で FPGA 内の 2 つのノード間のタイミング遅延を提供します。言い換えると、このモデルは任意のデバイスのタイミング・パスに、可能な最高速の遅延を提供します。

Quartus II ソフトウェアでは、ほぼすべての FPGA のタイミング遅延と不確実性がモデル化されますが、FPGA ハンドブックにはマージン計算に使用するために、モデル化できない一部の不確実性のみ記載されています。これらのデータシート仕様は、デバイスの特性評価に基づき、オン・チップ・バリエーション、立ち上がりりと立ち下がりとのミスマッチ、ノイズなどのデバイス・レベルの影響を考慮しています。例として、PLL 出力や DLL 出力のクロック・ジッタがあります。これらのタイミングの不確実性やアダー項は、Quartus II ソフトウェアで報告されたタイミング・データと併用すれば、最も正確なデバイス・タイミング情報を提供します。以下のリードおよびライト・タイミング解析の項では、これらのタイミングのアダー項の使用について詳しく説明します。

DLL ベース実装のリード・タイミング・マージン

リード動作時、DDR2 SDRAM は、データ・バス (DQ) にエッジが揃えられたクロック・ストロブ (DQS) を提供します。メモリ・コントローラ (FPGA 内) は、クロック・エッジをデータ有効ウィンドウの中央にシフトして、DQ 入力データをキャプチャする必要があります。図 2 に、リード動作時の DQS 信号と DQ 信号間のタイミング関係を示します。

図 9 に、x8 モードの Stratix II デバイスのリード・データ・バスの詳細図を示します。DQS 信号は、DQS ロジック・ブロックに送られ 90° シフトされます。次に、DQS ローカル・バスはシフトされた DQS 信号を反転してから、入力レジスタの DQ をクロックします。次に、DQ 入力レジスタ出力はロジック・アレイの再同期レジスタに送られます。resynch_clock 信号は再同期レジスタをクロックします。resynch_clock 信号は、システム・クロック、ライト・クロック、ライト PLL クロック、または第 2 (リード) PLL (フィードバック・クロック方式を使用している場合) から供給できます。

図 9. Stratix II デバイスの DDR2 SDRAM リード・データ・パス

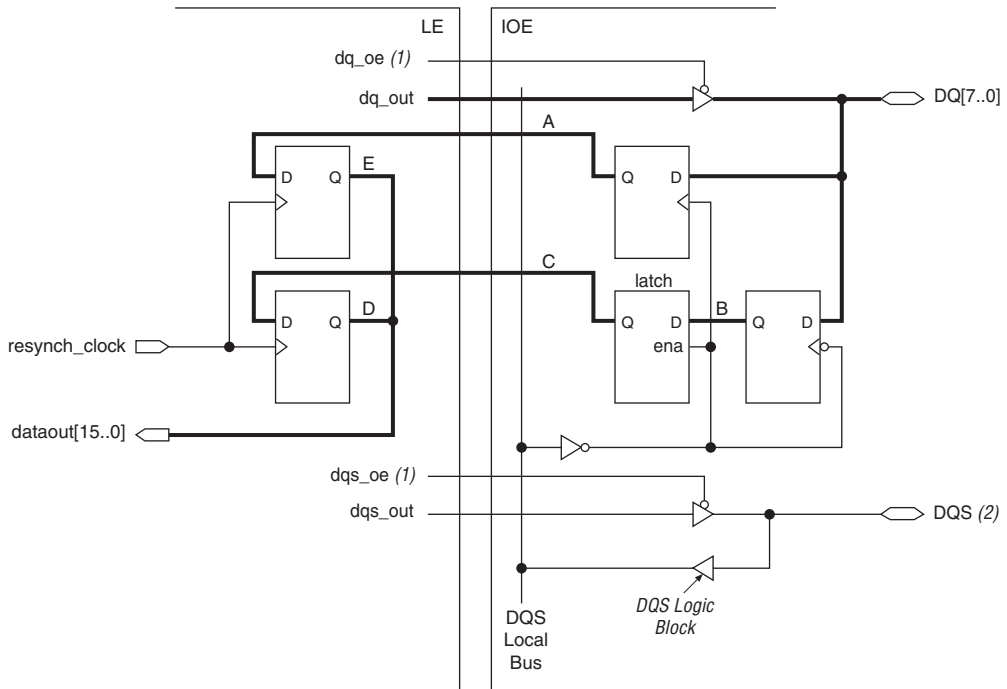


図 9 の注 :

- (1) ここには出力イネーブル・レジスタは記載されていませんが、シリコンでは dqs_oe および dq_oe はアクティブ Low です。ただし、Quartus II ソフトウェアはこれをアクティブ High として実装し、コンパイル時に自動的にインバータを追加します。
- (2) 図 9 には、DQS ポストアンプ回路は示してありません。



DQ および DQS パスについて詳しくは、「Stratix II デバイス・ハンドブック Volume 2」の「Stratix II & Stratix II GX デバイスの外部メモリ・インタフェース」の章を参照してください。

メモリ・タイミング・パラメータ

リード・タイミング解析では、最初に DDR2 SDRAM メモリ・デバイスからの DQ 出力と DQS 出力間のタイミング関係を取得します。この例では、クロック速度 267 MHz またはデータ・レート 533 Mbps のタイミングを解析しているので、半クロック周期は、DQS ストローブのデューティ・サイクル歪みを考慮すれば、1688 ps になります。これは、メモリ・データシートには t_{HP} として規定されており、3750 ps クロック周期の 45% です。 t_{HP} とは別に、メモリでは t_{DQSQ} と t_{QHS} も規定されています。前者は DQS エッジから最後の DQ ビット有効までの最大時間を規定し、後者はデータ・ホールド・スキュー係数を規定します。

これらのメモリ・タイミング・パラメータを使用すると、メモリのデータ有効ウィンドウは、 $t_{HP} - t_{QHS} - t_{DQSQ} = 988 \text{ ps}$ として計算できます。すべての DQ および DQS トレース間でのボード・トレース長のバラツキが $\pm 20 \text{ ps}$ 以内と仮定すると、FPGA 入力ピンにおけるデータ有効ウィンドウは 948 ps です。

FPGA タイミング・パラメータ

FPGA タイミング・パラメータは、Quartus II ソフトウェアのタイミング・アナライザと Stratix II データシートの 2 つのソースから得られます。Quartus II ソフトウェアはすべてのクロックおよびデータ伝播遅延を提供し、データシートにはすべてのクロックの不確定性とスキュー・アダー項が規定されています。

Stratix II は、デバイスのトップ / ボトム IO バンクに、DQ 入力信号に対して DQS エッジを中央に揃える専用 DQS 位相シフト回路を備えています。この位相シフト回路には粗い遅延分解能と細かな遅延分解能があります。粗い遅延機能は PVT に対する自己補正機能で、分解能は基準クロック周波数の 22.5° 、 30° 、または 36° (DLL 動作モードに基づきます) です。



DLL 動作について詳しくは、「Stratix II デバイス・ハンドブック Volume 2」の「外部メモリ・インタフェース」の章を参照してください。

ターゲット・メモリの速度は 267 MHz であり、DLL 周波数モード 2 ($200 \sim 310 \text{ MHz}$) と 3 ($240 \sim 400 \text{ MHz}$, C3; $240 \sim 340 \text{ MHz}$, C4, C5) の間で選択できます。DLL 周波数モード 2 は 30° の粗い位相分解能を提供し、モード 3 は 36° の分解能を提供します。デレイ・チェーンを使用して実装された DLL オフセットで、この位相シフトをさらに微調整することができます。

この解析では、DQS ストロープ (DLL 周波数モード 2) が 90° 位相シフトされると仮定しています。これは、リード・キャプチャ・レジスタでセットアップおよびホールド・マージンのバランスをとるために、このタイミング解析の最後で位相シフト (および DLL 周波数モード) を常に調整できることが分かっているためです。

DQS 位相シフト回路は DLL を使用して、自己補正型の粗い遅延シフトを提供します。したがって、DQS 信号のジッタと位相シフト・エラーを考慮する必要があります。データシートでは、DLL 周波数モード 2 の $t_{DQS_PHASE_JITTER}$ ($\pm 45 \text{ ps}$) および t_{DQS_PSERR} ($\pm 38 \text{ ps}$) のタイミング・パラメータが規定されています。

位相シフト回路の検出後、DQS 信号は専用ローカル・クロック・バス上を DQ キャプチャ・レジスタまで伝達されます。このローカル・クロック・バスのファンアウトの範囲は、 $\times 4 \sim \times 36$ が可能です。Quartus II ソフトウェアは、これらの各 DQ レジスタ・クロックへのクロック伝播遅延を提供しますが、モデル化されない不確定性は、データシートに記載される $t_{DQS_SKEW_ADDER}$ スキュー・アダー項によって計上されます。この例で使用する $\times 8$ モードの場合、スキュー・アダーは $\pm 35 \text{ ps}$ です。

ターゲット・デバイスの Quartus II ソフトウェア・タイミング・データを取得するには、DDR2 SDRAM コントローラ MegaCore をインスタンス化してコンパイルする必要があります。独自のコントローラ・ロジックを使用している場合は、タイミング遅延を取得しないで、クリア・テキスト DDR2 SDRAM データ・パスをインスタンス化しなければなりません。リード・インタフェースの場合、MegaCore ファンクションは、各 DQ および DQS ピンに関連付けられているタイミング遅延を抽出し、それをプロジェクト・ディレクトリ内の `<core_instance_name>_extraction_data.txt` ファイルに出力します。このデータ・ファイルと `extract.tcl` ユーティリティを使用して、表 5 に示すように、クロックおよびデータ・パスの最小および最大伝播遅延が抽出されます。このタイミング抽出は、各デバイス・モデル（高速コーナと低速コーナ）に対して 1 回ずつ、合計 2 回実行されます。ダイおよびパッケージ内で配線パスがマッチングしているので、最小遅延と最大遅延の差が最小になることを確認します。

	高速コーナ (ns)	低速コーナ (ns) (-3 スピード・グレード)
データ遅延 (最小)	1.113	1.698
データ遅延 (最大)	1.173	1.758
クロック遅延 (最小)	2.031	2.612
クロック遅延 (最大)	2.051	2.632
マイクロ・セットアップ (2)	0.068	0.122
マイクロ・ホールド (2)	0.037	0.072

表 5 の注：

- これらの遅延は、プロジェクト・ディレクトリ内の `<core_instance_name>_extraction_data.txt` ファイルにレポートされます。データ遅延は各 DQ ピンから入力 DDR レジスタまでの伝播遅延で、`dq_2_ddio` としてレポートされます。クロック遅延は対応する DQS ピンから DDR 入力レジスタまでの伝播遅延で、`dqspin_2_dqsclk+dqsclk_2_ddio_resync` として計算されます。
- マイクロ・セットアップおよびマイクロ・ホールド・タイムは、「Stratix II デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章に記載されています。

セットアップおよびホールド・マージンの計算

メモリ、FPGA、およびボードから関連するすべてのタイミング情報を取得した後、リード動作時に DQ キャプチャ・レジスタでセットアップおよびホールド・マージンを計算できます。

FPGA 低速コーナ・モデルから抽出されたタイミング情報を使用：

$$\begin{aligned}
 \text{最も早いクロック到達時間} &= \text{FPGA 内の最小クロック遅延} \\
 (t_{\text{EARLY_CLOCK}}) &\quad - \text{DQS 不確定性} \\
 &= \text{クロック遅延 (最小)} - \\
 &\quad t_{\text{DQS_PHASE_JITTER}} - \\
 &\quad t_{\text{DQS_PSERR}} - t_{\text{DQSQINT}} \\
 &= 2612 - 45 - 37.5 - 35 \\
 &= 2495 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{最も遅いデータ有効時間} &= \text{メモリ DQS-to-DQ 有効 + FPGA の最大} \\
 (t_{\text{LATE_DATA_VALID}}) &\quad \text{最大データ遅延} \\
 &= t_{\text{DQSQ}} + \text{データ遅延 (最大)} \\
 &= 300 + 1758 \\
 &= 2058 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{セットアップ・マージン} &= \text{最も早いクロック到達時間} - \text{最も遅いデータ} \\
 &\quad \text{有効} - \text{マイクロ・セットアップ・ボードの} \\
 &\quad \text{不確定性} \\
 &= t_{\text{EARLY_CLOCK}} - t_{\text{LATE_DATA_VALID}} - \\
 &\quad \mu t_{\text{SU}} - t_{\text{EXT}} \\
 &= 2495 - 2058 - 122 - 20 \\
 &= 295 \text{ ps}
 \end{aligned}$$

したがって、低速コーナ・タイミング・モデルのセットアップ・マージンは 230 ps です。これらの計算を高速コーナ・タイミング・モデルで繰り返すと、セットアップ・マージンは 353 ps になります。

$$\begin{aligned}
 \text{最後のクロック到達時間} &= \text{FPGA 内の最大クロック遅延} \\
 (t_{\text{LATE_CLOCK}}) &\quad + \text{DQS 不確定性} \\
 &= \text{クロック遅延 (最大)} + \\
 &\quad t_{\text{DQS_PHASE_JITTER}} + \\
 &\quad t_{\text{DQS_PSERR}} + t_{\text{DQSQINT}} \\
 &= 2632 + 45 + 37.5 + 35 \\
 &= 2750 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{最も早いデータ無効時間} &= \text{メモリ DQS-to-DQ 無効 +} \\
 (t_{\text{EARLY_DATA_INVALID}}) &\quad \text{FPGA での最小データ遅延} \\
 &= (t_{\text{HP}} - t_{\text{QHS}}) + \text{データ遅延 (最小)} \\
 &= (1688 - 400) + 1698 \\
 &= 2986 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{ホールド・マージン} &= \text{最後のクロック到達時間} - \text{最も早い} \\
 &\quad \text{データ無効時間} - \text{マイクロ・ホールド} - \\
 &\quad \text{ボードの不確定性} \\
 &= t_{\text{EARLY_DATA_INVALID}} - t_{\text{LATE_CLOCK}} \\
 &\quad - \mu t_{\text{H}} - t_{\text{EXT}} \\
 &= 2986 - 2750 - 72 - 20 \\
 &= 144 \text{ ps}
 \end{aligned}$$

したがって、低速コーナ・タイミング・モデルのホールド・マージンは 144 ps です。これらの計算を高速コーナ・モデルで繰り返すと、ホールド・マージンは 175 ps になります。このセットアップおよびホールド・マージンは、DLL 周波数モード 3 では 72° 位相シフトを使用して、また DLL 周波数モード 2 では正遅延オフセットと 60° 位相シフトを使用してバランスをとることができます。表 6 に、DDR2 SDRAM メモリからの DLL ベースのリード動作のタイミング解析を示します。

表 6. 専用 DQS 回路を使用した、EP2S60F1020C3 での 267 MHz DDR2 SDRAM インタフェースのリード・タイミング解析 (1 / 3)				
パラメータ	仕様	高速 コーナ・ モデル	低速 コーナ・ モデル	説明
メモリ仕様 (1)	t_{HP}	1.688	1.688	メモリ・データシートで規定される半周期 (メモリ・クロックのデューティ・サイクル歪みを含む)
	t_{DQSQ}	0.300	0.300	メモリからの DQS と DQ 間のスキュー
	t_{QHS}	0.400	0.400	メモリ・データシートで規定されるデータ・ホールド・スキュー係数

表 6. 専用 DQS 回路を使用した、EP2S60F1020C3 での 267 MHz DDR2 SDRAM インタフェースのリード・タイミング解析 (2/3)

パラメータ	仕様	高速 コーナ・ モデル	低速 コーナ・ モデル	説明
FPGA 仕様 (2)、(3)、 (4)	$t_{DQS_PHASE_JITTER}$	0.045	0.045	DLL によって遅延する (3 遅延ステージ=± 3×15) DQS 出力の位相ジッタ
	t_{DQS_PSERR}	0.038	0.038	DLL によって遅延する (3 遅延ステージ) DQS 出力の位相シフト誤差
	$t_{DQS_SKEW_ADDER}$	0.035	0.035	x8 用のクロック遅延スキュー・アダー
	最小クロック遅延 (入力)	2.031	2.612	Quartus II ソフトウェアからの、DQS ピンから IOE レジスタまでの最小遅延 (90° DLL ベース位相シフト付き)
	最大クロック遅延 (入力)	2.051	2.632	Quartus II ソフトウェアからの、DQS ピンから IOE レジスタまでの最大遅延 (90° DLL ベース位相シフト付き)
	最小データ遅延 (入力)	1.113	1.698	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最小遅延
	最大データ遅延 (入力)	1.173	1.758	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最大遅延
	μt_{SU}	0.068	0.122	IOE レジスタの固有セットアップ・タイム
	μt_{H}	0.037	0.072	IOE レジスタの固有ホールド・タイム
ボード仕様	t_{EXT}	0.020	0.020	DQ および DQS ラインのボード・トレースのバラツキ
タイミング計算	t_{EARLY_CLOCK}	1.914	2.495	DQS 位相シフト回路後の可能な最も早いクロック・エッジおよび不確定性 (最小クロック遅延 - $t_{DQS_JITTER} - t_{DQS_PSERR} - t_{DQS_SKEW_ADDER}$)
	t_{LATE_CLOCK}	2.169	2.750	DQS 位相シフト回路後の可能な最も遅いクロック・エッジおよび不確定性 (最大クロック遅延 + $t_{DQS_JITTER} + t_{DQS_PSERR} + t_{DQS_SKEW_ADDER}$)
	$t_{EARLY_DATA_INVALID}$	2.401	2.986	最も早いデータが FPGA フロップでのサンプリングに対して無効になる時間 ($t_{HP} - t_{QHS} +$ 最小データ遅延)
	$t_{LATE_DATA_VALID}$	1.473	2.058	最も遅いデータが FPGA フロップでのサンプリングに対して有効になる時間 ($t_{DQSQ} +$ 最大データ遅延)

表 6. 専用 DQS 回路を使用した、EP2S60F1020C3 での 267 MHz DDR2 SDRAM インタフェースのリード・タイミング解析 (3 / 3)				
パラメータ	仕様	高速 コーナ・ モデル	低速 コーナ・ モデル	説明
結果	リード・セットアップ・ タイミング・マージン(3)	0.353	0.295	$t_{\text{EARLY_CLOCK}} - t_{\text{LATE_DATA_VALID}} - \mu t_{\text{SU}} - t_{\text{EXT}}$
	リード・ホールド・タ イミング・マージン (3)	0.175	0.144	$t_{\text{EARLY_DATA_INVALID}} - t_{\text{LATE_CLOCK}} - \mu t_{\text{H}} - t_{\text{EXT}}$
	合計マージン	0.528	0.439	セットアップ・マージン + ホールド・マージン

表 6 の注：

- (1) メモリ仕様は、Micron MT9HTF3272AY-53E DIMM のデータシートに基づきます。
- (2) この解析は、EP2S60F1020C3 デバイス用の FPGA タイミング・パラメータで実行されています。このテンプレートを使用して、希望の Stratix II の集積度とパッケージの組み合わせのタイミングを解析する必要があります。FPGA の仕様については、「Stratix II デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。
- (3) これらの数値は、DDR2 SDRAM コントローラ MegaCore 3.3.0 を使用する Quartus II ソフトウェア・バージョン 5.1 の場合です。
- (4) パッケージ・トレース・スキューは、Quartus II ソフトウェアによってモデル化されます。

PLL ベース実装のリード・タイミング・マージン

PLL ベース実装のタイミング・マージン解析は、前述した DLL ベース実装と非常に似ています。唯一の違いは、使用するキャプチャ・クロックと関連クロックの不確定性です。このモードでは、CK クロック信号のコピーは FPGA 内部の PLL にフィードバックされます。

この例では、PLL を使用した 200 MHz リード動作における DDR2-400 メモリ・デバイスのマージンを解析しています。

図 10 に、Stratix II デバイスの PLL ベースのリード・データ・パスを示します。FB_CLK 信号は PLL に送られ、PLL は位相シフトされたリード・クロックを生成してリード・データをキャプチャします。次に、DQ レジスタの出力は LE 再同期レジスタに送られます。データがシステム・クロックと同期する前に、複数の再同期レジスタが必要になる場合があります。

図 10. Stratix II デバイスの PLL ベースのリード・データ・パス

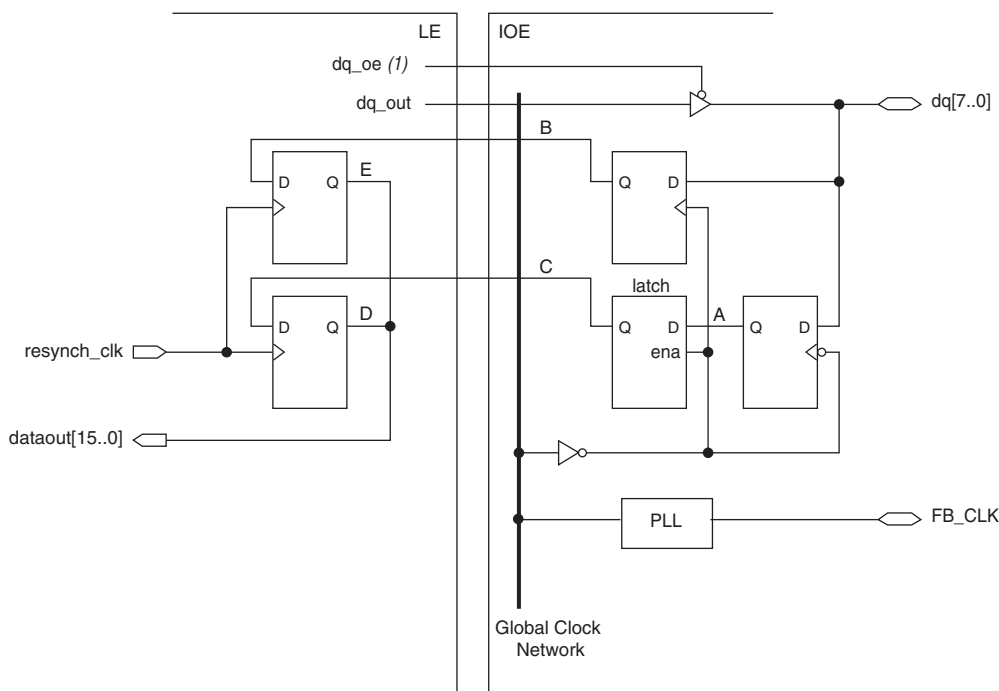


図 10 の注：

- (1) dq_oe 信号はシリコンではアクティブ Low です。ただし、Quartus II ソフトウェアはコンパイル時に自動的にインバータを追加します。

メモリ・タイミング・パラメータ

CK クロックに対するデータ (DQ) のタイミング関係は、 t_{AC} パラメータによって制御されます。DDR2-400 メモリ・デバイスの場合、このタイミング・パラメータは ± 600 ps です。このメモリ・パラメータは、DLL ベース実装で使用する t_{DQSQ} および t_{QHS} パラメータに置き換えられます。

FPGA タイミング・パラメータ

CK クロックがリード・キャプチャのために PLL にフィードバックされたとき、このクロックに生じる不確定性には、ジッタ、位相シフト誤差、および補正誤差が含まれます。ジッタおよび位相シフト誤差パラメータは以前に定義したとおりですが、補正誤差とは入力リファレンスを追跡するクロック出力を再生成する PLL の能力を表したものです。PLL のソース・シンクロナス・モードの場合、このパラメータは一般に $t_{PLL_COMP_ERROR} = \pm 100$ ps となります。



PLL 仕様について詳しくは、「Stratix II ハンドブック Volume 2」の「Stratix II デバイスの PLL」の章を参照してください。

PLL ベースのリード実装は、シングル・グローバル・クロック・ネットワークを使用して、位相シフトされたクロック信号を IOE の DQ キャプチャ・レジスタに分配します。これらのレジスタまでのクロック到達時間の違い（クロック・スキュー）は、Quartus II ソフトウェアでモデル化され、クロックの最小または最大伝播遅延に反映されます。さらに、Quartus II ソフトウェアは、デバイスの各ピンのパッケージ・トレース遅延をモデル化します。そのためこの解析では、タイミング・マージン解析においてこのようなスキューを個別に考慮していません。抽出された最小または最大クロックおよびデータ遅延は、これらの不確定性を考慮しています。

ターゲット・デバイスの Quartus II ソフトウェア・タイミング・データを取得するには、DDR2 SDRAM コントローラ MegaCore ファンクションをインスタンス化してコンパイルします。独自のコントローラ・ロジックを使用している場合は、タイミング遅延を取得しないで、クリア・テキスト DDR2 データ・パスをインスタンス化します。リード・インタフェースの場合、Quartus II ソフトウェアは各 DQ ピンの個別セットアップおよびホールド・タイムをレポートします。タイミング・レポートでは、List Paths オプションを選択して、その DQ ピンのデータおよびクロック伝播遅延を取得します。DQ レジスタが最小および最大伝播遅延を抽出するためのワースト・ケースのセットアップおよびホールドを選択します。

例えば、下記のリスト・パス例は DQ[9] のセットアップ・タイムを示します。このパスは、DQ ピンのレジスタ・パスまでの伝播遅延が 0.964 ns、FB_CLK クロック・ピンのレジスタ・パスまでの伝播遅延が 2.148 ns (-0.750 + 2.898)であることを示しています。クロック・パスには、75° または 1.042 ns の PLL 位相シフト遅延が含まれます。このアプローチを使用して、クロックおよびデータ・パスの最小および最大伝播遅延が抽出されます（表 7 を参照）。このタイミング抽出は、各デバイス・モデル（高速モデルと低速モデル）に対して 1 回ずつ、合計 2 回実行されます。

Info: レジスタ "ddr2_nondqs:ddr2_nondqs_ddr_sdram |...|\g_dq_io:1:dq_io-ddio_out_reg" の tsu (データ・ピン = "ddr2_dq[9]")、

クロック・ピン = "feedback_clk_in") は -1.062 ns です。

Info: + ピンからレジスタまでの最大遅延は 0.964 ns です。

Info: + デイスティネーションのマイクロ・セットアップ遅延は 0.122 ns です。

Info: - 入力クロック "feedback_clk_in" と出力クロック

"ddr_pll_fb_stratixii:g_stratixpll_ddr_feedback_pll_inst |altpll:altpll_component|_clk0" の間のオフセットは -0.750 ns です。

Info: - クロック "ddr_pll_fb_stratixii:g_stratixpll_ddr_feedback_pll_inst |altpll:altpll_component|_clk0" から デイスティネーション・レジスタまでの最短クロック・パスは 2.898 ns です。

表 7 に、200 MHz の PLL ベース実装のリード・キャプチャ・マージンを示します。IP Toolbench ユーティリティは、DDR2 SDRAM コントローラ MegaCore インスタンスのリード・タイミング・パスに対して、同様なタイミング・マージン解析を実行します。

表 7. EP2S60F1020C3 での 200 MHz DDR2 SDRAM インタフェースのリード・タイミング解析 (PLL ベースのリード) (1 / 2)				
パラメータ	仕様	200-MHz 高速モデル	200-MHz 低速モデル	説明
メモリ仕様 (1)	t_{HP}	2.250	2.250	メモリ・データシートで規定される半周期
	t_{AC}	0.600	0.600	DDR2 400 Mbps デバイス用メモリ・クロック (CK) からのデータ (DQ) 出力アクセス時間
FPGA 仕様	PLL 位相シフト (2)	1.042	1.042	データをキャプチャするための PLL 位相シフト (これは 75° を使用)
	t_{PLL_JITTER} (2), (3)	0.125	0.125	Stratix II PLL のジッタ
	$t_{PLL_COMP_ERROR}$ (2)	0.100	0.100	PLL の補正誤差 (広帯域幅)
	t_{PLL_PSERR} (2)	0.015	0.015	PLL 位相シフト誤差
	t_{CO_SKEW} (CK および FB_CLK)	0.025	0.025	Quartus II ソフトウェアからの CK および フィードバック・クロック信号のクロック・出力時間のバラツキ (5)
	最小クロック遅延 (6)	0.840	1.063	Quartus II ソフトウェアからの、フィードバック・クロック・ピンから IOE レジスタまでの最小遅延
	最大クロック遅延 (6)	0.861	1.106	Quartus II ソフトウェアからの、フィードバック・クロック・ピンから IOE レジスタまでの最大遅延
	最小データ遅延 (6)	0.611	0.964	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最小遅延
	最大データ遅延 (6)	0.705	1.060	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最大遅延
	μt_{SU}	0.068	0.122	IOE レジスタの固有セットアップ・タイム
μt_{H}	0.037	0.072	IOE レジスタの固有ホールド・タイム	
ボード仕様	t_{EXT_SKEW}	0.020	0.020	DQ および DQS ラインでのボード・トレースのバラツキ

表 7. EP2S60F1020C3 での 200 MHz DDR2 SDRAM インタフェースのリード・タイミング解析 (PLL ベースのリード) (2 / 2)				
パラメータ	仕様	200-MHz 高速モデル	200-MHz 低速モデル	説明
タイミング計算	$t_{\text{EARLY_CLOCK}}$	1.642	1.865	DQS 位相シフト回路後の可能な最も早いクロック・エッジおよび不確定性 (最小クロック遅延 - $t_{\text{PLL_PSERR}} - t_{\text{PLL_JITTER}} - t_{\text{PLL_COMP_ERROR}}$)
	$t_{\text{LATE_CLOCK}}$	2.143	2.388	DQS 位相シフト回路後の可能な最も遅いクロック・エッジおよび不確定性 (最大クロック遅延 + PLL 位相シフト + $t_{\text{PLL_PSERR}} + t_{\text{PLL_JITTER}} + t_{\text{PLL_COMP_ERROR}}$)
	$t_{\text{EARLY_DATA_INVALID}}$	2.236	2.589	最も早いデータが FPGA フロップでのサンプリングに対して無効になる時間 ($t_{\text{HP}} - t_{\text{AC}} +$ 最小データ遅延 - $t_{\text{CO_SKEW}}$)
	$t_{\text{LATE_DATA_VALID}}$	1.330	1.685	最も遅いデータが FPGA フロップでのサンプリングに対して有効になる時間 ($t_{\text{AC}} +$ 最大データ遅延 + $t_{\text{CO_SKEW}}$)
結果	リード・セットアップ・タイミング・マージン	0.224	0.038	$t_{\text{EARLY_CLOCK}} - t_{\text{LATE_DATA_VALID}} - \mu\text{t}_{\text{SU}} - t_{\text{EXT}}$
	リード・ホールド・タイミング・マージン	0.036	0.109	$t_{\text{EARLY_DATA_INVALID}} - t_{\text{LATE_CLOCK}} - \mu\text{t}_{\text{H}} - t_{\text{EXT}}$
	合計マージン	0.260	0.147	セットアップ + ホールド・タイム・マージン

表 7 の注 :

- (1) 仕様は 200 MHz Micron MT9HTF3272AG-40E のデータシートに基づきます。
- (2) 最終特性評価では値が変更される場合があります。
- (3) セットアップおよびホールド・タイム・マージンのバランスをとる必要がある場合は、PLL 位相シフトを調整できます。
- (4) パッケージ・トレース長スキューは、Quartus II ソフトウェア・バージョン 5.0 以降でモデル化されます。追加アダーは必要ありません。
- (5) この数値は、Quartus II ソフトウェアがユーザの CK にレポートした t_{co} とフィードバック・クロックの差を表します。解析で使用された値は、隣接するピンなど、 t_{co} が厳密にマッチングしたピンを選択すれば小さくできます。
- (6) これらの数値は、DDR2 SDRAM コントローラ MegaCore 3.3.0 を使用した Quartus II ソフトウェア・バージョン 5.1 からのものです。

ライト・データのタイミング解析

DQS 位相シフト回路または PLL のいずれかを使用して、リード動作中に DDR2 SDRAM デバイスからデータをキャプチャする場合でも、ライト動作に対しては 1 つの実装しかありません。ライト・データおよびアドレス / コマンド信号に対するタイミング・マージン解析は、非常によく似ています。ここでは、ライト・データ信号のタイミングを解析します。アドレス / コマンド信号に対しても同じアプローチを使用して、これを繰り返します。

ライト動作時には、DDR2 SDRAM メモリは、クロック・ストロープ (DQS) がデータ・バス (DQ) に中央に揃えられることを要求します。これは PLL 位相シフト機能を使用して Stratix II に実装されます。PLL から 2 つの出力クロックが相対的 90° 位相オフセットで作成されます。進んだ (-90°) クロック・エッジは、DQ ライト・データ出力ピンからメモリにクロック・アウトされ、遅れた (0°) クロック・エッジは、DQS クロック・ストロープと CK/CK# メモリ出力クロックを生成します。7 ページの図 2 に、ライト動作時にメモリで要求される DQS 入力と DQ 入力間のタイミング関係を示します。

11 ページの図 5 に、DQ、DQS タイミング関係を示します。ライト側は PLL を使用して、表 8 に記載されているクロックを生成します。

クロック	説明
システム・クロック	これはメモリ・コントローラに使用され、DQS ライト、CK、および CK# 信号を生成します。
ライト・クロック (システム・クロックからの -90° シフト)	これはデータ・バスで使用され DQ ライト信号を生成します。
フィードバック・クロック	このオプションのクロックは、DDR2 SDRAM デバイスを読み出すときに DQS 位相シフト回路を使用しない場合、または再同期のためにフィードバック・クロック方式を使用する場合に使用されます。
再同期クロック	このオプションのクロックは、DQS 位相シフト回路を使用していて、再同期のために利用可能なクロック位相シフトとは異なる位相シフトが必要な場合にのみ使用されます。

メモリ・タイミング・パラメータ

メモリに書き込むとき、FPGA はセットアップ・タイムとホールド・タイムが確実に満足されるようにする必要があります。これらの仕様 (t_{DS} および t_{DH}) は、データシート (267 MHz DDR2 SDRAM の例では、それぞれ 350 ps および 350 ps) から得られます。加えて、FPGA はクロックの High/Low タイム仕様に適合するメモリ・クロック (CK/CK#) を提供する必要があります。また、DQS 出力ストロープと CK 出力クロック間のスキューがメモリで設定される制限を超えることはできません。最後のパラメータはタイミング・マージンに直接影響を与えることはありませんが、正常なメモリ動作のために満足する必要があります。

図 11 に、Stratix II デバイスの DDR2 SDRAM ライト・データ・パスを示します。

図 11. Stratix II の DDR2 SDRAM ライト・データ・パス 注 (1),(2)

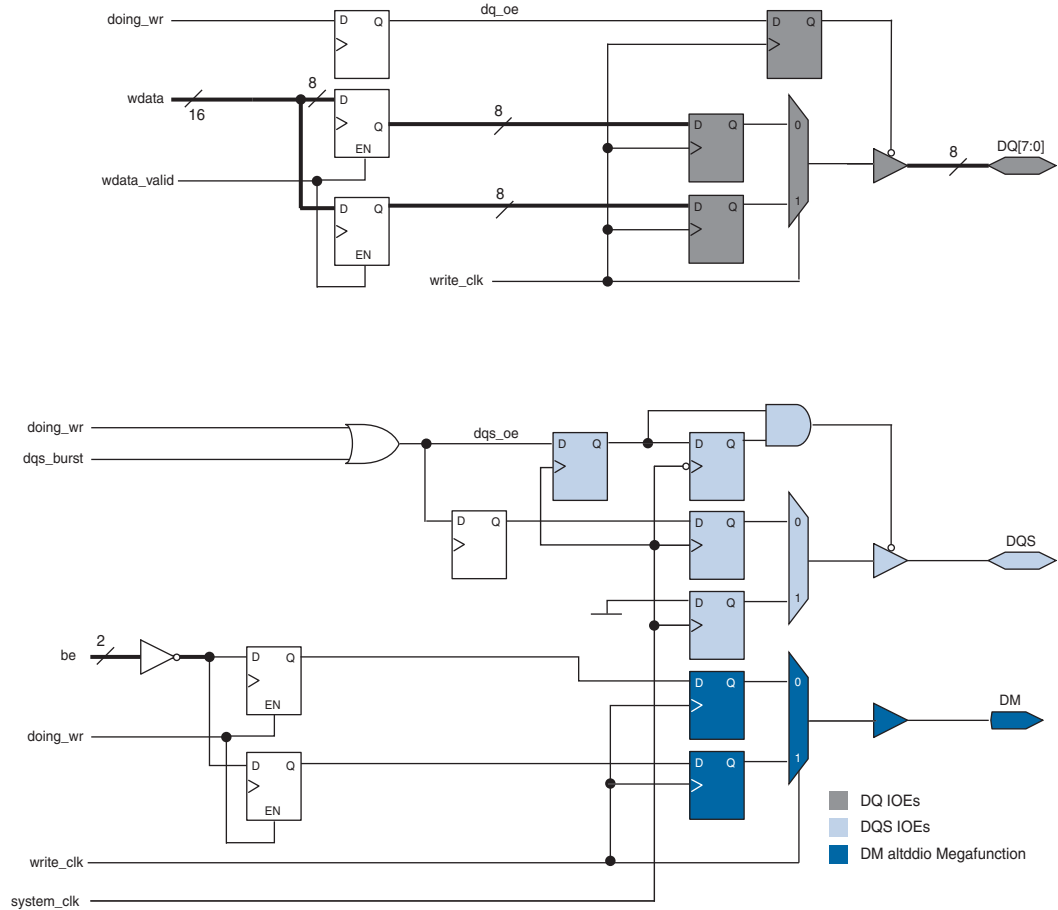


図 11 の注：

- (1) この図は 1 つの DQ 出力に対するロジックのみを示します。完全なバイト・グループは、DQ ロジックと DQS および DM ロジックの 4 または 8 インスタンスで構成されます。
- (2) クロックは、特にマーキングされていない限りすべて `system_clk` です。

FPGA タイミング・パラメータ

FPGA 内での DQ および DQS 出力からメモリまでのタイミング・パスは、データ・パス・デザインによってマッチングされます。専用クロック・ネットワークは、ダブル・データ・レート IO 構造をドライブして、DQ と DQS を生成します。これによって、これらの出力間のスキューが最小になります。これらのスキュー・パラメータには、位相シフト誤差、クロック・スキュー、およびパッケージ・スキューが含まれます。

使用される 2 つのクロック・ネットワークは、同じ PLL でドライブされますが、90° 相対的に位相シフトされます。0° クロックは DQS を生成し、-90° クロックは DQ を生成します。ジッタや補正誤差などの一般的な PLL 不確定性は、両方のクロック・ネットワークに等しく影響を与えます。したがって、これらのタイミング・パラメータはライト・タイミング・マージンには影響を与えません。DQ を生成するクロックが位相シフトされると、PLL 位相シフトの不確定性（「Stratix II デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章にリストされている $t_{PLL_PSERR} = \pm 15 \text{ ps}$ ）は、メモリ・ピンでの DQ 到達時間に影響を与えます。

Quartus II ソフトウェアは、クロック内スキュー、すなわち同じ専用クロック・ネットワークでドライブされるノード間のスキューをモデル化します。ただし、このような 2 つのクロック・ネットワーク間のスキューはモデル化されず、データシートにはアダー項として規定されています。このスキュー成分を Quartus II ソフトウェアから抽出した伝播遅延に加算する必要があります。

デバイスのトップまたはボトムにある 2 つの IO バンクにまたがる 72 ビット DDR2 SDRAM インタフェースの場合、2 つのクロック・ネットワーク間のクロック・スキュー・アダーは、 $\pm 50 \text{ ps}$ ($t_{CLOCK_SKEW_ADDER}$) として規定されています。この不確定性はメモリ・ピンでの DQS 到達時間を計算する際に使用されます。

最終スキュー成分はパッケージ・スキューです。前述のとおり、Quartus II ソフトウェアは、デバイスの各ピンのパッケージ・トレース遅延をモデル化します。抽出した伝播遅延はメモリへの出力信号間のスキューを反映したものです。

表 9 に、DDR2 SDRAM メモリ・デバイスへのライト動作のタイミング解析を示します。

表 9. EP2S60F1020C3 での 267 MHz DDR2 SDRAM インタフェースのライト・タイミング解析 (1 / 3)				
パラメータ	仕様	高速 コーナ・ モデル	低速 コーナ・ モデル	説明
メモリ仕様 (1)、(3)、 (4)	t_{DS}	0.395	0.395	メモリ・データ・セットアップ要件
	t_{DH}	0.335	0.335	メモリ・データ・ホールド要件

表 9. EP2S60F1020C3 での 267 MHz DDR2 SDRAM インタフェースのライト・タイミング解析 (2 / 3)

パラメータ	仕様	高速 コーナ・ モデル	低速 コーナ・ モデル	説明
FPGA 仕様 (1)	t_{HP}	1.875	1.875	理想的な半周期時間
	t_{DCD}	0.188	0.188	FPGA 出カクロックのデューティ・サイクル歪み ($\pm 5\%$)
	t_{PLL_JITTER}	0.000	0.000	同じ PLL が両方のライト・クロック (0° および -90°) を生成するためマージンには影響を与えません。
	t_{PLL_PSERR}	0.015	0.015	PLL 位相シフト誤差 (-90° クロック出力)
	$t_{CLOCK_SKEW_ADDER}$	0.050	0.050	FPGA の同じ側の IO バンクに供給する 2 つの専用クロック・ネットワーク間のスキューをクロックします。
	最小クロック遅延 (出力)	0.925	1.864	Quartus II ソフトウェアからの最小 DQS t_{CO} (0° PLL 出カクロック)
	最大クロック遅延 (出力)	0.960	1.909	Quartus II ソフトウェアからの最大 DQS t_{CO} (0° PLL 出カクロック)
	最小データ遅延 (出力)	-0.021	0.918	Quartus II ソフトウェアからの最小 DQ t_{CO} (-90° PLL 出カクロック)
最大データ遅延 (出力)	0.117	1.226	Quartus II ソフトウェアからの最大 DQ t_{CO} (-90° PLL 出カクロック)	
ボード仕様	t_{EXT}	0.020	0.020	DQ および DQS ラインのボード・トレースのバラツキ
タイミング計算	t_{EARLY_CLOCK}	0.875	1.814	メモリ・デバイスから見た可能な最も早いクロック・エッジ (最小クロック遅延 $- t_{PLL_JITTER} - t_{CLOCK_SKEW_ADDER}$)
	t_{LATE_CLOCK}	1.010	1.959	メモリ・デバイスから見た可能な最も遅いクロック・エッジ (最大クロック遅延 $+ t_{PLL_JITTER} + t_{CLOCK_SKEW_ADDER}$)
	$t_{EARLY_DATA_INVALID}$	1.652	2.591	最も早いデータがメモリ入力ピンでのサンプリングのために無効になる時間 ($t_{HP} - t_{DCD} +$ 最小データ遅延 $- t_{PLL_PSERR}$)
	$t_{LATE_DATA_VALID}$	0.132	1.241	最も遅いデータがメモリ入力ピンでのサンプリングのために有効になる時間 (最大データ遅延 $+ t_{PLL_PSERR}$)

表 9. EP2S60F1020C3 での 267 MHz DDR2 SDRAM インタフェースのライト・タイミング解析 (3 / 3)

パラメータ	仕様	高速 コーナ・ モデル	低速 コーナ・ モデル	説明
結果	ライト・セットアップ・ タイミング・マージン (3)	0.328	0.158	$t_{\text{EARLY_CLOCK}} - t_{\text{LATE_DATA_VALID}} - t_{\text{DS}} - t_{\text{EXT}}$
	ライト・ホールド・タイ ミング・マージン (3)	0.287	0.277	$t_{\text{EARLY_DATA_INVALID}} - t_{\text{LATE_CLOCK}} - t_{\text{DH}} - t_{\text{EXT}}$
	合計マージン	0.615	0.435	セットアップ・マージン + ホールド・マージン

表 9 の注：

- (1) この解析は、EP2S60F1020C3 デバイスに対する FPGA タイミング・パラメータで実行されています。このテンプレートを使用して、希望の Stratix II の集積度とパッケージの組み合わせのタイミングを解析する必要があります。FPGA の仕様については、「Stratix II デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。
- (2) ここで使用したメモリ番号は、1 V/ns の DQ/DQS エッジ・レートを使用した Micron MT47H64M8-37E コンポーネント・データシートから転載したものです。デザインのエッジ・レートを決定するには、「AN 408: Stratix II FPGA の DDR2 メモリ・インタフェースの終端、ドライブ強度、および負荷に関するデザイン・ガイドライン」に記載されている、ボード・レベルのシミュレーションを実行する必要があります。
- (3) これらの数値は、DDR2 SDRAM コントローラ MegaCore 3.3.0 を使用した Quartus II ソフトウェア・バージョン 5.1 からのものです。
- (4) パッケージ・トレース・スキューは、Quartus II ソフトウェアによってモデル化されています。

ラウンドトリップ遅延の計算

再同期には、DQS クロック・ドメインから FPGA システム・クロック・ドメインへのメモリ・リード・データの転送が関係しています。再同期パスのタイミングの解析には、PVT でのクロックおよびデータ信号のラウンドトリップ遅延 (RTD) 計算が必要です。高速および低速タイミング・モデルを使用して RTD を計算する場合、シングル・ステージ再同期実装の使用時には、高速度で安全な再同期ウィンドウが存在しない可能性があります。標準的な Stratix II DDR2 インタフェースのタイミング解析は、シングル・ステージの再同期性能（フィードバック・クロックなし）が約 200 MHz に制限されることを示しています。フィードバック・クロック実装は、遅延マッチングおよびマルチステージ再同期を使用してこの性能制限を拡大させます。

標準的な RTD パスには、FPGA の CK 出力ピンの t_{CO} などの遅延成分、CK クロックのボード・トレース遅延、CK から DQS までのメモリ伝播遅延、FPGA 内部の DQS 位相シフト遅延、およびキャプチャ・レジスタから再同期レジスタまでの DQ 伝播遅延などが含まれます。これらの各遅延成分は PVT で大きく変動する可能性があり、その結果、データ有効ウィンドウが大幅に減少するか存在しなくなります。フィードバック・クロック・アーキテクチャは、メモリ・クロック・ドメインとシステム・クロック間の 2 つのレジスタ・ステージを使用して不確実性を分割します。さらに、最初のステージ・レジスタへのクロックおよびデータ遅延パスでは、FPGA のクロック出力ピン、ボード・トレース、および FPGA 入力ピンからレジスタまでにおける遅延がマッチングされています。最初の再同期レジスタ・ステージからの不確実性は、第 2 ステージのレジスタに移動します。このモードでは、フィードバック・クロック出力は、FPGA CK クロック出力と同じ標準 I/O 規格を使用します。そして、PLL で補正されたクロック・ネットワークは、PVT での遅延のバラツキをなくします。したがって、より高速度にはこの 2 PLL フィードバック・クロック実装が推奨されます。DDR2 SDRAM MegaCore IP Toolbench は、両方の実装の再同期パスに対するタイミング・マージン解析を提供します。Quartus II ソフトウェアからのタイミング解析出力を検討するか、または類似のペーパー解析を実行して、デザインの最適な再同期実装を選択します。

オプションのフィードバック・クロックでのラウンドトリップ遅延

11 ページの図 5 に示すフィードバック・クロックおよびリード PLL は、再同期を改善します。このフィードバック・クロックは、メモリへの FB_CLK 信号に追従し、Stratix II FPGA に配線され、リード PLL と呼ぶ第 2 の PLL に信号を供給します。このリード PLL は、出力が PLL の入力と同相になる（位相シフトがない場合）ようにノーマル・モードになる必要があります。PLL への入力は、DDR2 SDRAM から $\pm t_{DQSQ}$ のスキュー + DQS、CK、および FB_CLK トレース間のボード・トレース・スキューだけスキューされます。PLL はクロック入力ピンから LE レジスタまでの遅延を補正し、DQS クロック・ドメインからのデータをフィードバック・クロック・ドメインに同期させることができます。

フィードバック・クロックは、CK および DQS 信号のボード・トレース長 ($l_1 + l_2$) 遅延分だけシステム・クロックを遅らせます。フィードバック・クロックによってクロックされるレジスタの出力が、システム・クロック・ドメインに入る前に別の再同期ステージを必要とするかどうかを計算できます。この計算では、以下の遅延に対して最大値および最小値を持つ必要があります。

- Stratix II デバイスの CK 信号のクロックから出力までの遅延
- CK ボード・トレース長
- DQS ボード・トレース長
- フィードバック・クロック・ドメイン内のレジスタおよびシステム・クロック・ドメイン内のレジスタ間のレジスタ-レジスタ遅延

図 12 に、再同期のためにオプションのフィードバック・クロックを使用したタイミング波形の例を示します。

図 12. ラウンドトリップ遅延の例

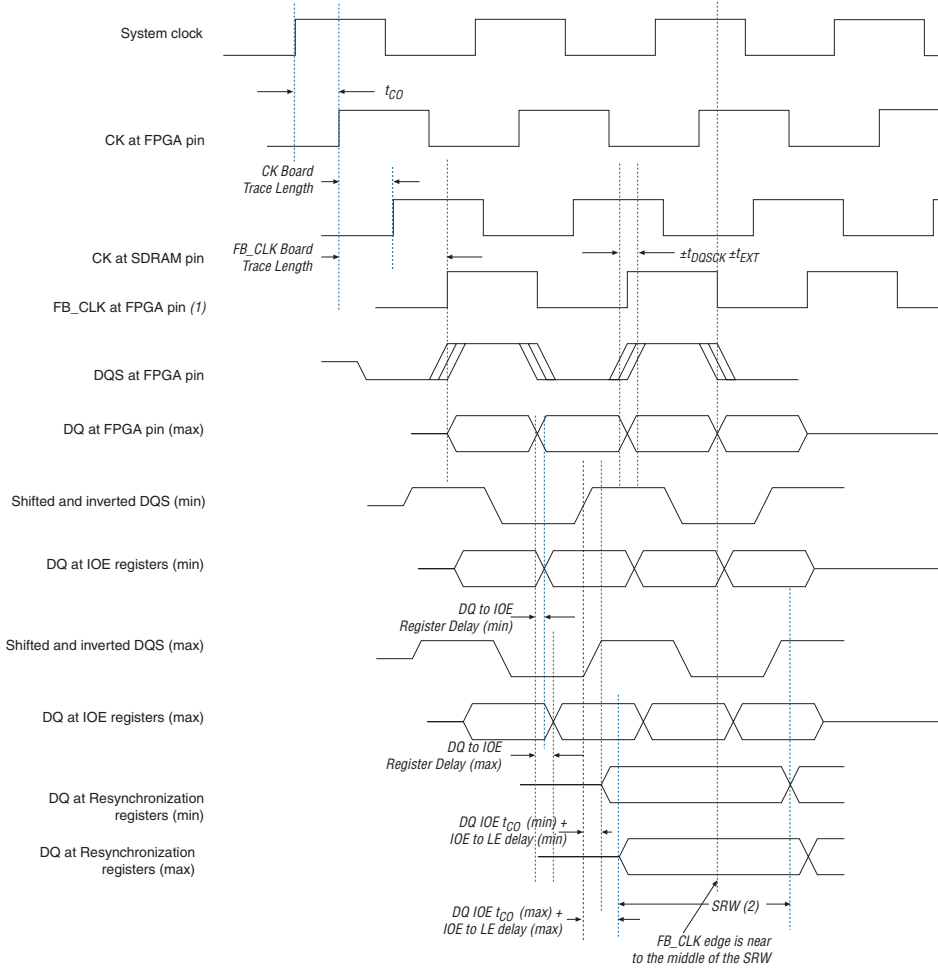


図 12 の注 :

- (1) FB_CLK 入力信号は PLL に送られ、その出力をシフトして SRW で中央揃えすることができます。
- (2) SRW: 安全な再同期ウィンドウ

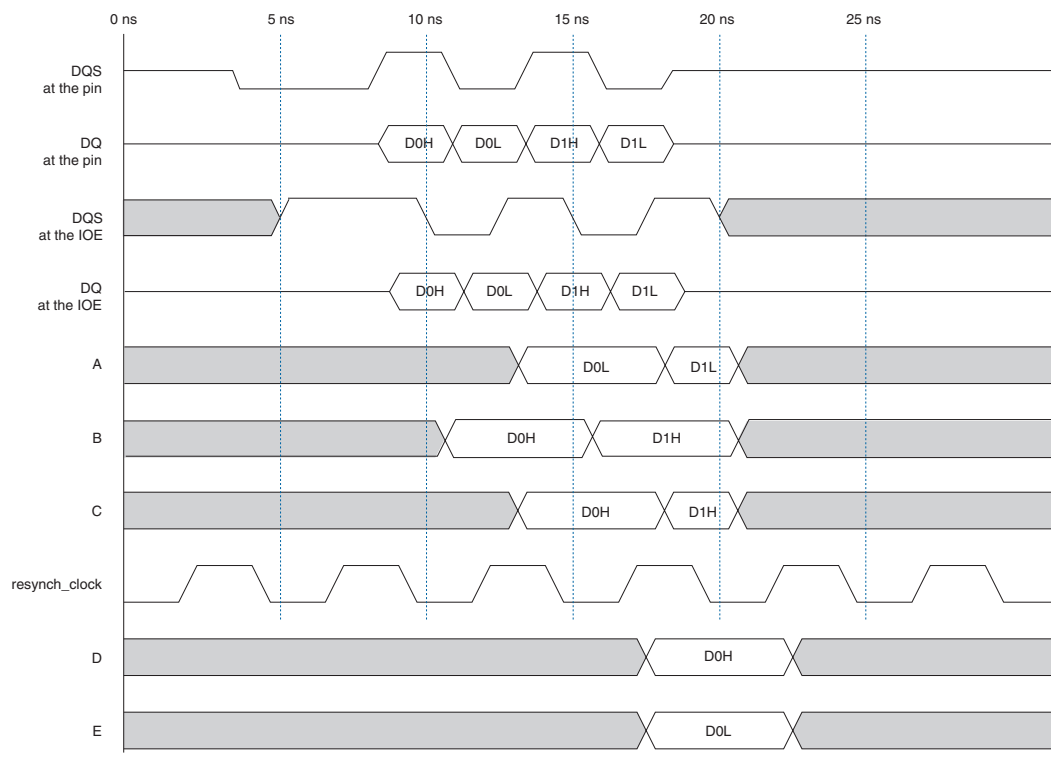
DQS ポストアンブル

DQS ポストアンブル機能は、DLL ベースのリード実装にのみ適用されます。DQS ストロープは PLL ベースの実装では使用されないため、DQS ポストアンブルを考慮する必要はありません。

DDR2 SDRAM DQ および DQS ピンは SSTL-18 標準 I/O 規格を使用します。Stratix II または DDR2 SDRAM デバイスが DQ ピンも DQS ピンもドライブしないとき、信号はハイ・インピーダンス状態になります。プルアップ抵抗が DQ および DQS を V_{TT} (0.9 V) に終端するため、ハイ・インピーダンス・ラインの実効電圧は 0.9 V です。SSTL-18 標準 I/O 規格のための JEDEC JESD 8-15A 仕様によると、これは不定ロジック・レベルであり、入力バッファはこれをロジック High またはロジック Low として解釈します。DQS ラインにノイズがある場合、入力バッファはそのノイズを実際のストロープ・エッジとして解釈する可能性があります。したがって、リード・ポストアンブル後に DQS 信号がトライステートになったときは、入力レジスタへのクロックをディセーブルにして誤ったデータがラッチされず、メモリからのすべてのデータが適切に再同期されるようにする必要があります。

図 13 に、DQS ポストアンブルが問題になる可能性があるリード動作例を示します。図 13 に、波形 A、B、C、D、および E の定義を示します。波形 A はアクティブ High の IOE 入力レジスタの出力を示します。波形 B は Stratix II の IOE 入力レジスタのアクティブ Low レジスタ出力を示します。アクティブ Low レジスタ出力はラッチに入ります。このラッチの出力を波形 C に示します。波形 D および E に再同期レジスタ後の出力信号を示します。

図 13. DQS ポストアンプル発行時のリード例



IOE レジスタにおける DOQ の最初の立ち下がりエッジは 10 ns で発生します。この時点で、データ D0H はアクティブ Low のレジスタでクロックされます（波形 B）。12.5 ns において、データ D0L がアクティブ High レジスタによってサンプリングされ（波形 A）、データ D0H はラッチを通過します（波形 C）。この例では、resynch_clock の正エッジは 16.5 ns で発生します。ここで、D0H と D0L の両方がロジック・エレメント（LE）の再同期レジスタでサンプリングされます。同様に、データ D1H はアクティブ Low レジスタによって 15 ns にクロックされ、データ D1L はアクティブ High のレジスタによってクロックされ、データ D1H は 17.5 ns にラッチを通過します。

20 ns において、DQS ライン上のノイズによって、IOE レジスタの有効クロック・エッジが波形 A、B、C の値を変化させると仮定します。resynch_clock 信号の次の立ち上がりエッジが 21.5 ns まで発生しないが、データ D1L および D1H はラッチの出力ではそれよりは有効でないため、再同期レジスタは D1L および D1H をサンプリングしないで、誤ったデータをサンプリングすることがあります。

Stratix II デバイスは、DQS ポストアンプの終わりに誤ったエッジ・トリガを防止する回路を備えています。各 Stratix II の DQS ロジック・ブロックは、AND、NAND、および NOT ゲートで構成されるポストアンプ回路に接続されています (図 14 を参照)。gated_dqs コントロールを (Quartus II ソフトウェア内で) イネーブルにすると、DQS 信号と DQS IOE 内にある入力レジスタの出力との AND をとることができます。シフトされた DQS クロックは入力レジスタをクロックする必要があります。レジスタの SCLR 入力を V_{CC} に接続します。コントローラには、リセット信号にポストアンプ開始時に DQS 立ち下がりエッジでプリセット信号を解放するよう指示する追加ロジックが含まれている必要があります。これにより、ポストアンプに続いて発生するグリッチを無効にします。

図 14. Stratix II の DQS ポストアンプ回路の接続

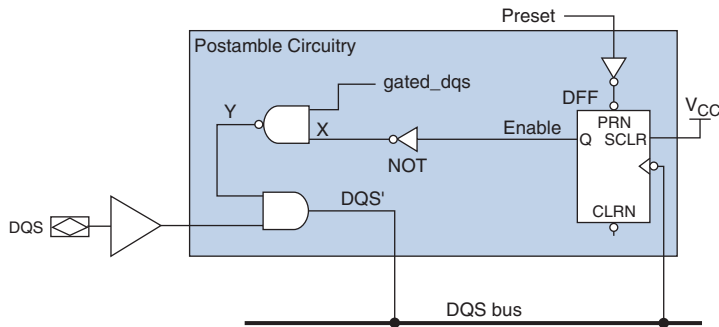


図 15 に、図 14 のタイミング波形を示します。図 16 に、Stratix II の DQS ポストアンブル回路使用時のリード・タイミング波形を示します。

図 15. Stratix II の DQS ポストアンブル回路のコントロール・タイミング波形

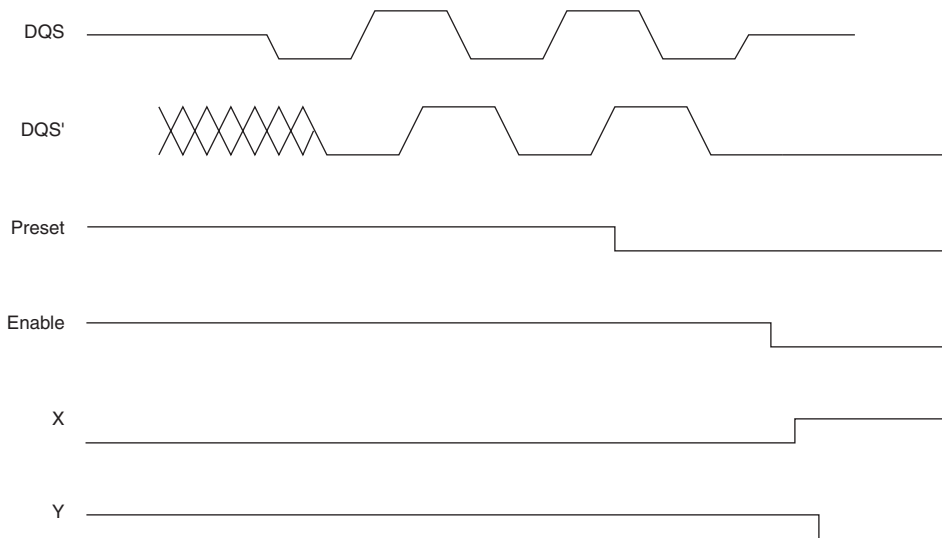
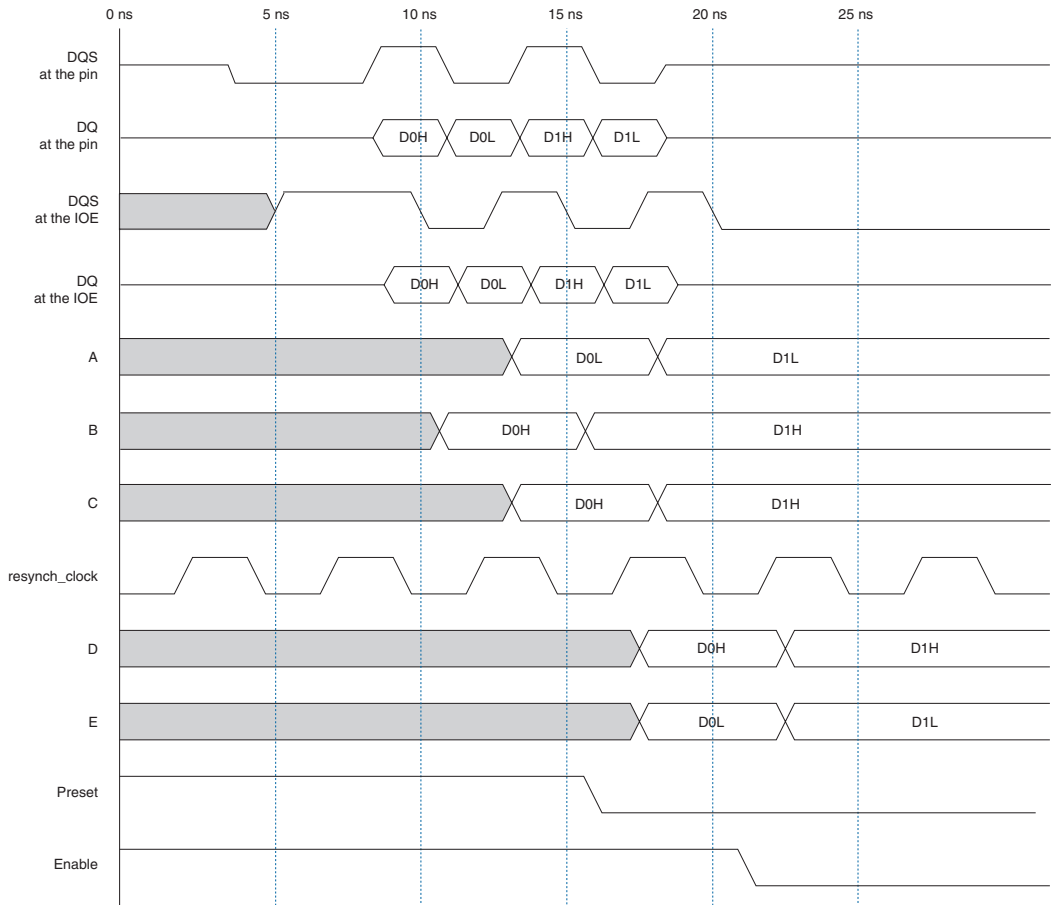


図 16. Stratix II の DQS ポストアンブル回路のリード・タイミング波形

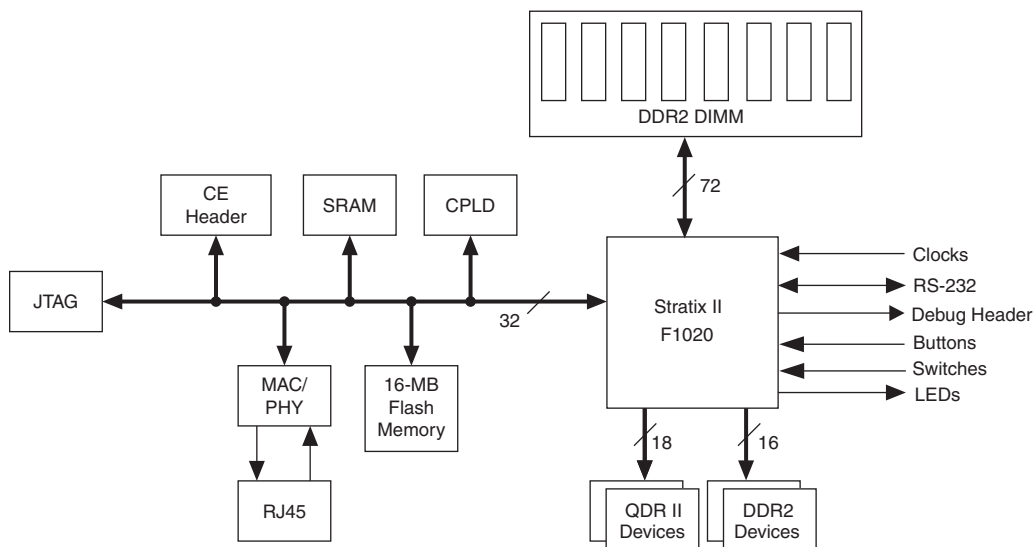


Stratix II Memory Board II

アルテラは Stratix II Memory Board II を製品化して、Stratix II FPGA との DDR2 SDRAM および QDR II SRAM インタフェースのデモを行います。Stratix II Memory Board II を使用して、DDR2 × 16 SDRAM、QDR-II × 18 SRAM、DDR2 SDRAM DIMM モジュール、フラッシュ、または SRAM メモリとの FPGA インタフェース用高速アプリケーションのプロトタイプ作成と開発を行うことができます。

Stratix II Memory Board II は、EP2S60F1020 デバイスを搭載しています。図 17 に、Stratix II Memory Board II のブロック図を示します。

図 17. Stratix II Memory Board II のブロック図



まとめ

Stratix II デバイスで利用可能な先進のクロッキング機能により、DDR2 SDRAM への高性能な多用途インタフェースを実現できます。DDR2 SDRAM で提供される広い帯域幅を必要とするアプリケーションに対して、アルテラはStratix II FPGA デバイス用の完全な実証済みメモリ・ソリューションを提供しています。

参考文献

JEDEC Standard Publication JESD79-2, DDR2 SDRAM Specification, JEDEC Solid State Technology Association

JEDEC Standard Publication JESD 8-15A, Stub Termination Logic for 1.8V (SSTL_18), JEDEC Solid State Technology Association.

MT9HTF3272AY-53E, 256Mb: x4, x8, x16 DDR2 SDRAM data sheet, Micron Technology, Inc.

改訂履歴

「AN 328: Stratix II デバイスによる DDR2 SDRAM インタフェース Ver. 3.1」に記載された情報は、以前のバージョンの内容に優先します。

「AN 328: Stratix II デバイスによる DDR2 SDRAM インタフェース Ver. 3.1」では、以下が変更されています。

- 表 1 に注 (4) を追加
- 図 14 および 16 を更新

「AN 328: Stratix II デバイスによる DDR2 SDRAM インタフェース Ver. 3.0」では、以下が変更されています。

- 以下の項が更新されています。
 - 「DDR2 SDRAM の概要」
 - 「インタフェースの説明」
 - 「インタフェース信号」
 - 「クロック信号」
 - 「ストロープ、データ、DM、およびオプションの ECC 信号」
 - 「コマンドおよびアドレス信号」
 - 「専用 DQS 回路を使用しないデータ・パス・アーキテクチャ」
 - 「インタフェースのタイミング解析」
 - 「FPGA のタイミング解析」
 - 「メモリ・タイミング・パラメータ」
 - 「FPGA タイミング・パラメータ」
 - 「セットアップおよびホールド・マージンの計算」
 - 「PLL ベース実装のリード・タイミング・マージン」
 - 「FPGA タイミング・パラメータ」
 - 「ライト・データのタイミング解析」
 - 「メモリ・タイミング・パラメータ」
 - 「FPGA タイミング・パラメータ」
 - 「ラウンドトリップ遅延の計算」

- 表 1 から 9 を更新
- 図 5 を更新
- 図 4、10、14、15、および 16 を追加

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
lit_req@altera.com

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001