



DDR SDRAM と Stratix II デバイスのインタフェース

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

2006年6月 ver. 3.1

Application Note 327

はじめに

DDR SDRAM デバイスは今日、エンベデッド・プロセッサ・システム、画像処理、ストレージ、通信およびネットワークワーキングなど、多彩なアプリケーションに幅広く使用されています。また、PC に広く採用されていることから、DDR SDRAM メモリは広帯域幅アプリケーション用の極めてコスト効果の高いDRAMソリューションです。

Stratix®II デバイスは、DDR SDRAM インタフェースの2つのモード、すなわち専用 DQS 回路を使用するモードと使用しないモードをサポートしています。専用回路がある場合、Stratix II デバイスは 200 MHz DDR SDRAM にインタフェースすることができます。専用回路がない場合、Stratix II デバイスは 150 MHz DDR SDRAM にインタフェースすることができます。

表 1. 専用 DQS 回路を使用した場合の Stratix II における DDR SDRAM の最大クロック周波数サポート 注 (1)、(2)、(3)

スピード・グレード	周波数 (MHz)
-3	200
-4	200
-5	200

表 1 の注：

- (1) この解析は EP2S60F1020 デバイスに基づいています。必ず選択した FPGA についてタイミング解析を実行してください。
- (2) これらの数値は Quartus® II ソフトウェア・バージョン 5.1 からのものです。今後作成するデザインには、Quartus II ソフトウェアの最新バージョンを使用することを推奨します。
- (3) これらの数値は、一般用および工業用デバイスの両方に適用されます。

表 2. 専用 DQS 回路を使用しない場合の Stratix II における DDR SDRAM の最大クロック周波数サポート 注 (1)、(2)、(3)

スピード・グレード	周波数 (MHz)
-3	150
-4	133
-5	100

表 2 の注：

- (1) この解析は EP2S60F1020 デバイスに基づいています。必ず選択した FPGA についてタイミング解析を実行してください。
- (2) これらの数値は Quartus II ソフトウェア・バージョン 5.1 からのものです。今後作成するデザインには、Quartus II ソフトウェアの最新バージョンを使用することを推奨します。
- (3) これらの数値は、一般用および工業用デバイスの両方に適用されます。

このアプリケーション・ノートでは、DDR SDRAM メモリと Stratix II FPGA をインタフェースする複数のシステムについて説明します。Stratix II デバイスとのインタフェースに対する電気的およびタイミング解析について詳細に解説します。



このアプリケーション・ノートは、「Stratix II デバイス・ハンドブック」の「外部メモリ・インタフェース」の章と併せて使用してください。

DDR SDRAM 概要

DDR SDRAM は 1 クロック・サイクルあたり 2 回のデータ転送を実行する 2n プリフェッチ・アーキテクチャです。リードおよびライト動作にデータ・ピン (DQ) のグループに関連付けられたストローブ (DQS) を使用します。DQS および DQ ポートはともに双方向です。アドレス・ポートはライトおよびリード動作で共有されます。

DDR SDRAM のライトおよびリード動作はバーストで転送され、2、4、および 8 のバースト長をサポートしています。これは各ライト・トランザクションに対して 2 つ、4 つ、または 8 つのデータ・グループを供給する必要があるため、各リード・トランザクションにつき 2 つ、4 つ、または 8 つのデータ・グループを受け取ることを意味します。リード・コマンドがメモリにクロックされるタイミングとデータがメモリ・ピンに出力されるタイミングの間のレイテンシは、カラム・アドレス・ストローブ (CAS) レイテンシと呼ばれます。DDR SDRAM は動作周波数に応じて、2、2.5、および 3 の CAS レイテンシをサポートしています。バースト長と CAS レイテンシはともに DDR SDRAM モード・レジスタで設定されます。

DDR SDRAM デバイスは SSTL-2 標準 I/O 規格を使用し、64 Mb ~ 1 Gb のデータを保持できます。各デバイスは 4 つのバンクに分割され、各バンクには固定数のロウおよびカラムがあります。一度に、1 つのバンクあたり 1 つのロウにのみアクセスできます。ACTIVE コマンドはロウを開き、PRECHARGE コマンドはロウを閉じます。

DDR SDRAM デバイス内部の DLL は、DQ および DQS 信号のエッジを CK を基準にして揃えます。DLL は、通常動作ではオン、節電またはデバッグ目的ではオフにすることができます。本書ではすべてのタイミング解析において、DLL がオンになっているものと想定しています。DDR SDRAM デバイスには調整可能なデータ出力ドライブ強度を備えているものもあります。最大の性能を引き出すために、最高のドライブ強度を使用することを推奨します。



DDR SDRAM の仕様について詳しくは、www.jedec.org をご覧ください。

インタフェースの説明

この項では、FPGA と DDR SDRAM デバイス間のインタフェースについて説明します。インタフェース信号およびアルテラ FPGA ピンを DDR SDRAM の電気的およびタイミング要件を満たすようにコンフィギュレーションする方法を説明します。FPGA で使用可能な DQS/DQ ピンの本数も示します。また、この項では、FPGA と DDR SDRAM メモリ間のインタフェースのアーキテクチャについても説明しています。

アルテラは、インタフェースが複雑であることを考えて、メモリ・コントローラを数分以内に作成する完全なソリューションを提供しています。アルテラの DDR SDRAM コントローラ MegaCore[®] ファクションは、暗号化されていないクリア・テキスト・データ・パス・ブロックと暗号化されたコントローラ・ロジック・ブロックの 2 つのコンポーネントで構成されます。この無償ライセンスのデータ・パス・ブロックは、推奨される物理層インタフェースで、独自のコントローラまたはアルテラ・コントローラと組み合わせて使用できます。この提供されたデータ・パスを使用する場合、DDR SDRAM IP ToolBench がインタフェース・ピンおよびデータ・パス・ロジックを最適な動作のために制約しているので、実働システムが保証されます。図 1 に FPGA と DDR SDRAM 間のインタフェースのブロック図を示します。

図 1. DDR SDRAM コントローラのメガコア・システム・レベルのブロック図

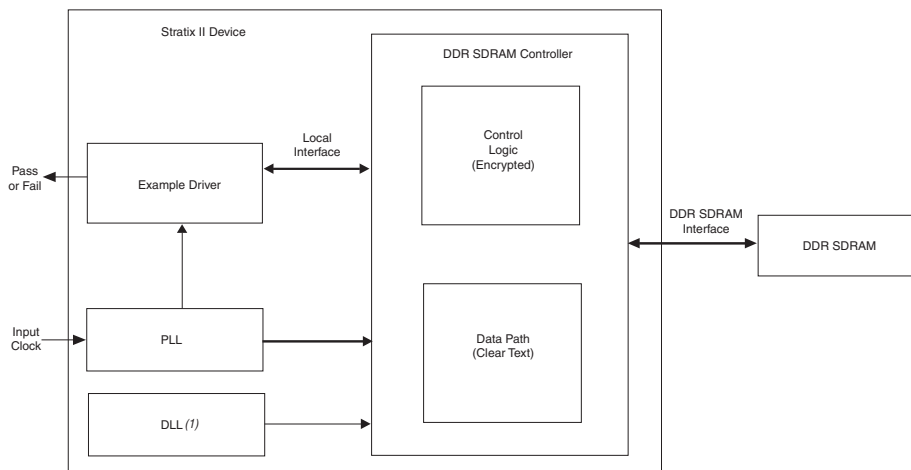


図 1 の注：

- (1) 専用 DQS 回路を使用するときには、DLL はリード動作中に DQS ストロープを DQ データ・バスに中央揃えします。専用 DQS 回路を使用しないときには、PLL がこの位相シフトを実装します。

インタフェース信号

表 3 に、DDR SDRAM インタフェース・ピンとそれらを Stratix II デバイス・ピンに接続する方法を示します。

ピン	説明	Stratix II ピンの使用
DQ	双方向リードおよびライト・データ	DQ
DQS	双方向リードおよびライトデータ・ストロープ	DQS
CK	システム・クロック	ユーザ I/O ピン
CK#	システム・クロック	ユーザ I/O ピン
FB_CLK	再同期または DLL ベースのリード・キャプチャのために PLL にフィードバックされた CK 出力クロック信号のコピー	PLL クロック入力ピン
DM	ライト時に DQ にエッジが揃えられたライト・データ・マスク	ユーザ I/O ピン
その他すべて	アドレスおよびコマンド	ユーザ I/O ピン

ここでは、DDR SDRAM メモリ・インタフェースのクロック、コマンド、アドレス、およびデータ信号について説明します。

クロック信号

DDR SDRAM デバイスは、CK および CK# を使用してコマンドとアドレスをメモリにクロックします。メモリはこれらのクロック信号を使用して、リード動作時にメモリ内部の DLL を通して DQS 信号を生成します。CK または CK# と SDRAM が生成した DQS 信号間のスキューは、DDR SDRAM データシートには t_{DQSCK} として規定されています。

DDR SDRAM には書き込みタイミング要件 (t_{DQSS}) があり、ライト時の DQS 信号の正エッジは、DDR SDRAM クロック入力の正エッジの $\pm 25\%$ ($\pm 90^\circ$) 以内に収まっている必要があります。このため、I/O エレメント (IOE) の DDR レジスタを使用して、DQS 信号に合わせて CK および CK# 信号を生成し、プロセス、電圧、および温度によるバラツキを低減する必要があります。

200 MHz DDR SDRAM インタフェースの再同期を向上させるために、CK 信号のコピーをメモリ・ピンから Stratix II デバイスに戻すことができます。再同期について詳しくは、33 ページの「ラウンドトリップ遅延の計算」を参照してください。

ストロープ、データ、DM、およびオプションの ECC 信号

DQ と DQS はともに双方向です (ライトとリードの両方に同じ信号が使用されません)。1 つの DQ ピン・グループが 1 本の DQS ピンに関連付けられています。 $\times 8$ および $\times 16$ DDR SDRAM デバイスでは、1 本の DQS ピンが 8 本の DQ ピンに関連付けられます (Stratix II $\times 8/\times 9$ モード)。Stratix II の I/O バンク 3、4、7、または 8 から DDR SDRAM にインタフェースする場合は、Stratix II のピン配置表にリストされた DQS およびそれらに関連付けられた DQ ピンを使用します。これらの I/O バンクは DQS_n ピンも提供しますが、これらのピンは DDR SDRAM インタフェースには必要ありません。詳しくは、10 ページの「専用 DQS 回路を使用したデータ・パス・アーキテクチャ」を参照してください。専用回路がある場合、Stratix II デバイスは最大 200 MHz DDR SDRAM までサポートします。

I/O バンク 1、2、5、または 6 のどのユーザ I/O ピンも DDR SDRAM メモリにインタフェースできます。ただし、これらの I/O バンクには専用 DQS 回路がないため、最大 150 MHz DDR SDRAM インタフェースしかサポートできません。この方式では、リード動作中には DQS 信号は無視されます。詳しくは、12 ページの「専用 DQS 回路を使用しないデータ・パス・アーキテクチャ」を参照してください。

Stratix II デバイスでサポートされる DQS/DQ グループの数については、表 4 を参照してください。表 4 のカラムに示すとおり、各 DQS ピンは 4 本、9 本、18 本、または 36 本までの DQ ピンをドライブできます。

デバイス	パッケージ	×4 グループの数	×8/×9 グループの数	×16/×18 グループの数	×32/×36 グループの数
EP2S15	484 ピン FineLine BGA	8	4	0	0
	672 ピン FineLine BGA	18	8	4	0
EP2S30	484 ピン FineLine BGA	8	4	0	0
	672 ピン FineLine BGA	18	8	4	0
EP2S60	484 ピン FineLine BGA	8	4	0	0
	672 ピン FineLine BGA	18	8	4	0
	1,020 ピン FineLine BGA	36	18	8	4
EP2S90	484 ピン Hybrid FineLine BGA	8	4	0	0
	780 ピン FineLine BGA	18	8	4	0
	1,020 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4
EP2S130	780 ピン FineLine BGA	18	8	4	0
	1,020 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4
EP2S180	1,020 ピン FineLine BGA	36	18	8	4
	1,508 ピン FineLine BGA	36	18	8	4

データ信号 (DQ) は、メモリからのリード時には DQS 信号にエッジが揃えられ、メモリへのライト時には DQS 信号に対して中央に揃えられます。メモリ・コントローラは、ライト時には DQS 信号を 90° シフトして DQ および DQS を中央に揃え、リード時には DQ および DQS がキャプチャ・レジスタで中央に揃うように DQS 信号をシフトします。Stratix II デバイスは、PLL を使用してライト時には DQS 信号を DQ 信号を基準にして中央に揃え、またリード時には選択した実装に基づいて、専用 DQS 位相シフト回路または PLL のいずれかを使用して着信 DQS 信号をシフトします。図 2 に、burst-of-two リード時に DQS 信号が 90° シフトされる例を示します。図 3 に、burst-of-two ライト時のデータとデータ・ストローブ間の関係例を示します。

図 2. DDR SDRAM リード時の DQ & DQS の関係 注(1)

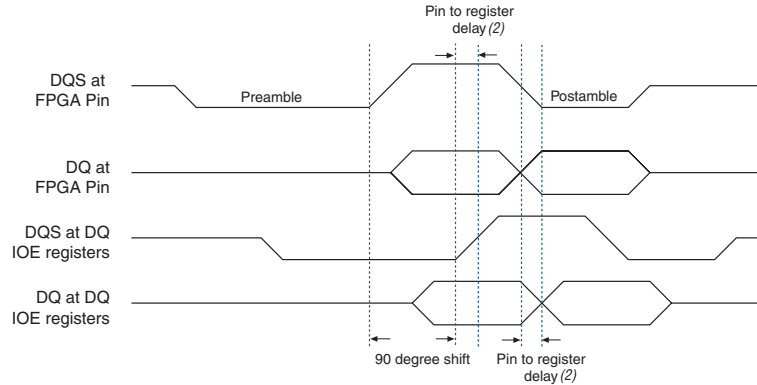
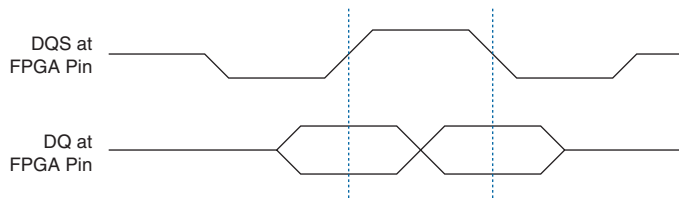


図 2 の注 :

- (1) これは 90° シフトの例です。システムのシフト値の読み出しは、タイミング解析に基づく必要があり、90° でない場合もあります。
- (2) DQS ピンからキャプチャ・レジスタまでの遅延と DQ ピンからキャプチャ・レジスタまでの遅延は、IOE レジスタでこれらの信号間の付加的なスキューが最小になるようにコンフィギュレーションできます。

図 3. DDR SDRAM ライト時の DQ & DQS の関係



ライト時の DQ および DM ピンに対するメモリ・デバイスのセットアップ (t_{DS}) およびホールド・タイム (t_{DH}) は、CK または CK# クロックではなく、DQS ライト信号のエッジを基準にします。これらの時間は ($t_{DS} = t_{DH}$) に等しく、200 MHz DDR SDRAM デバイスの場合は標準で 0.4 ns です。

DQS 信号は通常システム・クロックの正エッジで生成されます (後述する t_{DQSS} 要件のため)。DQ およびデータ・マスク (DM) 信号はシステム・クロックから -90° シフトされたクロックを使用してクロックされます。DQS のエッジは、DQ および DM 信号が DDR SDRAM に到達したときに、これらの信号で中央揃えされます。

DQS、DQ、および DM ボード・トレース長は、厳密に一致している必要があります。

DDR SDRAM はライト時にデータ・マスク (DM) ピンを使用します。DM ピンを Low にドライブすると、書き込みが有効であることが示されます。メモリは DM ピンが High にドライブされると DQ 信号をマスクします。関連付けられている DQS および DQ ピンと同じバンクにある任意の I/O ピンを使用して DM 信号を生成できます。

DDR SDRAM 入力における DM のタイミング要件は DQ データに対するタイミング要件と同じです。-90° シフトされたクロックによってクロックされる DDR レジスタは、DM 信号を作成します。

一部の DDR SDRAM デバイスは、誤り訂正コード (ECC) をサポートし、データ転送エラーを検出して自動的に修正します。72 ビット DDR SDRAM モジュールには、64 本のデータ・ピンに加え、8 本の ECC ピンがあります。DDR SDRAM ECC ピンを Stratix II デバイスの DQS および DQ グループに接続します。72 ビット DDR SDRAM メモリ・コントローラを作成し、そのコントローラのローカル・インタフェースに ECC ビットをデコード/エンコードするロジックを追加する必要があります。

コマンド & アドレス

DDR SDRAM デバイスのコマンドおよびアドレスは、1 つのクロック・エッジのみを使用したシングル・データ・レートで、CK および CK# 信号を使用してメモリにクロックされます。DDR SDRAM デバイスはデバイスの容量に応じて 12~14 本のアドレス・ピンを備えています。アドレス・ピンは多重化されるため、ロウ、カラム、およびバンク・アドレスを送信するのに 2 クロック・サイクルが必要です。CS、RAS、CAS および CKE ピンは、DDR SDRAM コマンド・ピンです。

DDR SDRAM アドレスおよびコマンド入力はいずれも DDR SDRAM クロックを基準として、同じセットアップおよびホールド・タイムを必要とします。Stratix II デバイスのアドレスおよびコマンド信号は、いずれもシステム・クロックから生成されるため、DQS ライト信号と同時に変化します。DDR SDRAM クロック CK の正エッジは、 t_{DQSS} を満足するために DQS に揃えられます。コマンドおよびアドレス出力がクロックの正エッジで生成される場合、セットアップ・タイムおよびホールド・タイム要件を満たさない場合があります (図 4 参照)。したがって、DDR SDRAM に対するコマンドとアドレスには、システム・クロックの負エッジまたは位相シフトされたシステム・クロックを使用します。このクロック・エッジ選択は、正確なピンの負荷情報によるタイミング解析に基づいて行われます。アドレスおよびコマンド信号に対するタイミング解析手法は、29 ページに記載されるライト・タイミング・パスと非常に似ています。コマンドとアドレスには任意の I/O ピンを使用できます。

図 4 に、アドレスおよびコマンドのタイミングおよび DDR SDRAM t_{DQSS} 、 t_{IS} 、 t_{IH} のタイミング要件を示します。

図 4. アドレスおよびコマンドのタイミング 注 (1)、(2)

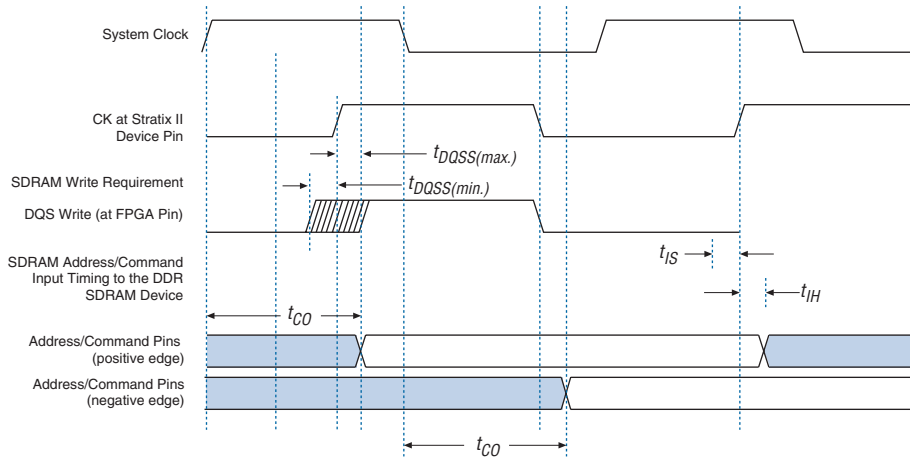


図 4 の注：

- (1) 図 4 に示すアドレスおよびコマンドのタイミングは、リードとライトの両方に適用できます。
- (2) DQS、CK、アドレス、およびコマンド・ピンのボード・トレース長が同じ場合、Stratix II デバイス・ピンの信号関係は、DDR SDRAM ピンで維持されます。

インタフェース・アーキテクチャ

Stratix II / DDR SDRAM インタフェースのリード・キャプチャを実装する方法が 2 つあります。最速性能を達成するには、Stratix II DLL ベースの専用 DQS 回路を使用して、ストロブ信号 (DQS) を位相シフトし、リード・データ (DQ) に対して中央に揃えることができます。専用 DQS モードでは最大 144 本の DQ ピンを使用できますが、専用ストロブ信号 (DQS) を使用する代わりに、PLL から位相シフトされたクロックを生成してリード・データをキャプチャするオプションもあります。

推奨されるライト側の実装には 1 個の PLL で 2 つのクロックを出力する必要があります。1 つのクロックはライト・データを生成し、もう 1 つは DDR I/O を使用してライト・クロックを生成します。この実装では、FPGA から DDR SDRAM へのクロックおよびデータ信号の伝播遅延が一致し、スキューが最小になります。

専用 DQS 回路を使用したデータ・パス・アーキテクチャ

専用DQS回路を使用したDDR SDRAMインタフェース実装では、以下を使用します。

- ライト側の PLL。CK および CK# システム・クロックを生成し、アドレス、コマンド、ストロープ、およびデータ信号をクロック・アウトします。
- リード側の DLL ベースの位相シフト回路。ストロープ信号 DQS を使用してメモリからリード・データをラッチします。

この実装は DQS モードまたは DLL ベースのリード実装とも呼ばれます。

デバイスのトップ側とボトム側に、使用可能な DQS 位相シフト回路が 1 つずつあります。各 DQS 位相シフト回路には入力基準クロックが必要です。DQS 位相シフト回路は DQS 信号をシフトして、この信号を IOE レジスタで DQ 信号に中央で揃え、データが IOE レジスタで確実にラッチされるようにします。次に、DQS 信号は DQ IOE クロック・ポートに達する前に反転されます。これについては、「Stratix II デバイス・ファミリ・ハンドブック」の「外部メモリ・インタフェース」の章で説明しています。

図 5 に Stratix II デバイスが DQ、DQS、CK、および CK# を生成する方法を示します。ライト PLL は、システム・クロックと -90° シフトされたクロック（ライト・クロック）を生成します。ライト PLL 入力クロックと DDR SDRAM 周波数が異なる場合、別の入力クロック・ピンか PLL 5 または 6 から DQS 位相シフト回路に入力標準クロックを供給する必要があります（詳しくは、「Stratix II デバイス・ファミリ・ハンドブック」の「外部メモリ・インタフェース」の章を参照してください）。システム・クロックおよびライト・クロックの周波数は DQS 周波数と同じです。ライト・クロックはシステム・クロックから -90° シフトされます。

図 5 には、フィードバック・クロック (FB_CLK) と再同期用の第 2 (リード) PLL も示します。このフィードバック・クロックはオプションであり、200 MHz の DDR SDRAM インタフェースにのみ使用されます。メモリからのフィードバック・クロックのボード・トレース長は、DQ/DQS および CK/CK# 信号のボード・トレース長の合計である必要があります。図 5 では、FB_CLK は DDR SDRAM CK ピンをミラーし、 l_2 のボード・トレース長で Stratix II デバイ스에配線されますが、このトレース長は DQS または DQ のボード・トレースと同じ長さです。

図 5. DLL ベース・リード用の Stratix II の DDR SDRAM インタフェース・データ・パス

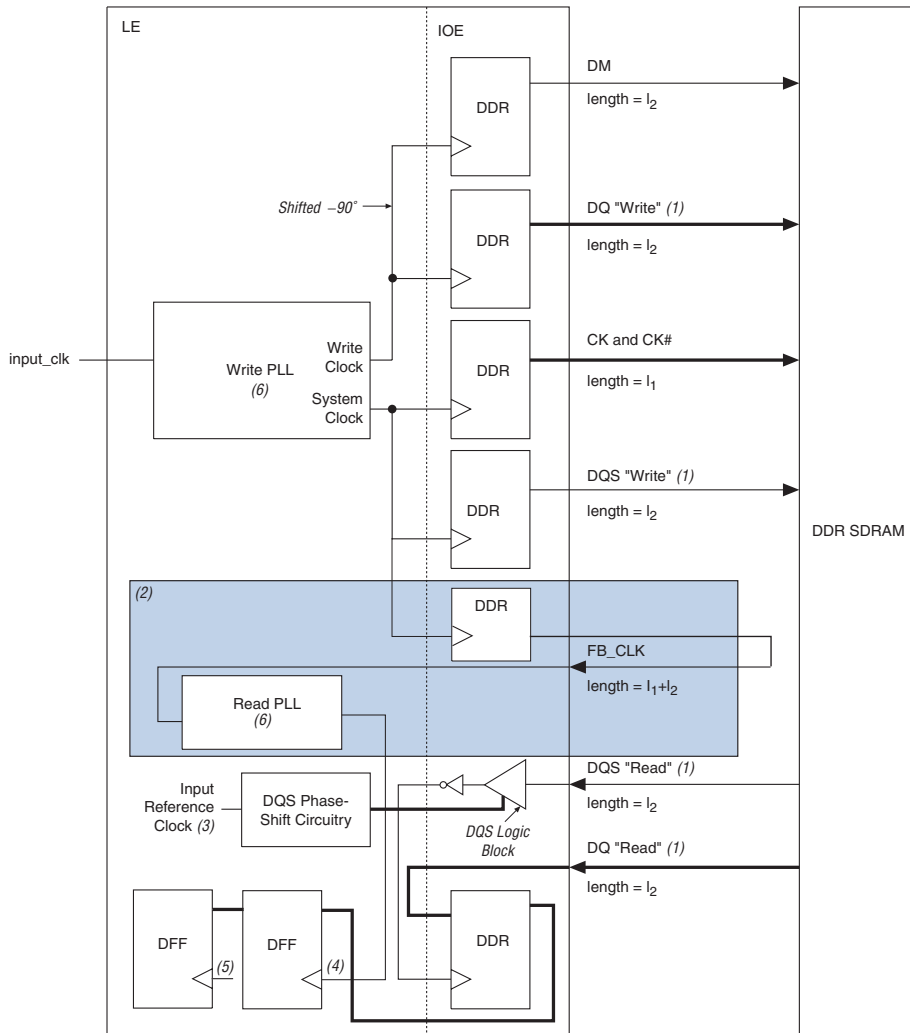


図 5 の注 :

- (1) DQ および DQS 信号は双方向です。1つの DQS 信号が1つの DQ 信号グループに関連付けられています。
- (2) フィードバック・クロックの実装はオプションで、200 MHz インタフェースの再同期を容易にするのに役立ちます。
- (3) 入力基準クロックには、*input_clk*、別のクロック・ピン、または PLL 5 または 6 出力のいずれでも使用できます。
- (4) 再同期レジスタへのクロックは、ライト PLL からのシステム・クロック、ライト・クロック、外部クロック出力、またはフィードバック・クロック実装の第 2 (リード) PLL から送ることができます。図はフィードバック・クロックを使用した場合には、これがリード PLL から送られることを示します。
- (5) このレジスタへのクロックは、システム・クロックから、またはライト PLL の別のクロック出力のいずれかです。デザインに別のリード PLL クロック出力が必要な場合は、データをシステム・クロック・ドメインに転送するために別のレジスタが必要です。
- (6) リードおよびライト PLL は、ノーマル・モードでコンフィギュレーションされます。

専用 DQS 回路を使用しないデータ・バス・アーキテクチャ

PLL ベースのリード実装を使用すると、Stratix II は最高性能を達成するために各インタフェースが 2 個の PLL を使用して、最大 150 MHz の DDR SDRAM をサポートできます (14 ページの図 6 を参照)。

専用 DQS 回路を使用しない DDR SDRAM インタフェース実装では、以下を使用します。

- ライト側の PLL。CK および CK# システム・クロックを生成し、アドレス、コマンド、ストロブ、およびデータ信号をクロック・アウトします。
- リード側の PLL ベースの位相シフト回路。フィードバック・クロック FB_CLK を使用して、メモリからのリード・データをレジスタに入れます。

この実装は、PLL ベースのリード実装 (または、非 DQS モード) とも呼ばれます。

このモードでの推奨 DQS および DQ ピンについては、Stratix II のピン配置表を参照してください。DQ、DQS、および DM ピンのボード・トレース長は、厳密に一致していなければなりません。

ライト PLL は、システム・クロック、 -90° シフトされたクロック (`write_clk`)、およびフィードバック・クロック (`FB_CLK`) を生成します。このフィードバック・クロックは、FPGA の外部で配線され、FPGA に戻されます。このボード・トレース長は、FPGA からメモリまでのクロック・トレース長にメモリから FPGA までの DQ トレース長を加算したトレース長と等しくなければなりません。図 6 で、クロック・トレース長 = l_1 および DQ トレース長 = l_2 と仮定すると、`FB_CLK` のトレース長は $l_3 = (l_1 + l_2)$ になる必要があります。トレース長が一致すると、プロセス、電圧、および温度変動によるスキューが最小になります。

リード PLL は、フィードバック・クロックを入力クロックとして使用して、リード時に DQ をキャプチャするのに必要なクロックを生成します。Stratix II デバイスは、この方式では DQS 信号を無視します。リード PLL は IOE レジスタへのソース・シンクロナス・モードで、入力ピン、PLL、およびクロック・ネットワークを通じたデータ伝播と一致します。フィードバック・クロックのトレース長は、CK または CK# および DQS トレースと同じなので、FPGA に入る `FB_CLK` は DQS 信号に類似し、わずかなスキューを伴います。次に、リード PLL をシフトしてスキューを補正し、リード時に DQ 信号をキャプチャするのに必要な 90° PLL 位相シフトを実装することができます。

Quartus II ソフトウェアは、ソース同期動作のために特定の PLL を特定の I/O バンクに関連付けるため、リード PLL はデータ・ピンと同じデバイス側にあることを確認する必要があります。この I/O バンクのワースト・ケース I/O レジスタに対するクロック遅延は完全に補正され、その結果、PVT 全体でピンから I/O レジスタへのデータ遅延とクロック遅延が厳密にマッチングされます。非補正 I/O バンクの I/O レジスタを使用する場合、クロック遅延とデータ遅延は厳密には一致しません。クロックおよびデータ遅延を最適にマッチングさせるために、サイド I/O バンクへのインタフェースの実装には fast PLL を使用し、トップまたはボトム I/O バンクへのインタフェースの実装には enhanced PLL を使用します。また、Quartus II ソフトウェアで、input pin delay to register オプションを 0 に設定することも必要です。

DQS 信号はリード時には無視されるため、DDR SDRAM デバイスからの DQS と DQ の関係は適用されません。インタフェースでのスキューおよびタイミングのバラツキによって、この方法で達成可能な最大データ・レートが決まります。

図 6 に、Stratix II デバイスの DQ、DQS、CK、および CK# 信号の生成方法の要約を示します。ライト PLL はシステム・クロックとライト・クロックを生成します。DDR SDRAM デバイスからのリード・クロック FB_CLK は、リード・データをキャプチャするために適切な位相シフトを生成する PLL 入力ピンに入ります。

図 6. 専用 DQS 回路を使用しない Stratix II DDR SDRAM インタフェース・データ・パス

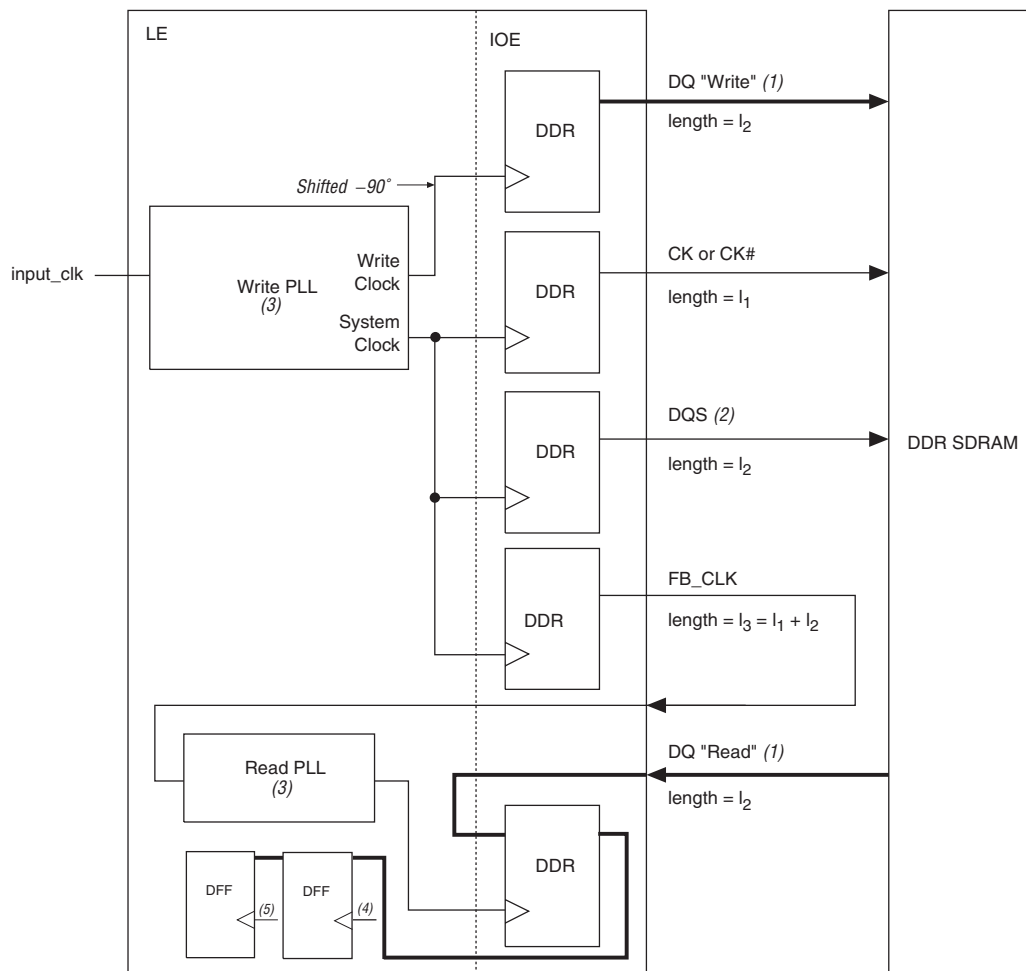


図 6 の注：

- (1) DQ は実際には双方向ラインです。
- (2) DQS はリード時には無視されます。
- (3) リード PLL はソース・シンクロナス・モードでコンフィギュレーションされ、ライト PLL はノーマル・モードでコンフィギュレーションされます。
- (4) 再同期レジスタへのクロックは、システム・クロック、ライト・クロック、またはライト PLL からの追加クロック出力のいずれかです。
- (5) このレジスタへのクロックは、システム・クロックから、またはライト PLL の別のクロック出力のいずれかです。ライト PLL の別のクロック出力が必要な場合は、データをシステム・クロック・ドメインに転送するために別のレジスタが必要です。

アルテラのメモリ・コントローラ IP

アルテラは、業界標準 DDR SDRAM メモリとのインタフェースを簡単にインスタンス化できる、DDR SDRAM コントローラ MegaCore ファンクションを提供しています。DDR SDRAM コントローラは、メモリ・デバイスの初期化、SDRAM バンクの管理、および適切な間隔でのデバイスのリフレッシュを行います。MegaCore ファンクションは、ローカル・インタフェースからのリードおよびライト要求を必要なすべての SDRAM コマンド信号に変換します。DDR SDRAM コントローラには、暗号化コントロール・ロジックと、ライセンスなしでデザインに使用できるクリア・テキスト・データ・パスが含まれています。アルテラの DDR SDRAM コントローラを使用するかどうかに関係なく、この MegaCore ファンクションをダウンロードして、クリア・テキスト・データ・パス、クリア・テキスト DQS ポストアンブル・ロジック、配置制約の入手とタイミング・マージン解析を実施できます。

この MegaCore ファンクションには、DDR SDRAM IP Toolbench を利用してアクセスできます。カスタム DDR SDRAM インタフェースをパラメータ化すると、DDR SDRAM IP Toolbench は最適な位相シフトと FPGA 設定を自動的に決定して、その DDR SDRAM インタフェースに最適なマージンを与えます。次に、DDR SDRAM IP Toolbench は、PLL をインスタンス化するサンプル・インスタンス、サンプル・ドライバ、および DDR SDRAM コントローラのカスタム・バリエーションを生成します。

インタフェースのタイミング解析

FPGA の外部メモリ・インタフェースを設計するときは、いくつかのパスのタイミング・マージンを解析します。すべてのメモリ・インタフェースで、リードおよびライト・キャプチャ・タイミング・パスの解析が必要です。また、一部のインタフェースでは、再同期タイミング・パスや、その他のメモリ固有のパス（ポストアンブル・タイミングなど）の解析が必要な場合もあります。

このアプリケーション・ノートでは、ライトおよびリード・キャプチャ・タイミング・パスを例として使用したアルテラ推奨のタイミング手法について説明します。この手法を、該当するすべてのタイミング・パス（アドレス / コマンド、再同期、ポストアンブルなど）のタイミング解析に使用する必要があります。確実に正常な動作を実行させるために、アルテラの DDR SDRAM コントローラ MegaCore は、リード・キャプチャ、再同期、およびポストアンブル・パスに対してタイミング解析を実行します。これらの解析では、すべての FPGA 関連のタイミングの影響を考慮していますが、クロストーク、シンボル間干渉、他のノイズの影響など、ボード・レベルでの影響を考慮し十分マージンをとって設計を行う必要があります。これらの影響やタイミング・マージンへのインパクトは、ボード・レベルのシミュレーションを実行することによって最適に解析されます。シミュレーション結果を用いて、マージン計算に使用するボード・タイミング要件パラメータ、 t_{EXT} を調整することができます。

以下は、EP2S60F1020C3 FPGA との Micron MT9VDDT3272AG-40B DDR SDRAM インタフェースのリードおよびライト・キャプチャ・タイミングのマーヅンの解析です。このサンプル・インタフェースはこのタイミング解析の適切な手法を示します。希望の FPGA およびメモリ・デバイスに対する適切なタイミング仕様を含む必要があります。

手法の概要

タイミング・パスは、ディスティネーション・レジスタでのデータおよびクロックの到達時間を考慮して解析されます。図 7 および 8 では、セットアップ・マヅンは、「最も早いクロック到達時間」と「最も遅い有効データ到達時間」の間の時間として定義されます。同様に、ホールド・マヅンは、レジスタ・ポートにおける「最も早い無効データ到達時間」と「最も遅いクロック到達時間」の間の時間として定義されます。これらの到達時間は、一般的な基準ポイント (DQS エッジやシステム・クロック・エッジなど) に関する伝播遅延情報に基づいて計算されます。

図 7. タイミング解析のための簡易ブロック図

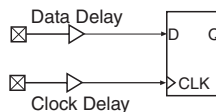
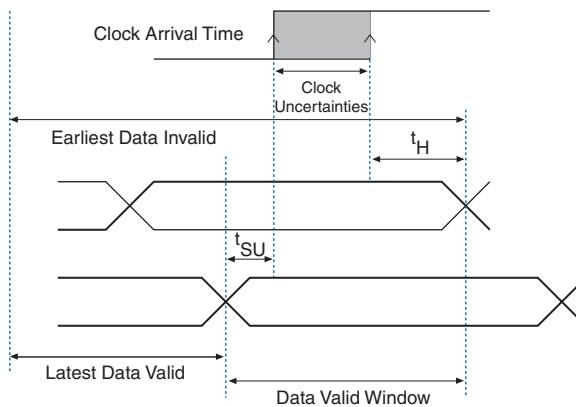


図 8. データ有効ウィンドウのタイミング波形



FPGA のタイミング解析

デザインはあらゆる条件の下で動作する必要があるため、すべてのプロセス、電圧、および温度 (PVT) 条件でタイミング・マージンを評価しなければなりません。アルテラが、この評価を迅速に行えるように、Quartus II ソフトウェアに低速コーナ・モデルと高速コーナ・モデルの 2 つのデバイス・タイミング・モデルを提供しています。

- 低速コーナ・モデルは、低速シリコン、高温、および低電圧で FPGA 内の 2 つのノード間のタイミング遅延を提供します。言い換えると、このモデルは特定のスピード・グレードで任意のデバイスのタイミング・パスに、可能な最低速の遅延を提供します。
- 高速コーナ・モデルは、高速シリコン、低温、および高電圧で FPGA 内の 2 つのノード間のタイミング遅延を提供します。言い換えると、このモデルは任意のデバイスのタイミング・パスに、可能な最高速の遅延を提供します。

Quartus II ソフトウェアでは、ほぼすべての FPGA のタイミング遅延と不確実性がモデル化されますが、FPGA ハンドブックにはマージン計算に使用するために、モデル化できない一部の不確実性のみ記載されています。これらのデータシート仕様は、デバイスの特性評価に基づき、オン・チップ・バリエーション、立ち上がり / 立ち下がりのミスマッチ、ノイズなどのデバイス・レベルの影響を考慮しています。例として、PLL 出力や DLL 出力のクロック・スキューおよびジッタがあります。これらのタイミングの不確実性やアダー項は、Quartus II ソフトウェアで報告されたタイミング・データと併用すれば、最も正確なデバイス・タイミング情報を提供します。以下の解析では、これらのタイミングのアダー項の使用について詳しく説明します。

DLL ベース実装のリード・タイミング・マージン

リード動作時、DDR SDRAM は、データ・バス (DQ) にエッジが揃えられたクロック・ストロブ (DQS) を提供します。メモリ・コントローラ (FPGA 内) は、クロック・エッジをデータ有効ウィンドウの中央にシフトして、DQ 入力データをキャプチャする必要があります。7 ページの図 2 に、リード動作時の DQS 信号と DQ 信号間のタイミング関係を示します。図 9 に、x8 モードの Stratix II デバイスのリード・データ・バスの詳細図を示します。DQS 信号は DQS ロジック・ブロックに送られ位相シフトされます。次に、DQS ローカル・バスはシフトされた DQS 信号を反転してから、入力レジスタの DQ をクロックします。次に、DQ 入力レジスタ出力はロジック・アレイの再同期レジスタに送られます。resynch_clock 信号は再同期レジスタをクロックします。resynch_clock 信号は、システム・クロック、ライト・クロック、ライト PLL クロック、または第 2 (リード) PLL (フィードバック・クロック方式を使用している場合) から供給できます。

図 9. Stratix II デバイスの DDR SDRAM リード・データ・パス

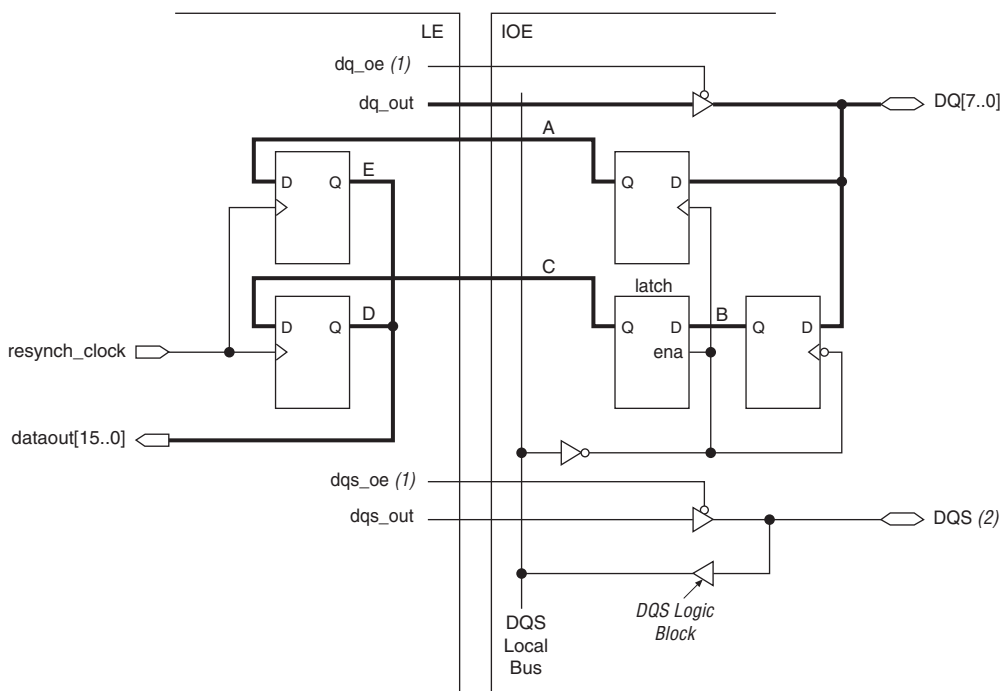


図 9 の注 :

- (1) ここには出力イネーブル・レジスタは記載されていませんが、シリコンでは dqs_oe および dq_oe はアクティブ Low です。ただし、Quartus II ソフトウェアはこれをアクティブ High として実装し、コンパイル時に自動的にインバータを追加します。
- (2) 図 9 には、DQS ポストアンブル回路は示してありません。



DQ および DQS パスについて詳しくは、「Stratix II デバイス・ハンドブック Volume 2」の「外部メモリ・インタフェース」の章を参照してください。

表 6 にワースト・ケース条件での EP2S60F1020C3 のサンプル DDR SDRAM リード・タイミング・マージン解析を示します。DQ および DQS ピンのボード・トレースのパラツキは ± 20 ps です。表 6 の t_{HP} 、 t_{QHS} 、および t_{DQSQ} 値をメモリ・データ・シート の値と置き換えることによって、別の DDR SDRAM メモリとのインタフェースに対しても同様なタイミング解析を実行できます。

メモリ・タイミング・パラメータ

リード・タイミング解析では、最初に DDR SDRAM メモリ・デバイスからの DQ 出力と DQS 出力間のタイミング関係を取得します。この例では、クロック速度 200 MHz またはデータ・レート 400 Mbps のタイミングを解析しているため、半クロック周期は、DQS ストロープのデューティ・サイクル歪みを考慮すれば、2250 ps になります。これは、メモリ・データシートには t_{HP} として規定されており、5000 ps クロック周期の 45% です。 t_{HP} とは別に、メモリでは t_{DQSQ} と t_{QHS} も規定されています。前者は DQS エッジから最後の DQ ビット有効までの最大時間を規定し、後者はデータ・ホールド・スキュー係数を規定します。

これらのメモリ・タイミング・パラメータを使用すると、メモリのデータ有効ウィンドウは、 $t_{HP} - t_{QHS} - t_{DQSQ} = 1350$ ps として計算できます。すべての DQ および DQS トレース間でのボード・トレース長のバラツキが ± 20 ps 以内と仮定すると、FPGA 入力ピンにおけるデータ有効ウィンドウは 1310 ps です。

FPGA タイミング・パラメータ

FPGA タイミング・パラメータは、Quartus II ソフトウェアのタイミング・アナライザと Stratix II データシートの 2 つのソースから得られます。Quartus II ソフトウェアはすべてのクロックおよびデータ伝播遅延を提供し、データシートにはすべてのクロックの不確定性とスキュー・アダー項が規定されています。

Stratix II は、デバイスのトップ / ボトム IO バンクに、DQ 入力信号に対して DQS エッジを中央に揃える専用 DQS 位相シフト回路を備えています。この位相シフト回路には粗い遅延分解能と細かな遅延分解能があります。粗い遅延機能は PVT に対する自己補正機能で、分解能は基準クロック周波数の 22.5°、30°、または 36° (DLL 動作モードに基づきます) です。



DLL 動作について詳しくは、「Stratix II デバイス・ハンドブック Volume 2」の「外部メモリ・インタフェース」の章を参照してください。

ターゲット・メモリの速度は 200 MHz であり、DLL モデル 1 (medium) と 2 (high) の間で選択できます。DLL 周波数モード 2 は 30° の位相分解能を提供し、モード 1 は 22.5° の分解能を提供します。ディレイ・チェーンを使用して実装された DLL オフセットで、この位相シフトをさらに微調整することができます。

この解析では、DQS ストロープ (DLL 周波数モード 1) が 67.5° 位相シフトされると仮定しています。これは、リード・キャプチャ・レジスタでセットアップおよびホールド・マージンのバランスをとるために、このタイミング解析の最後で位相シフト (および DLL 周波数モード) を常に調整できることが分かっているためです。

DQS 位相シフト回路は DLL を使用して、自己補正型の粗い遅延シフトを提供します。したがって、DQS 信号の位相ジッタと位相シフト・エラーを考慮する必要があります。データシートでは、3 つの DLL 遅延ステージの $t_{DQS_PHASE_JITTER}$ (± 45 ps) および t_{DQS_PSERR} (± 38 ps) のタイミング・パラメータが規定されています。

位相シフト回路の検出後、DQS 信号は専用ローカル・クロック・バス上を DQ キャプチャ・レジスタまで伝達されます。このローカル・クロック・バスのファンアウトの範囲は、 $\times 4 \sim \times 36$ が可能です。Quartus II ソフトウェアは、これらの各 DQ レジスタ・クロックへのクロック伝播遅延を提供しますが、モデル化されない不確定性は、データシートに記載される $t_{DQS_SKEW_ADDER}$ スキュー・アダー項によって計上されます。この例で使用する $\times 8$ モードの場合、スキュー・アダーは ± 35 ps です。

ターゲット・デバイスの Quartus II ソフトウェア・タイミング・データを取得するには、DDR SDRAM コントローラ MegaCore をインスタンス化してコンパイルする必要があります。独自のコントローラ・ロジックを使用している場合は、タイミング遅延を取得しないで、クリア・テキスト DDR SDRAM データ・バスをインスタンス化しなければなりません。リード・インタフェースの場合、MegaCore ファンクションは、各 DQ および DQS ピンに関連付けられているタイミング遅延を抽出し、それをプロジェクト・ディレクトリ内の

`<core_instance_name>_extraction_data.txt` ファイルに出力します。このデータ・ファイルと `extract.tcl` ユーティリティを使用して、表 5 に示すように、クロックおよびデータ・バスの最小および最大伝播遅延が抽出されます。このタイミング抽出は、両方のデバイス・タイミング・モデル（高速コーナと低速コーナ）で実行されます。ダイおよびパッケージ内で配線パスがマッチングしているので、最小遅延と最大遅延の差が最小になることを確認します。

表 5. Quartus II ソフトウェアからの EP2S60F1020C3 に対する FPGA の タイミング遅延 注 (1)		
	高速コーナ (ns)	低速コーナ (ns) (-3 スピード・グレード)
データ遅延 (最小)	1.074	1.618
データ遅延 (最大)	1.134	1.678
クロック遅延 (最小)	1.992	2.532
クロック遅延 (最大)	2.012	2.552
マイクロ・セットアップ (2)	0.068	0.122
マイクロ・ホールド (2)	0.037	0.072

表 5 の注：

- これらの遅延は、プロジェクト・ディレクトリ内の `<core_instance_name>_extraction_data.txt` ファイルにレポートされます。データ遅延は各 DQ ピンから入力 DDR レジスタまでの伝播遅延で、`dq_2_ddio` としてレポートされます。クロック遅延は対応する DQS ピンから DDR 入力レジスタまでの伝播遅延で、`dqspin_2_dqscclk + dqscclk_2_ddio_resync` として計算されます。
- マイクロ・セットアップおよびマイクロ・ホールド・タイムは、「Stratix II デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章に記載されています。

セットアップおよびホールド・マージンの計算

メモリ、FPGA、およびボードから関連するすべてのタイミング情報を取得した後、リード動作時に DQ キャプチャ・レジスタでセットアップおよびホールド・マージンを計算できます。

FPGA 低速コーナ・モデルから抽出されたタイミング情報を使用：

$$\begin{aligned}
 \text{最も早いクロック到達時間} &= \text{FPGA 内の最小クロック遅延} \\
 (t_{\text{EARLY_CLOCK}}) & \quad \text{FPGA - DQS 不確定性} \\
 &= \text{クロック遅延 (最小)} - t_{\text{DQS_PHASE_JITTER}} - \\
 & \quad t_{\text{DQS_PSERR}} - t_{\text{DQSQINT}} \\
 &= 2532 - 45 - 37.5 - 35 \\
 &= 2415 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{最も遅いデータ有効時間} &= \text{メモリ DQS-to-DQ 有効 + FPGA の最大} \\
 (t_{\text{LATE_DATA_VALID}}) & \quad \text{FPGA でのデータ遅延} \\
 &= t_{\text{DQSQ}} + \text{データ遅延 (最大)} \\
 &= 400 + 1678 \\
 &= 2078 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{セットアップ・マージン} &= \text{最も早いクロック到達時間} - \text{最も遅い} \\
 & \quad \text{データ有効} - \text{マイクロ・} \\
 & \quad \text{セットアップ - ボードの不確定性} \\
 &= t_{\text{EARLY_CLOCK}} - t_{\text{LATE_DATA_VALID}} - \\
 & \quad \mu t_{\text{SU}} - t_{\text{EXT}} \\
 &= 2415 - 2078 - 122 - 20 \\
 &= 195 \text{ ps}
 \end{aligned}$$

したがって、低速コーナ・タイミング・モデルのセットアップ・マージンは 195 ps です。これらの計算を高速コーナ・タイミング・モデルで繰り返すと、セットアップ・マージンは 253 ps になります。

$$\begin{aligned}
 \text{最も遅いクロック到達時間} &= \text{FPGA 内の最大クロック遅延} \\
 (t_{\text{LATE_CLOCK}}) & \quad \text{FPGA + DQS 不確定性} \\
 &= \text{クロック遅延 (最大)} + \\
 & \quad t_{\text{DQS_PHASE_JITTER}} + \\
 & \quad t_{\text{DQS_PSERR}} + t_{\text{DQSQINT}} \\
 &= 2552 + 45 + 37.5 + 35 \\
 &= 2690 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{最も早いデータ無効時間} &= \text{メモリ DQS-to-DQ 無効 +} \\
 (t_{\text{EARLY_DATA_INVALID}}) & \quad \text{FPGA での最小データ遅延} \\
 &= (t_{\text{HP}} - t_{\text{QHS}}) + \text{データ遅延 (最小)} \\
 &= (2250 - 500) + 1618 \\
 &= 3368 \text{ ps}
 \end{aligned}$$

$$\begin{aligned}
 \text{ホールド・マージン} &= \text{最後のクロック到達時間} - \text{最も早い} \\
 &\quad \text{データ無効時間} - \text{マイクロ・} \\
 &\quad \text{ホールド・ボードの不確定性} \\
 &= t_{\text{EARLY_DATA_INVALID}} - t_{\text{LATE_CLOCK}} \\
 &\quad - \mu t_{\text{H}} - t_{\text{EXT}} \\
 &= 3368 - 2690 - 72 - 20 \\
 &= 607 \text{ ps}
 \end{aligned}$$

したがって、低速コーナー・タイミング・モデルのホールド・マージンは 607 ps です。これらの計算を高速コーナー・モデルで繰り返すと、ホールド・マージンは 638 ps になります。セットアップおよびホールド・マージンは正遅延オフセットを使用してバランスをとることができます。

表 6. 専用 DQS 回路を使用した、EP2S60F1020C3 の 200 MHz DDR SDRAM インタフェースのリード・タイミング解析 (1 / 2)

パラメータ	仕様	高速コーナ・モデル	低速コーナ・モデル	説明
メモリ仕様(1)	t_{HP}	2.250	2.250	メモリ・データシートで規定される半周期 (メモリ・クロックのデューティ・サイクル歪みを含む)
	t_{DQSQ}	0.400	0.400	メモリからの DQS と DQ 間のスキュー
	t_{QHS}	0.500	0.500	メモリ・データシートで規定されるデータ・ホールド・スキュー係数
FPGA 仕様 (2)、(4)、(5)	$t_{\text{DQS_PHASE_JITTER}}$	0.045	0.045	DLL によって遅延する (3 遅延ステージ = +/- 3 x 15) DQS 出力の位相ジッタ
	$t_{\text{DQS_PSERR}}$	0.038	0.038	DLL によって遅延する (3 遅延ステージ) DQS 出力の位相シフト誤差
	$t_{\text{DQS_SKEW_ADDER}}$	0.035	0.035	x8 用のクロック遅延スキュー・アダー
	最小クロック遅延 (入力)	1.992	2.532	Quartus II ソフトウェアからの、DQS ピンから IOE レジスタまでの最小遅延 (67.5° DLL ベース位相シフト付き)
	最小クロック遅延 (入力)	2.012	2.552	Quartus II ソフトウェアからの、DQS ピンから IOE レジスタまでの最大遅延 (67.5° DLL ベース位相シフト付き)
	最小データ遅延 (入力)	1.074	1.618	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最小遅延
	最大データ遅延 (入力)	1.134	1.678	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最大遅延
	μt_{SU}	0.068	.0122	IOE レジスタの固有セットアップ・タイム
μt_{H}	0.037	0.072	IOE レジスタの固有ホールド・タイム	

表 6. 専用 DQS 回路を使用した、EP2S60F1020C3 の 200 MHz DDR SDRAM インタフェースのリード・タイミング解析 (2 / 2)

パラメータ	仕様	高速コーナ・モデル	低速コーナ・モデル	説明
ボード仕様	t_{EXT}	0.020	0.020	DQおよびDQSラインのボード・トレースのパラツキ
タイミング計算	t_{EARLY_CLOCK}	1.875	2.415	DQS 位相シフト回路後の可能な最も早いクロック・エッジおよび不確定性 (最小クロック遅延 - $t_{DQS_JITTER} - t_{DQS_PSERR} - t_{DQS_SKEW_ADDER}$)
	t_{LATE_CLOCK}	2.130	2.670	DQS 位相シフト回路後の可能な最も遅いクロック・エッジおよび不確定性 (最大クロック遅延 + $t_{DQS_JITTER} + t_{DQS_PSERR} + t_{DQS_SKEW_ADDER}$)
	$t_{EARLY_DATA_INVALID}$	2.824	3.368	最も早いデータが FPGA フロップでのサンプリングに対して無効になる時間 ($t_{HP} - t_{QHS} +$ 最小データ遅延)
	$t_{LATE_DATA_VALID}$	1.534	2.078	最も遅いデータが FPGA フロップでのサンプリングに対して有効になる時間 ($t_{DQSQ} +$ 最大データ遅延)
結果	リード・セットアップ・タイミング・マージン(3)	0.253	0.195	$t_{EARLY_CLOCK} - t_{LATE_DATA_VALID} - \mu t_{SU} - t_{EXT}$
	リード・ホールド・タイミング・マージン(3)	0.638	0.607	$t_{EARLY_DATA_INVALID} - t_{LATE_CLOCK} - \mu t_{H} - t_{EXT}$
	合計マージン	0.890	0.801	セットアップ・マージン + ホールド・マージン

表 6 の注 :

- (1) この表に引用したメモリ番号は、クロック速度 200 MHz の Micron MT9VDDT3272AG-40B の番号です。
- (2) この解析は、EP2S60F1020C3 に対する FPGA タイミング・パラメータで実行されています。このテンプレートを使用して、希望の Stratix II の集積度とパッケージの組み合わせのタイミングを解析する必要があります。FPGA の仕様については、「Stratix II ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。
- (3) セットアップおよびホールド・タイム・マージンのバランスをとる必要がある場合は、PLL 位相シフトを調整できます。
- (4) これらの数値は、DDR SDRAM コントローラ MegaCore 3.3.0 を使用した Quartus II ソフトウェアバージョン 5.0 からのものです。
- (5) パッケージ・トレース・スキューは、Quartus II ソフトウェアによってモデル化されています。

PLL ベース実装のリード・タイミング・マージン

PLL ベース実装のタイミング・マージン解析は、前述した DLL ベース実装と非常に似ています。唯一の違いは、使用するキャプチャ・クロックと関連クロックの不確定性です。このモードでは、CK クロック信号のコピーは FPGA 内部の PLL にフィードバックされます。

この例では、PLL を使用した 150 MHz リード動作における DDR SDRAM メモリ・デバイスのマージンを解析しています。

図 10 に、Stratix II デバイスからの PLL ベースのリード・データ・パスを示します。FB_CLK 信号は PLL に送られ、PLL は位相シフトされたリード・クロックを生成してリード・データをキャプチャします。次に、DQ レジスタの出力は LE 再同期レジスタに送られます。データがシステム・クロックと同期する前に、複数の再同期レジスタが必要になる場合があります。

図 10. Stratix II デバイスからの PLL ベースのリード・データ・パス

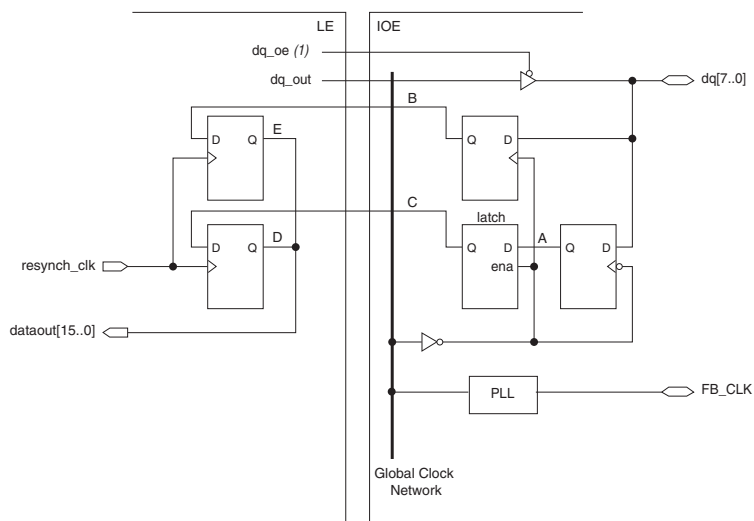


図 10 の注：

- (1) dq_oe 信号はシリコンではアクティブ Low です。ただし、Quartus II ソフトウェアはコンパイル時に自動的にインバータを追加します。

メモリ・タイミング・パラメータ

CK クロックに対するデータ (DQ) のタイミング関係は、 t_{AC} パラメータによって制御されます。DDR-333 メモリ・デバイスの場合、このタイミング・パラメータは ± 700 ps です。このメモリ・パラメータは、DLL ベース実装で使用される t_{DQSQ} および t_{QHS} パラメータに置き換えられます。

FPGA タイミング・パラメータ

CK クロックがリード・キャプチャのために PLL にフィードバックされたとき、このクロックに生じる不確定性には、ジッタ、位相シフト誤差、および補正誤差が含まれます。ジッタおよび位相シフト誤差パラメータは以前に定義したとおりですが、補正誤差とは入力リファレンスを追跡するクロック出力を再生成する PLL の能力を表したものです。PLL のソース・シンクロナス・モードの場合、このパラメータは一般に $t_{PLL_COMP_ERROR} = \pm 100$ ps となります。



PLL 仕様について詳しくは、「Stratix II ハンドブック volume 2」の「Stratix II デバイスの PLL」の章を参照してください。

PLL ベースのリード実装は、シングル・グローバル・クロック・ネットワークを使用して、位相シフトされたクロック信号を IOE の DQ キャプチャ・レジスタに分配します。これらのレジスタまでのクロック到達時間の違い（クロック・スキュー）は、Quartus II ソフトウェアでモデル化され、クロックの最小または最大伝播遅延に反映されます。さらに、Quartus II ソフトウェアは、デバイスの各ピンのパッケージ・トレース遅延をモデル化します。そのためこの解析では、タイミング・マージン解析においてこのようなスキューを個別に考慮していません。抽出された最小または最大クロックおよびデータ遅延は、これらの不確定性を考慮しています。

ターゲット・デバイスの Quartus II ソフトウェア・タイミング・データを取得するには、DDR SDRAM コントローラ MegaCore ファンクションをインスタンス化してコンパイルします。独自のコントローラ・ロジックを使用している場合は、タイミング遅延を取得しないで、クリア・テキスト DDR データ・パスをインスタンス化しなければなりません。リード・インタフェースの場合、Quartus II ソフトウェアは各 DQ ピンの個別セットアップおよびホールド・タイムをレポートします。タイミング・レポートでは、“List Paths” オプションを選択して、その DQ ピンのデータおよびクロック伝播遅延を取得します。DQ レジスタが最小および最大伝播遅延を抽出するためのワースト・ケースのセットアップおよびホールドを選択します。

例えば、DQ[4] のセットアップ・タイムのリスト・パス例を以下に示します。このパスは DQ ピンからレジスタ・パスへの 0.979 ns、DQS クロック・ピンからレジスタ・パスへの 2.491 ns (-0.419 + 2.910) の伝播遅延を示します。このアプローチを使用して、クロックおよびデータ・パスの最小および最大伝播遅延が抽出され、表 7 に示されます。このタイミング抽出は、各デバイス・モデル（高速モデルと低速モデル）に対して 1 回ずつ、合計 2 回行われます。

```
Info: tsu for register
"my_ddr_core:my_ddr_core_ddr_sdram|...|dq_captured_falling[4]" (data pin =
"ddr_dq[4]", clock pin = "feedback_clk_in") is -1.390 ns
  Info: + Longest pin to register delay is 0.979 ns
  Info: + Micro setup delay of destination is 0.122 ns
  Info: - Offset between input clock "feedback_clk_in" and output clock
"ddr_pll_fb_stratixii:g_stratixpll_ddr_feedback_pll_inst|altpll:altpll_component
|_clk0" is -0.419 ns
  Info: - Shortest clock path from clock
"ddr_pll_fb_stratixii:g_stratixpll_ddr_feedback_pll_inst|altpll:altpll_component
|_clk0" to destination register is 2.910 ns
```

表 7 に、タイミング解析用の 150 MHz をベースにして計算された FPGA ピンでのデータ有効ウィンドウを示します。IP Toolbench ユーティリティは、DDR SDRAM コントローラ MegaCore インスタンスに対して、同様なタイミング・マージン解析を実行します。

表 7. 専用 DQS 回路を使用しない、EP2S60F1020C3 の 150 MHz DDR SDRAM インタフェースのリード・タイミング解析 (1 / 3)				
パラメータ	仕様	150 MHz 高速モデル (1)	150 MHz 低速モデル (1)	説明
メモリの仕様	t_{HP}	3.000	3.000	メモリ・データシートで規定される半周期
	t_{AC}	0.700	0.700	DDR 333Mbps デバイス用メモリ・クロック (CK) からのデータ (DQ) 出力アクセス時間

表 7. 専用 DQS 回路を使用しない、EP2S60F1020C3 の 150 MHz DDR SDRAM インタフェースのリード・タイミング解析 (2 / 3)

パラメータ	仕様	150 MHz 高速モデル (1)	150 MHz 低速モデル (1)	説明
FPGA 仕様	PLL 位相シフト (2)	1.458	1.458	データをキャプチャするための PLL 位相シフト (これは 79° を使用)
	t_{PLL_JITTER}	0.125	0.125	Stratix II PLL のジッタ
	$t_{PLL_COMP_ERROR}$	0.100	0.100	PLL の補正誤差 (広帯域幅)
	t_{PLL_PSERR}	0.015	0.015	PLL 位相シフト誤差
	t_{co_SKEW} (CK および FB_CLK)	0.045	0.046	Quartus II ソフトウェアからの CK およびフィードバック・クロック信号のクロック・出力時間のバラツキ (4)
	最小クロック遅延 (3)	0.546	1.033	Quartus II ソフトウェアからの、フィードバック・クロック・ピンから IOE レジスタまでの最小遅延
	最大クロック遅延 (3)	0.567	1.067	Quartus II ソフトウェアからの、フィードバック・クロック・ピンから IOE レジスタまでの最大遅延
	最小データ遅延 (3)	0.579	1.883	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最小遅延
	最大データ遅延 (3)	0.673	0.0979	Quartus II ソフトウェアからの、DQ ピンから IOE レジスタまでの最大遅延
	μt_{SU}	0.068	0.122	IOE レジスタの固有セットアップ・タイム
μt_{H}	0.037	0.072	IOE レジスタの固有ホールド・タイム	
ボード仕様	t_{EXT}	0.020	0.020	DQ および DQS ラインのボード・トレースのバラツキ
タイミング計算	t_{EARLY_CLOCK}	1.764	2.251	DQS 位相シフト回路後の可能な最も早いクロック・エッジおよび不確定性 (最小クロック遅延 + PLL 位相シフト - t_{PLL_PSERR} - t_{PLL_JITTER} - $t_{PLL_COMP_ERROR}$)
	t_{LATE_CLOCK}	2.265	2.774	DQS 位相シフト回路後の可能な最も遅いクロック・エッジおよび不確定性 (最大クロック遅延 + PLL 位相シフト + t_{PLL_PSERR} + t_{PLL_JITTER} + $t_{PLL_COMP_ERROR}$)
	$t_{EARLY_DATA_INVALID}$	2.834	3.137	最も早いデータが FPGA フロップでのサンプリングに対して無効になる時間 ($t_{HP} - t_{AC}$ + 最小データ遅延 - t_{co_skew})
	$t_{LATE_DATA_VALID}$	1.418	1.725	最も遅いデータが FPGA フロップでのサンプリングに対して有効になる時間 (t_{AC} + 最大データ遅延 + t_{co_skew})

表 7. 専用 DQS 回路を使用しない、EP2S60F1020C3 の 150 MHz DDR SDRAM インタフェースのリード・タイミング解析 (3 / 3)

パラメータ	仕様	150 MHz 高速モデル (1)	150 MHz 低速モデル (1)	説明
結果	リード・セットアップ・タイミング・マージン	0.258	0.384	$t_{\text{EARLY_CLOCK}} - t_{\text{LATE_DATA_VALID}} - \mu t_{\text{SU}} - t_{\text{EXT}}$
	リード・ホールド・タイミング・マージン	0.512	0.271	$t_{\text{EARLY_DATA_INVALID}} - t_{\text{LATE_CLOCK}} - \mu t_{\text{H}} - t_{\text{EXT}}$
	合計マージン	0.770	0.655	セットアップ + ホールド・タイム・マージン

表 7 の注 :

- (1) この表に引用したメモリ品番は、クロック速度 150 MHz の場合の Micron MT9VDDT3272AG-335 です。
- (2) セットアップおよびホールド・タイム・マージンのバランスをとる必要がある場合は、PLL 位相シフトを調整できます。
- (3) これらの数値は、DDR SDRAM コントローラ MegaCore 3.3.0 を使用した Quartus II ソフトウェア・バージョン 5.1 からのものです。IOE キャプチャ・レジスタはソース・シンクロナス・モードの PLL 出力によってクロックされます。
- (4) この数値は、Quartus II ソフトウェアがユーザの CK にレポートした T_{co} とフィードバック・クロックの差を表します。解析で使用された値は、隣接するピンなど T_{co} が厳密にマッチングしたピンを選択すれば小さくできます。

ライト・データのタイミング解析

DQS 位相シフト回路または PLL のいずれを使用して、リード動作中に DDR SDRAM デバイスからデータをキャプチャする場合でも、ライト動作に対しては 1 つの実装しかありません。ライト・データおよびアドレス / コマンド信号に対するタイミング・マージン解析は、非常によく似ています。ここでは、ライト・データ信号のタイミングを解析します。アドレス / コマンド信号に対しても同じアプローチを使用して、これを繰り返します。

ライト動作時には、DDR SDRAM メモリは、クロック・ストローブ (DQS) がデータ・バス (DQ) に中央に揃えられることを要求します。これは PLL 位相シフト機能を使用して Stratix II に実装されます。PLL から 2 つの出力クロックが相対的 90° 位相オフセットで作成されます。進んだ (-90°) クロック・エッジは、DQ ライト・データ出力ピンからメモリにクロック・アウトするのに使用され、遅れた (0°) クロック・エッジは DQS クロック・ストローブと CK/CK# メモリ出力クロックを生成するのに使用されます。7 ページの図 2 に、ライト動作時にメモリで要求される DQS 入力と DQ 入力間のタイミング関係を示します。図 5 に示すとおり、ライト側は PLL を使用して、表 8 に記載されているクロックを生成します。

表 8. PLL クロック出力	
クロック	説明
システム・クロック	これはメモリ・コントローラに使用され、DQS ライト、CK、および CK# 信号を生成します。
ライト・クロック (システム・クロックからの -90° シフト)	これはデータ・バスで使用され DQ ライト信号を生成します。
フィードバック・クロック	このオプションのクロックは、DDR SDRAM デバイスを読み出すときに DQS 位相シフト回路を使用しない場合、または再同期のためにフィードバック・クロック方式を使用する場合に使用されます。
再同期クロック	このオプションのクロックは、DQS 位相シフト回路を使用していて、再同期のために利用可能なクロック位相シフトとは異なる位相シフトが必要な場合にのみ使用されます。

図 11 に DDR SDRAM ライト動作のデータ・パスを示します。

図 11. Stratix II DDR SDRAM ライト・データ・パス

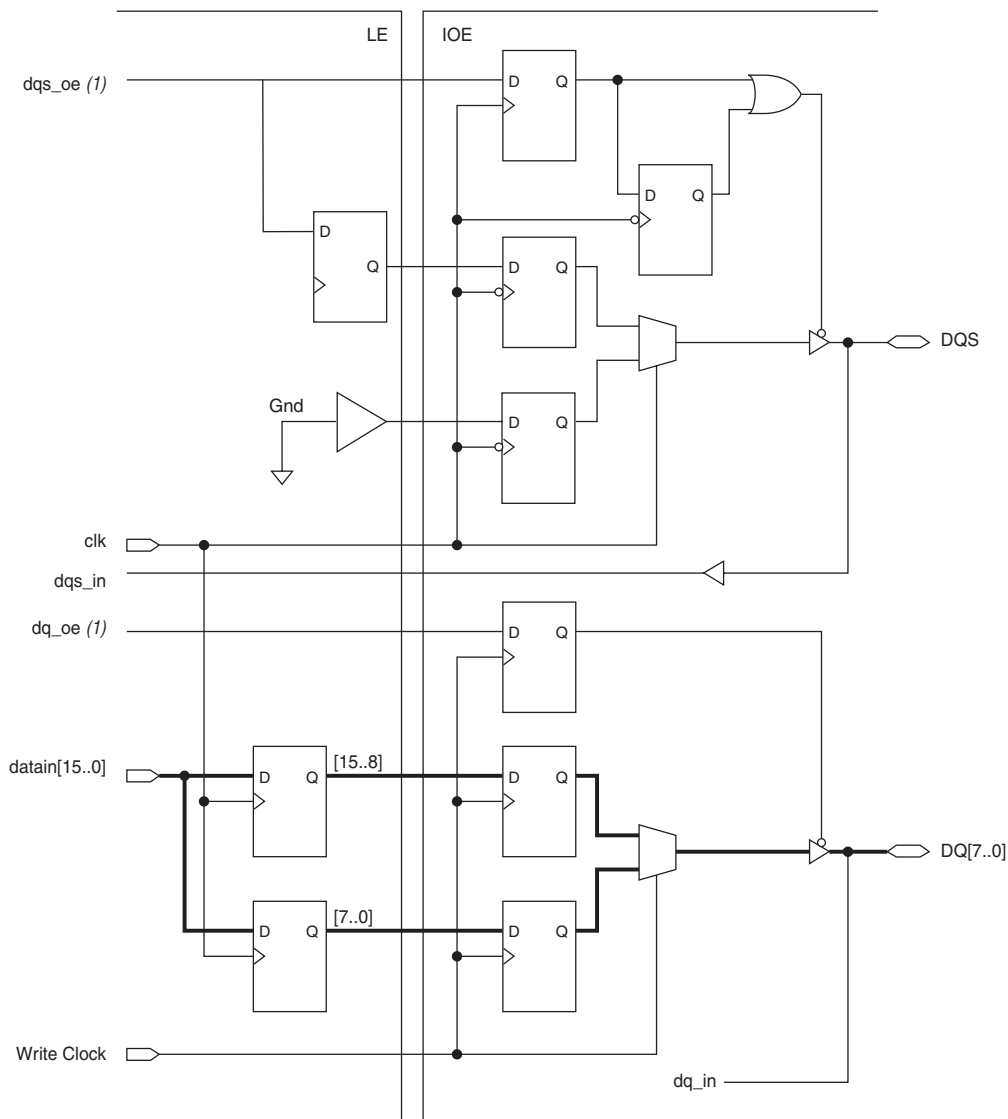


図 11 の注 :

- (1) dqs_oe および dq_oe 信号はシリコンではアクティブ Low です。ただし、Quartus II ソフトウェアはこれをアクティブ High として実装し、コンパイル時に自動的にインバータを追加します。

メモリ・タイミング・パラメータ

メモリに書き込むとき、FPGA はセットアップ・タイムとホールド・タイムが確実に満足されるようにする必要があります。これらの仕様 (t_{DS} および t_{DH}) は、データ・シート (それぞれ 4000 ps) から得られます。加えて、FPGA はクロックの High/Low タイム仕様に適合するメモリ・クロック (CK/CK#) を提供する必要があるがあります。また、DQS 出力ストロブと CK 出力クロック間のスキューがメモリで設定される制限を超えることはできません。最後のパラメータはタイミング・マージンに直接影響を与えることはありませんが、正常なメモリ動作のために満足する必要があります。

FPGA タイミング・パラメータ

FPGA 内での DQ および DQS 出力からメモリまでのタイミング・パスは、データ・パス・デザインによってマッチングされます。専用クロック・ネットワークは、DDR IO 構造をドライブして、DQ と DQS を生成します。これによって、これらの出力間のスキューが最小になります。これらのスキュー・パラメータには、位相シフト誤差、クロック・スキュー、およびパッケージ・スキューが含まれます。

使用される 2 つのクロック・ネットワークは、同じ PLL でドライブされますが、90° 相対的に位相シフトされます。DQS を生成するには 0° クロックを使用しますが、DQ を生成するには -90° クロックを使用します。ジッタや補正誤差などの一般的な PLL 不確定性は、両方のクロック・ネットワークに等しく影響を与えます。したがって、これらのタイミング・パラメータはライト・タイミング・マージンには影響を与えません。DQ を生成するクロックが位相シフトされると、PLL 位相シフトの不確定性 ([Stratix II デバイス・ハンドブック Volume 1] の「DC & スイッチング特性」の章にリストされている $t_{PLL_PSERR} = \pm 30$ ps) は、メモリ・ピンでの DQ 到達時間に影響を与えます。

Quartus II ソフトウェアは、クロック内スキュー、すなわち同じ専用クロック・ネットワークでドライブされるノード間のスキューをモデル化します。ただし、このような 2 つのクロック・ネットワーク間のスキューはモデル化されず、データシートにはアダー項として規定されています。このスキュー成分を Quartus II ソフトウェアから抽出した伝播遅延に加算する必要があります。

デバイスのトップまたはボトムにある 2 つの IO バンクにまたがる 72 ビット DDR SDRAM インタフェースの場合、2 つのクロック・ネットワーク間のクロック・スキュー・アダーは、 ± 50 ps ($t_{CLOCK_SKEW_ADDER}$) として規定されています。この不確定性はメモリ・ピンでの DQS 到達時間を計算する際に使用されます。

最終スキュー成分はパッケージ・スキューです。前述のとおり、Quartus II ソフトウェアは、デバイスの各ピンのパッケージ・トレース遅延をモデル化します。抽出した伝播遅延はメモリへの出力信号間のスキューを反映したものです。

表 9 に EP2S60F1020C3 のサンプル 200 MHz DDR SDRAM ライト・タイミング・マージン解析を示します。DQ および DQS ピンのボード・トレースのバラツキは ± 20 ps です。これを特定の FPGA および DDR SDRAM に対する類似タイミング解析を実行するためのテンプレートとして使用してください。

パラメータ	仕様	高速コーナ・モデル	低速コーナ・モデル	説明
メモリ仕様 (1)	t_{DS}	0.400	0.400	メモリ・データ・セットアップ要件
	t_{DH}	0.400	0.400	メモリ・データ・ホールド要件
FPGA 仕様 (2)、(4)、(5)	t_{HP}	2.250	2.250	理想的な半周期 -5% デューティ・サイクル歪み
	t_{PLL_JITTER}	0.000	0.000	同じ PLL が両方のライト・クロック (0° および -90°) を生成するためマージンには影響を与えません。
	t_{PLL_PSERR}	0.015	0.015	PLL 位相シフト誤差 (-90° クロック出力)
	$t_{CLOCK_SKEW_ADDER}$	0.050	0.050	FPGA の同じ側の IO バンクに供給する 2 つの専用クロック・ネットワーク間のスキューをクロックします。
	最小クロック遅延 (出力)	2.938	1.748	Quartus II ソフトウェアからの最小 DQS t_{CO} (0° PLL 出カクロック)
	最大クロック遅延 (出力)	0.973	1.793	Quartus II ソフトウェアからの最大 DQS t_{CO} (0° PLL 出カクロック)
	最小データ遅延 (出力)	-0.321	0.489	Quartus II ソフトウェアからの最小 DQ t_{CO} (-90° PLL 出カクロック)
	最大データ遅延 (出力)	-0.167	0.822	Quartus II ソフトウェアからの最大 DQ t_{CO} (-90° PLL 出カクロック)
ボード仕様	t_{EXT}	0.020	0.020	DQ および DQS ラインのボード・トレースのバラツキ

表 9. EP2S60F1020C3 への 200 MHz DDR SDRAM インタフェースのライト・タイミング解析 (2 / 2)

パラメータ	仕様	高速コーナ・モデル	低速コーナ・モデル	説明
タイミング計算	$t_{\text{EARLY_CLOCK}}$	0.888	1.698	メモリ・デバイスから見た可能な最も早いクロック・エッジ(最小クロック遅延 $-t_{\text{PLL_JITTER}}$ $-t_{\text{CLOCK_SKEW_ADDER}}$)
	$t_{\text{LATE_CLOCK}}$	1.023	1.843	メモリ・デバイスから見た可能な最も遅いクロック・エッジ(最大クロック遅延 $+t_{\text{PLL_JITTER}}$ $+t_{\text{CLOCK_SKEW_ADDER}}$)
	$t_{\text{EARLY_DATA_INVALID}}$	1.914	2.724	最も早いデータがメモリ入力ピンでのサンプリングのために無効になる時間 (t_{HP} + 最小データ遅延 $-t_{\text{PLL_PSERR}}$)
	$t_{\text{LATE_DATA_VALID}}$	-0.152	0.837	最も遅いデータがメモリ入力ピンでのサンプリングのために有効になる時間 (最大データ遅延 $+t_{\text{PLL_PSERR}}$)
結果	リード・セットアップ・タイミング・マージン (3)	0.620	0.441	$t_{\text{EARLY_CLOCK}} - t_{\text{LATE_DATA_VALID}} - t_{\text{DS}} - t_{\text{EXT}}$
	リード・ホールド・タイミング・マージン (3)	0.471	0.461	$t_{\text{EARLY_DATA_INVALID}} - t_{\text{LATE_CLOCK}} - t_{\text{DH}} - t_{\text{EXT}}$
	合計マージン	1.091	0.902	セットアップ・マージン + ホールド・マージン

表 9 の注 :

- (1) この表に引用したメモリ品番は、クロック速度 200 MHz の場合の Micron MT9VDDT3272AG-40B です。
- (2) この解析は、EP2S60F1020C3 に対する FPGA タイミング・パラメータで実行されています。このテンプレートを使用して、希望の Stratix II の集積度とパッケージの組み合わせのタイミングを解析する必要があります。FPGA の仕様については、「Stratix II ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。
- (3) セットアップおよびホールド・タイム・マージンのバランスをとる必要がある場合は、PLL 位相シフトを調整できます。
- (4) これらの数値は、アルテラ IP コア 3.3.0 を使用した Quartus II ソフトウェア・バージョン 5.1 からのものです。
- (5) パッケージ・トレース・スキューは、Quartus II ソフトウェアによってモデル化されています。

ラウンドトリップ遅延の計算

リード・データは DQS 信号をクロックとして使用して FPGA DDR レジスタに送られます。したがって、データは DQS クロック・ドメインからシステム・クロック・ドメインに転送する必要があります。このメモリ・リード・データの DQS クロック・ドメインから FPGA システム・クロック・ドメインへの転送を再同期化といいます。フィードバック・クロックの有無にかかわらず、データをシステム・クロックと再同期できます。オプションのフィードバック・クロックには追加のピンおよび PLL を必要とします。200 MHz インタフェースにはオプションのフィードバック・クロックを使用することを推奨します。DDR SDRAM デザインが 200 MHz より低速で動作する場合、フィードバック・クロックは必要ありません。

再同期パスのタイミングの解析には、PVT でのクロックおよびデータ信号のラウンドトリップ遅延 (RTD) 計算が必要です。高速および低速タイミング・モデルを使用して RTD を計算する場合、シングル・ステージ再同期実装の使用時には、高速度で安全な再同期ウィンドウが存在しない可能性があります。フィードバック・クロック実装は、遅延マッチングおよびマルチステージ再同期を使用してこのタイミング・マージンを拡大させます。標準的な RTD パスには、FPGA の CK 出力ピンの t_{CO} などの遅延成分、CK クロックのボード・トレース遅延、CK から DQS までのメモリ伝播遅延、FPGA 内部の DQS 位相シフト遅延、およびキャプチャ・レジスタから再同期レジスタまでの DQ 伝播遅延などが含まれます。これらの各遅延成分は PVT で大きく変動する可能性があり、その結果、データ有効ウィンドウが大幅に減少するか存在しなくなります。フィードバック・クロック・アーキテクチャは、メモリ・クロック・ドメインとシステム・クロック間の 2 つのレジスタ・ステージを使用して不確定性を分割します。最初のステージ・レジスタへのクロックおよびデータ遅延パスでは、FPGA のクロック出力ピン、ボード・トレース、および FPGA 入力ピンからレジスタまでにおける遅延がマッチングされています。また、PLL で補正されたクロック・ネットワークは、PVT での遅延のバラツキをなくします。したがって、より高速度にはこの 2 PLL フィードバック・クロック実装が推奨されます。DDR SDRAM MegaCore IP ToolBench は、両方の実装の再同期パスに対するタイミング・マージン解析を提供します。Quartus II ソフトウェアからのタイミング解析出力を検討するか、またはペーパー解析 (下記参照) を実行して、デザインの最適な再同期実装を選択します。

オプションのフィードバック・クロックでのラウンドトリップ遅延

図 5 に示すフィードバック・クロックおよび第 2 の PLL は、再同期を容易にします。このフィードバック・クロックは、メモリの CK 信号から取り込まれ、Stratix II FPGA に配線され、リード PLL と呼ぶ第 2 の PLL に信号を供給します。このリード PLL は、出力が PLL 入力と同相になる (位相シフトがない場合) ようにノーマル・モードになる必要があります。PLL 入力は、DDR SDRAM から $\pm t_{DQSCK}$ の値 + DQS、CK、および FB_CLK トレース間のボード・トレース・スキューだけオフセットされます。PLL は IOE レジスタから LE レジスタまでの遅延を補正し、DQS クロック・ドメインからのデータをフィードバック・クロック・ドメインに同期させることができます。

ボード・トレース長によりフィードバック・クロックはシステム・クロックより遅れます。これにより、CK および DQS 信号に遅延が生じます ($l_1 + l_2$)。フィードバック・クロックによってクロックされるレジスタの出力が、システム・クロック・ドメインに入る前に別の再同期ステージを必要とするかどうかを計算できます。この計算では、以下の遅延に対して最大値および最小値を持つ必要があります。

- Stratix II デバイスの CK 信号のクロックから出力までの遅延
- CK ボード・トレース長
- DQS ボード・トレース長
- フィードバック・クロック・ドメイン内のレジスタおよびシステム・クロック・ドメイン内のレジスタ間のレジスタ - レジスタ遅延

図 12 に、再同期のためにオプションのフィードバック・クロックを使用したタイミング波形の例を示します。

図 12. フィードバック・クロックでのラウンド・トリップ遅延図の例

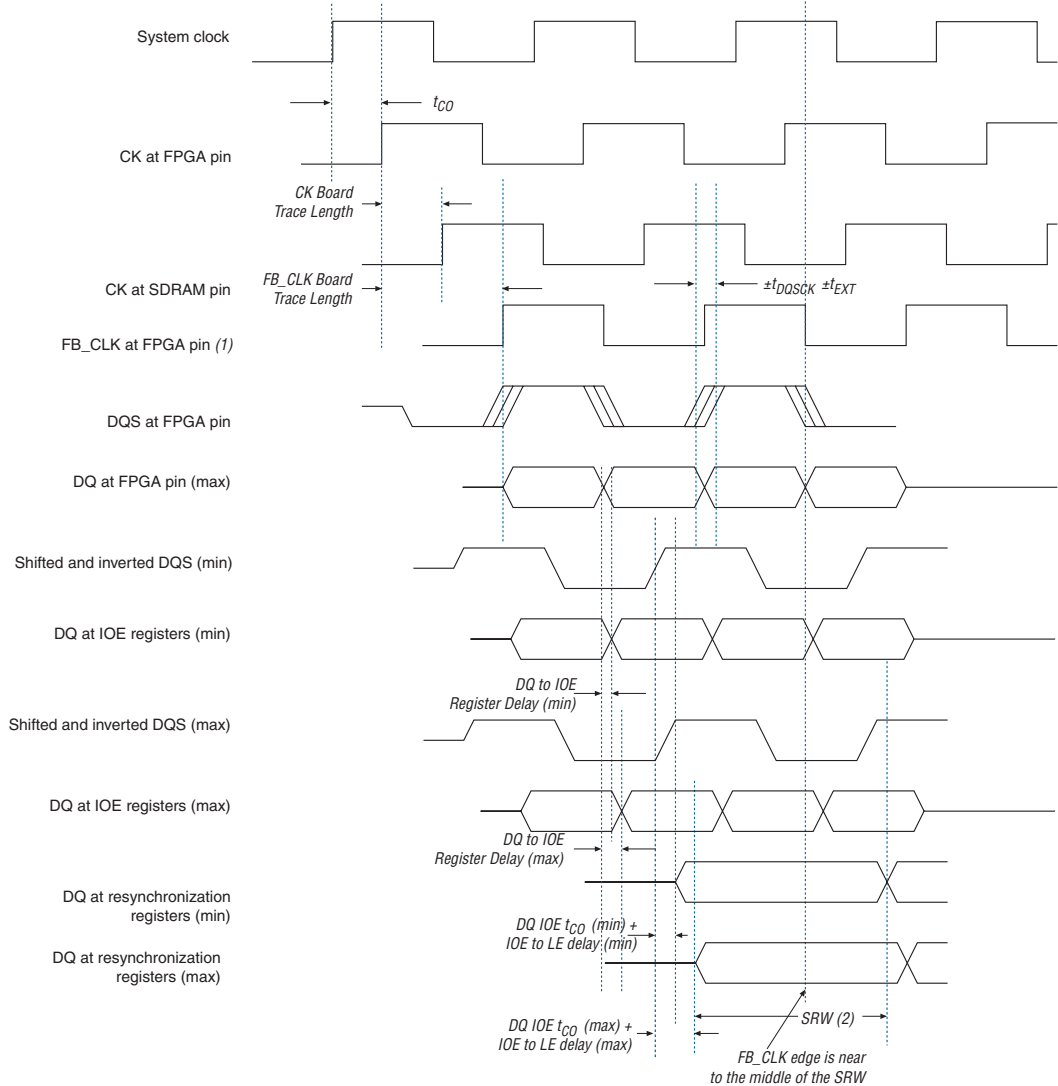


図 12 の注：

- (1) FB_CLK は PLL に送られ、その出力をシフトして SRW で中央揃えすることができます。
- (2) SRW：安全な再同期ウィンドウ。

オプションのフィードバック・クロックなしの ラウンドトリップ遅延の計算

図 13 にフィードバック・クロックを使用しない場合のラウンド・トリップ遅延のタイミング解析と説明図を示します。ラウンド・トリップ遅延とは、FPGA クロックから DDR SDRAM に達し、そして FPGA (レジスタ B の入力) に戻るまでの遅延です。この解析は、データをレジスタ A (IOE 内) からレジスタ B (LE 内) に確実に転送するために要求されます。

図 13. フィードバック・クロックなしのラウンド・トリップ遅延の説明図 注 (1)

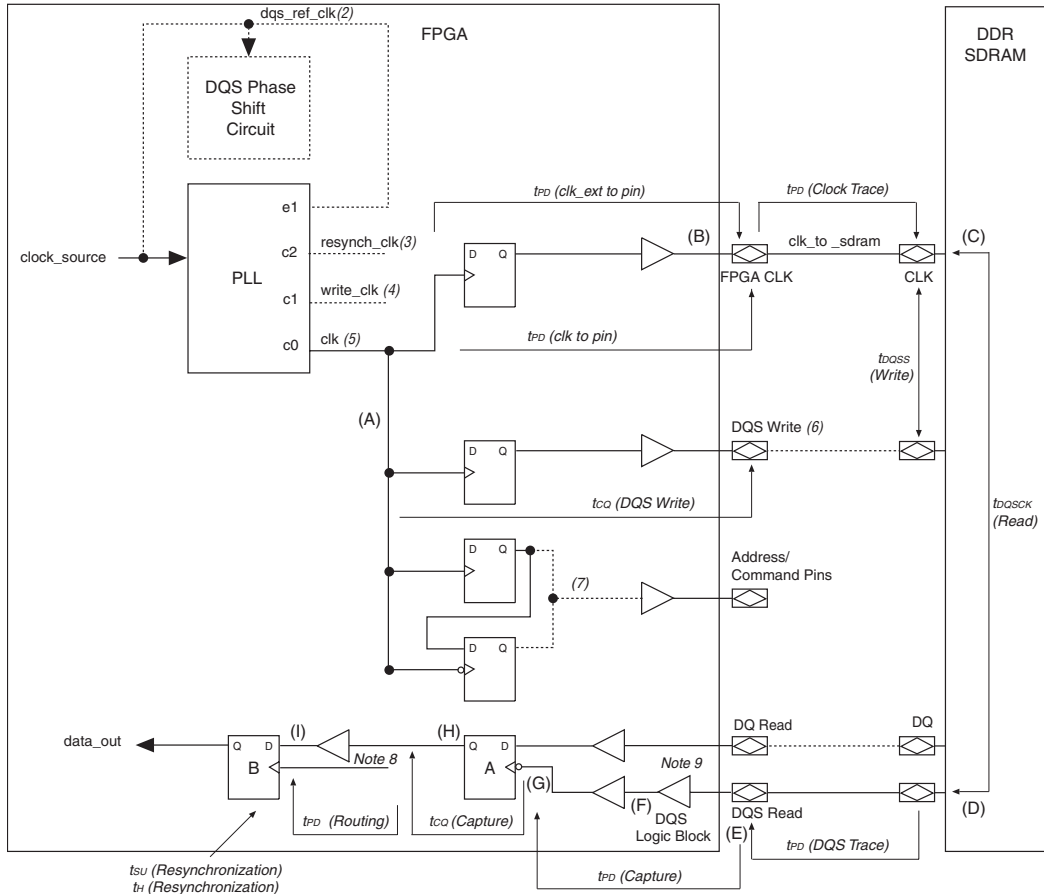


図 13 の注 :

- (1) ラウンド・トリップ遅延 (RTD) 解析用ノードには、(A) から (I) の文字が付いています。
- (2) Stratix II デバイスの `dqs_ref_clk` 入力、PLL の出力からまたは入力クロック・ピンから直接供給できます。
- (3) `resynch_clk` は、システムのラウンド・トリップ遅延に基づくオプションです。
- (4) `write_clk` 信号は完全を期すために表示されていますが、ラウンド・トリップ遅延またはアドレス / コマンド・タイミングのタイミング解析には必要ありません。
- (5) `clk` はシステム・クロックです。
- (6) DQS 信号は双方向です。DQS ライトおよび DQS リードは、このタイミング解析では 2 本の独立したピンとして示されます。
- (7) アドレス / コマンド・レジスタは、`clk` 信号の立ち上がりエッジまたは立ち下がりエッジのいずれかでクロックできます。
- (8) レジスタ B のクロック入力には、`clk`、`write_clk`、または `resynch_clk` のいずれかを使用できます。必要に応じて、`clk` および `write_clk` 信号もレジスタ B で反転できます。
- (9) DQS 位相シフト・リファレンス回路は 90° 位相シフトをダイナミックにコントロールします。コントロール・パスは示されてなく、その動作はユーザに対して透明です。

図 13 のレジスタ A は、DDR SDRAM キャプチャ・ロジックを表します。レジスタ A からの Q 出力は、リード・データが DDR SDRAM からシングル・データ・レート (SDR) に変換されたポイントを表します。レジスタ A の出力では、データはすでにシングル・データ・レートですが、まだ DQS クロック・ドメイン内にあります。DQ_H (DQS High 時の DQ データ) は、90° 位相シフトした DQS パルスの正エッジでサンプリングされますが、90° 位相シフトした DQS パルスの負エッジで再びサンプリングされ、DQ_L (DQS Low 時の DQ データ) に揃えられます。

DQ_L および DQ_H は、90° 位相シフトした DQS パルスの負エッジでサンプリングされると再同期に使用できます。

レジスタ A の Q 出力をレジスタ B にサンプリングするには、レジスタ B のクロック入力と D 入力に時間の関係が必要となり、これは DQS と clk 信号の位相関係に依存し、以下のステップを伴います。

1. システム・ラウンド・トリップ遅延を計算します。
2. 計算した安全な再同期ウィンドウ (SRW) に基づいて、レジスタ A の Q 出力を確実にサンプリングするシステム・クロックまたはその他の利用可能なクロックの再同期位相を選択します。
3. メモリ・コントローラの再同期ロジックに、適切なクロック・エッジを適用します。

clk、write_clk、または resynch_clk 信号をレジスタ B のクロック入力として使用できます。必要に応じて、clk および write_clk を反転させることも可能です。clk に対するレジスタ B の D 入力でのデータのタイミングを決定するには、以下のタイミング・パス依存性を考慮します。

- DDR SDRAM クロック入力に到着します (clk の遅延バージョン)。
- DDR SDRAM からの DQS ストローブがレジスタ A のクロック入力に到着します。
- データがレジスタ A の Q 出力に到着します。
- データがレジスタ B の D 入力に到着します。

したがって、このパスには以下の 3 つの主要部分があります。

- クロック遅延 — FPGA グローバル・クロック・ネットと DDR SDRAM クロック入力の間。
- DQS ストローブ遅延 — DDR SDRAM のクロック入力と FPGA キャプチャ・レジスタに dqs が到着するまでの間。
- リード・データ遅延 — レジスタ A の出力とレジスタ B の入力の間。

図 14 に、CAS レイテンシ 2.5 クロック・サイクルでのポイント (A) から (I) までの遅延に対する信号のタイミング関係を示します。

図 14. フィードバック・クロックのない RTD の計算 注 (1)

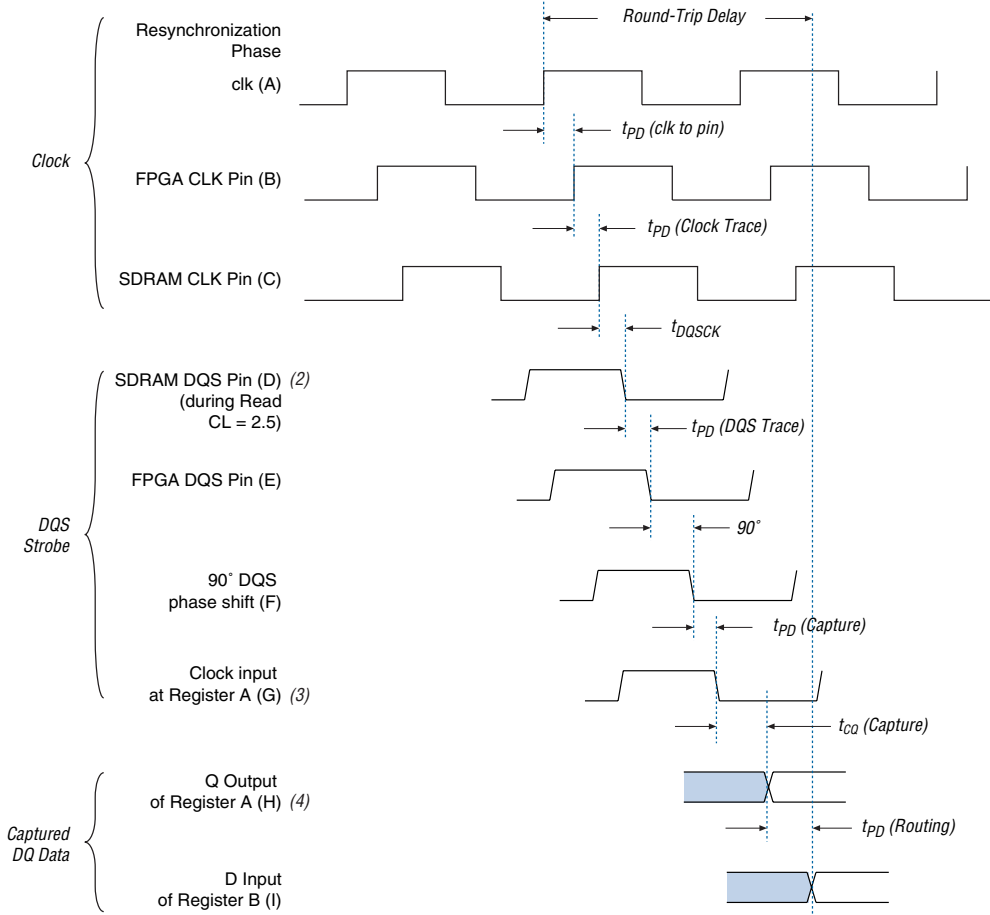


図 14 の注 :

- (1) 括弧内の文字は図 13 での文字を表します。
- (2) DQS ストロープ・エッジは、DDR SDRAM クロック・ピン・エッジの $\pm t_{DQSCK}$ 内のどの位置にあってもかまいません。最大ラウンド・トリップ遅延を計算するために、この図ではストロープがクロックの t_{DQSCK} 後に発生するものと仮定しています。最小ラウンド・トリップ遅延の計算では、ストロープがクロックの t_{DQSCK} 前に発生するものと仮定しています。
- (3) レジスタをキャプチャするための FPGA ピンからの DQS バスの遅延は、DQS 遅延チェーンを除いて DQ バスの遅延とマッチングされています。
- (4) データは最初にキャプチャ・レジスタにおいて DQS の正エッジでサンプリングされますが、 DQ_H と DQ_L の両方が DDR SDRAM キャプチャ・ロジックの Q 出力で利用可能になるのは負エッジ上のみです。このポイントで、これらはシングル・データ・レートになります。

データを確実に再同期できるポイントを決定するには、最小および最大ラウンド・トリップ遅延を計算します。次にシステムに使用する再同期ロジックを決定することができます。PVT のバラツキを考慮に入れてください。

(A) から (B) までの遅延は、DDR SDRAM デバイスへのクロック信号を生成するクロックから出力までの時間です。

(B) から (C) までの遅延はクロックのトレース遅延です。システムに複数の DIMM またはデバイスがある場合、FPGA から最も遠くに位置する DIMM またはデバイスを最大値の計算に使用し、最も近くに位置する DIMM またはデバイスを最小値の計算に使用します。

(C) から (D) まで遅延は、リード時のクロックと DQS ストロープ・タイミングの関係です。これは DDR SDRAM 仕様の t_{DQSCk} であり、通常は 0 ですが一般に DDR SDRAM デバイスのスピード・グレードに応じて ± 0.75 ns ずつ変動します。DQS 出力ストロープはクロック入力の $\pm t_{DQSCk}$ 以内にあることのみが保証されます。そのため、最大ラウンド・トリップ遅延の計算には、 t_{DQSCk} (最大)、一般に $+0.75$ ns を使用し、最小ラウンド・トリップ遅延の計算には t_{DQSCk} (最小)、一般に -0.75 ns を使用します。

(D) から (E) までの遅延は dqs のトレース遅延であり、一般に同じバイト・グループの dq 信号のトレース遅延に一致します。最大 RTD を計算するには、最も長いトレース長のバイト・グループを使用し、最小 RTD の計算には最も短いトレース長のバイト・グループを使用します。同様に、システムに複数の DIMM またはデバイスがある場合、最大値の計算には FPGA から最も遠くに位置する DIMM またはデバイスを、最小値の計算には最も近くに位置する DIMM またはデバイスを使用します。異なるバイト・グループ間のトレース長は厳密に一致している必要はありませんが、最も長いトレース長と最も短いトレース長の差によって安全な再同期ウィンドウが縮小します。この差が大きくなると、データを確実に再同期可能なウィンドウのサイズが縮小します。

PLL ジッタおよびクロック・デューティ・サイクルも RTD に影響します。これらの遅延のそれぞれを最大値に加算し、また最小値から減算します。PLL ジッタおよびクロック・デューティ・サイクルは [37 ページの図 13](#) には記載されていませんが、RTD の計算例を示す [44 ページの表 10](#) には含まれます。

再同期を選択

DQS 信号が Stratix II デバイスに到着すると、専用位相シフト回路は信号を 90° シフトして DQ 信号をキャプチャします。これで DQ 信号はシステム・クロックに同期できる状態になります。ラウンド・トリップ遅延の数值は、ボード遅延およびデバイスの内部遅延により変動します。タイミング解析を完了して、同期レジスタのライト・クロックとしてシステム・クロックの立ち下がりエッジまたは立ち上がりエッジのいずれを使用するかを決定します。最大および最小 RTD を計算した後、動作周波数でデータが clk に対して有効になるポイントを見つけ、それをシステム・クロック数に換算します。44 ページの表 10 での最大遅延例は 200 MHz で 1.8 サイクル、最小遅延例は 0.9 サイクルです。18 ページの図 9 で 3 となっている CAS レイテンシが含まれている場合、例は最小遅延 3.9 サイクルおよび最大遅延 4.8 サイクルを表します。

最小および最大データ有効ウィンドウのオーバーラップは、安全な再同期ウィンドウとレジスタ B の t_{SU} および t_{H} から構成されるデータ有効ウィンドウを定義します。

図 15 に 44 ページの表 10 での RTD 解析のタイミング波形例を示します。

図 15. フィードバック・クロックを使用しない RTD 図の例 1 注 (1)

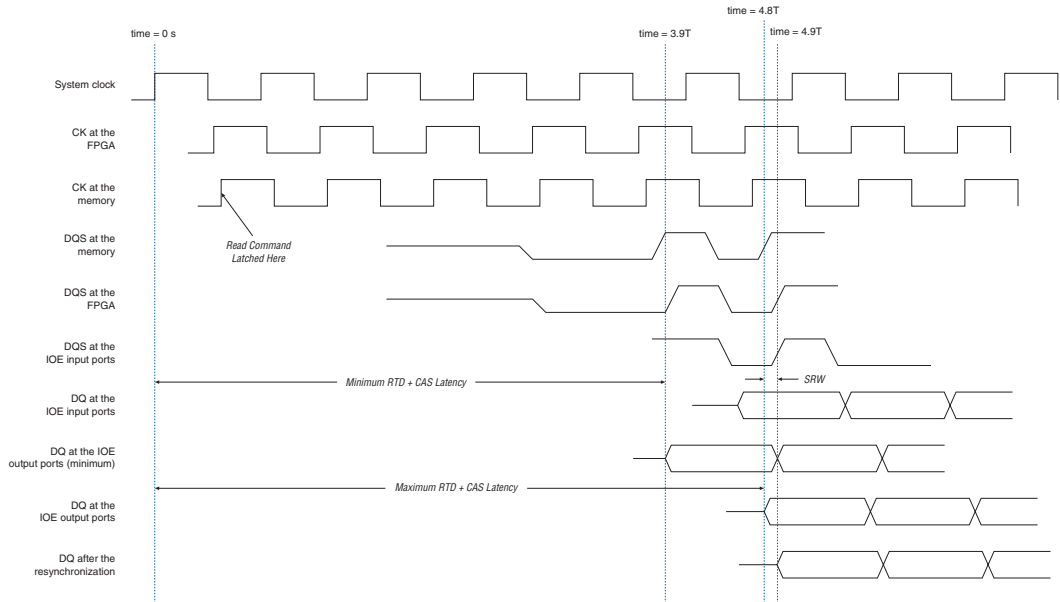


図 15 の注 :

(1) T はシステムのクロック周期を表します。この例では 5 ns です。

RTD は安全な再同期ウィンドウ (SRW) およびデータの再同期がどの程度必要かを決定するのに役立ちます。シフトした DQS 信号は LE に送ることができるため、この信号を LE 内で再同期に使用できます。これにより、2 個の LE レジスタ間で DQS クロック・ドメインからシステム・クロック・ドメインへの転送が発生することがあります。ここでのタイミング解析では、IOE レジスタから LE レジスタへクロック・ドメインの転送が発生するものと想定しています。

タイム 0 はクロックの立ち上がりエッジの時間と仮定します。DDR SDRAM デバイスが Stratix II デバイスからこの立ち上がりエッジを受け取ると、この正エッジの受信時にリード・コマンドが SDRAM にクロックされ、SRW 有効時間を以下のよとおり計算できます。

$$\text{最小 SRW 有効時間} = \text{最大 RTD} + \text{CAS レイテンシ} \times \text{クロック周期} + \mu\text{t}_{\text{SU}}$$

$$\text{最大 SRW 有効時間} = \text{最小 RTD} + (\text{CAS レイテンシ} + 1) \times \text{クロック周期} - \mu\text{t}_{\text{H}}$$

44 ページの表 10 の例より、最小 SRW 有効時間は 4.8 サイクル、最大 SRW 有効時間は 4.9 サイクルです (μt_{SU} および μt_{H} を無視した場合)。

以下の等式で計算すると、この例の SRW のサイズは 0.1 サイクルになります。

$$\text{SRW サイズ} = \text{最大 SRW 有効時間} - \text{最小 SRW 有効時間}$$

SRW のサイズは、2 つの PLL 出力クロック間のワースト・ケース・クロック・スキュー (150 ps) に対応できるだけ大きくなければなりません。

次に、最小 SRW 有効時間 ÷ 半クロック・サイクルの天井関数を計算して、タイム 0 から最小 SRW 有効時間までに経過する半クロック・サイクル数 (numcycle) を求めます。SRW がクロック・エッジ内にあるかどうかを確認するには、numcycle に半クロック・サイクルを乗算します。結果が最大 SRW 有効時間より短い場合、システム・クロック・エッジは SRW 内に収まります。そうでない場合は、再同期クロックのために別の PLL 出力が必要です。

44 ページの表 10 の例は、numcycle が 10 で、システム・クロック・エッジが SRW 内に入らないことを示しています。

再同期クロックが必要なく、かつ numcycle が偶数の場合、再同期のためのアクティブ・システム・クロック・エッジは正エッジです。numcycle が奇数の場合、再同期システム・クロック・エッジは負エッジとなり、再同期位相の選択を決定する必要があります。

図 16 に SRW がシステム・クロック・エッジ内にある例を示します。この例では、numcycle は 9 (タイム = 4.5T) であり、システム・クロックの負エッジを再同期クロックに使用します。

図 16. フィードバック・クロックを使用しない RTD 図の例 2

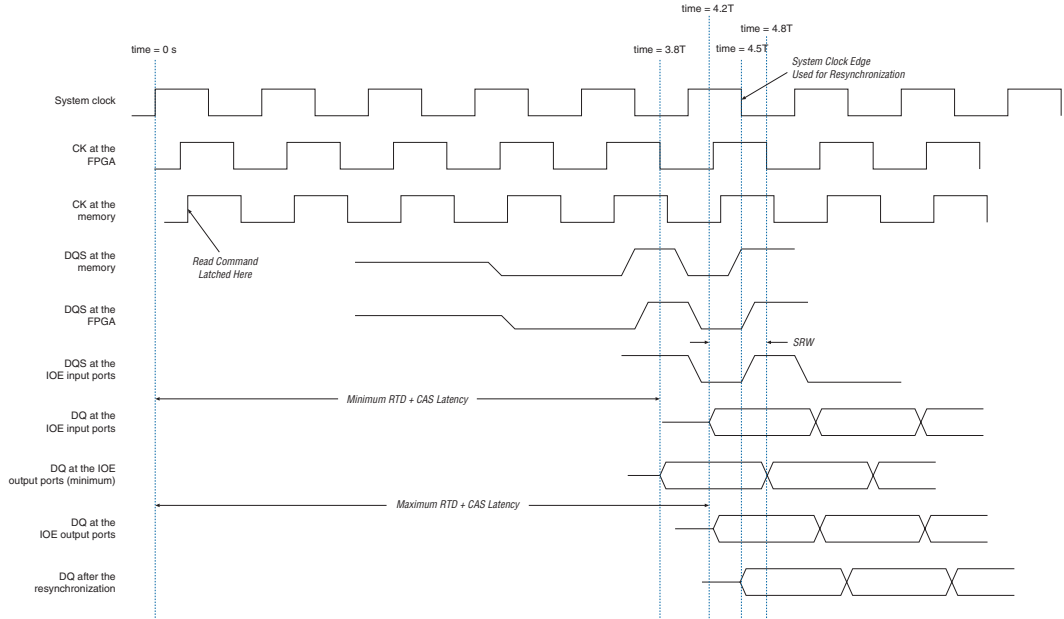


図 16 の注 :

(1) T はシステムのクロック周期を表します。この例では 5 ns です。

安全な再同期ウィンドウ (SRW) 内で使用可能なクロック・エッジが存在しない場合は、別の再同期クロックが必要です。いずれのエッジからでもシステム・クロックをシフトできます。このケースで numcycle が偶数の場合、SRW に最も近いシステム・クロック・エッジは負になり、numcycle が奇数の場合、SRW に最も近いシステム・クロック・エッジは正になります。

以下の等式から再同期クロックに必要な位相シフトを計算できます。

$$\text{最小位相シフト} = \text{最小 SRW 有効時間} + \text{PLL クロック・スキュー (150 ps)} - (\text{numcycle} - 1) \times t_{\text{CK}}/2$$

$$\text{最大位相シフト} = \text{最小 SRW 有効時間} - \text{PLL クロック・スキュー (150 ps)} - (\text{numcycle} - 1) \times t_{\text{CK}}/2$$

44 ページの表 10 の位相シフトの計算例は、最小位相シフトは 1.61 ns、最大位相シフトは 1.52 ns であることを示しています。これは SRW が 300 ps 未満であるためです。再同期クロックの位相シフトに対して中間値 (1.565 ns) を選択することもできます。

次に、この計算結果を同程度の位相シフトに変換する必要があります。SRW に最も近いクロック・エッジが負の場合、正エッジからのクロックをシフトするための変換後に 180° 加算または減算します。例えば、表 10 では、位相シフト範囲は負エッジ・クロックに基づき 1.52 から 1.61 までの値になります。この値の中間値は 1.565 ns であり、約 113° に等しくなります (200 MHz クロックから)。このクロックをシステム・クロックの正エッジからシフトする場合、293° (113° + 180°) または -67° (113° - 180°) のいずれかを使用できます。

遅延	図 13 および図 14 の値	最小値の例 (ns)	最大値の例 (ns)	注記
t_{pD} (clk からピン)	(A) から (B)	2.00	3.00	t_{cQ} (DQS ライト) と同じ
t_{pD} (クロック・トレース)	(B) から (C)	0.33	0.50	1 インチあたり 166 ps で 2 ~ 3 インチ (2)
t_{DQsck}	(C) から (D)	-0.60	+0.60	DDR SDRAM 仕様を参照
t_{pD} (dqs トレース)	(D) から (E)	0.33	0.50	1 インチあたり 166 ps で 2 ~ 3 インチ (2)
90° 位相シフト	(E) から (F)	1.133	1.333	Stratix II DLL ジッタおよび 位相シフト誤差を含む
t_{pD} (キャプチャ)	(F) から (G)	0.50	1.00	
t_{cQ} (キャプチャ)	(G) から (H)	0	0.16	
t_{pD} (配線)	(H) から (I)	1.00	1.50	
PLL ジッタ	-	-0.10	+0.10	PLL ジッタの仕様
クロック・デューティ・サイクル	-	-0.25	+0.25	45-55%のデューティ(200 MHz)
ラウンド・トリップ合計	(A) から (I)	4.343	8.943	

表 10 の注 :

- (1) ここに記載した数値は特定のシステムまたはデバイスから引用したものではありません。
- (2) システムの正確な遅延を知るには、システム上で TDR (time domain reflectometry) 解析を実行します。

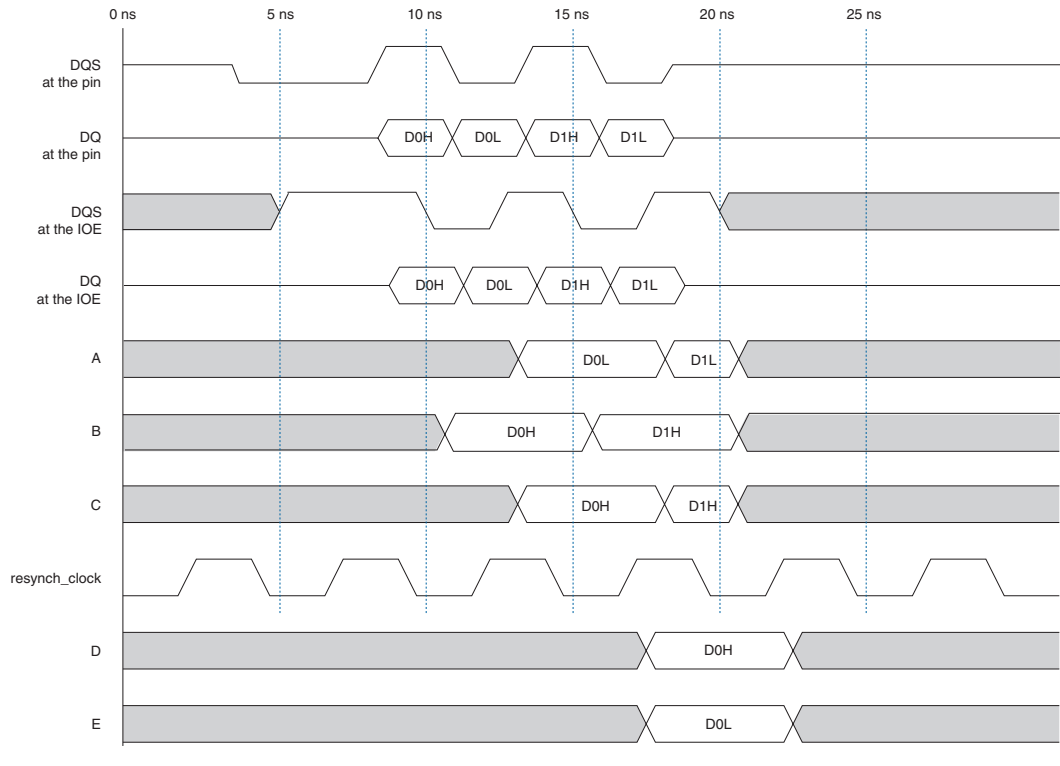
DQS ポストアンブル

DDR SDRAM DQ および DQS ピンは、SSTL-2 クラス class II 標準 I/O 規格を使用します。Stratix II または DDR SDRAM デバイスが DQ ピンも DQS ピンもドライブしないとき、信号はハイ・インピーダンス状態になります。プルアップ抵抗が DQ および DQS を V_{TT} (1.25 V) に終端するため、ハイ・インピーダンス・ラインの実効電圧は 1.25 V です。SSTL-2 class II 標準 I/O 規格のための JEDEC JESD 8-9 仕様によると、これは不定ロジック・レベルであり、入力バッファはこれをロジック High またはロジック Low として解釈します。DQS ラインにノイズがある場合、入力バッファはそのノイズを実際のストローク・エッジとして解釈する可

能性があります。したがって、リード・ポストアンブル後に DQS 信号がトライステートになったときは、入力レジスタへのクロックをディセーブルにして誤ったデータがラッチされず、メモリからのすべてのデータが適切に再同期されるようにする必要があります。

図 17 に、DQS ポストアンブルが問題になる可能性があるリード動作例を示します。図 9 に、A、B、C、D、および E の定義を示します。波形 A はアクティブ High の IOE 入力レジスタの出力を示します。波形 B は Stratix II の IOE 入力レジスタのアクティブ Low レジスタ出力を示します。アクティブ Low レジスタ出力はラッチに入ります。このラッチの出力を波形 C に示します。波形 D および E に再同期レジスタ後の出力信号を示します。

図 17. DQS ポストアンブル問題のリード例



IOE レジスタにおける DQS の最初の立ち下がりエッジは 10 ns で発生します。この時点で、データ D0H はアクティブ Low のレジスタでクロックされます (波形 B)。12.5 ns において、データ D0L がアクティブ High レジスタによってサンプリングされ (波形 A)、データ D0H はラッチを通過します (波形 C)。この例では、resynch_clock の正エッジは 16.5 ns で発生します。ここで、D0H と D0L の両方がロジック・エレメント (LE) の再同期レジスタでサンプリングされます。同様に、データ D1H はアクティブ Low レジスタによって 15 ns にクロックされ、データ D1L はアクティブ High のレジスタによってクロックされ、データ D1H は 17.5 ns にラッチを通過します。20 ns において、DQS ライン上のノイズによって、IOE レジスタの有効クロック・エッジが波形 A、B、C の値を変化させると仮定します。resynch_clock 信号の次の立ち上がりエッジが 21.5 ns まで発生しないが、データ D1L および D1H はラッチとアクティブ High レジスタの出力ではもはや有効でないため、再同期レジスタは D1L および D1H をサンプリングしないで、誤ったデータをサンプリングすることがあります。

Stratix II デバイスは、DQS ポストアンプの終わりに誤ったエッジ・トリガを防止する回路を備えています。各 Stratix II DQS ロジック・ブロックは、AND、NAND および NOT ゲートから構成されるポストアンプ回路に接続されます (図 18 参照)。gated_dqs コントロール (Quartus II ソフトウェア内で) をイネーブルにすると、DQS 信号と DQS IOE の入力レジスタの出力との AND がとられます。このレジスタはシフトした DQS 信号でクロックされます。その SCLR ポートは V_{CC} に接続されます。コントローラには、リセット信号にポストアンプ開始時に DQS 立ち下がりエッジでプリセット信号を解放するよう指示する追加ロジックが含まれている必要があります。これにより、ポストアンプの直後に発生するグリッチを無効にします。

図 18. Stratix II の DQS ポストアンプ回路の接続

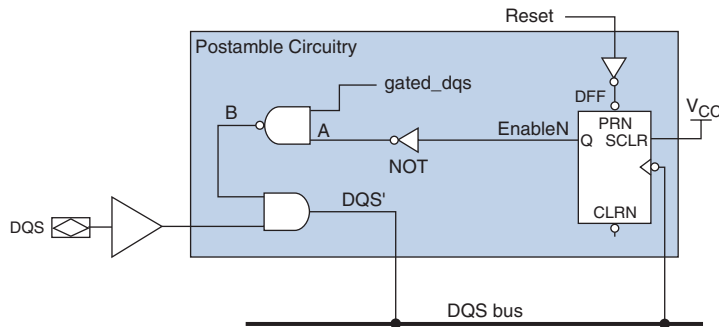


図 19 に、図 18 のタイミング波形を示します。図 20 に、Stratix II の DQS ポストアンブル回路使用時のリード・タイミング波形を示します。

図 19. Stratix II の DQS ポストアンブル回路のコントロール・タイミング波形

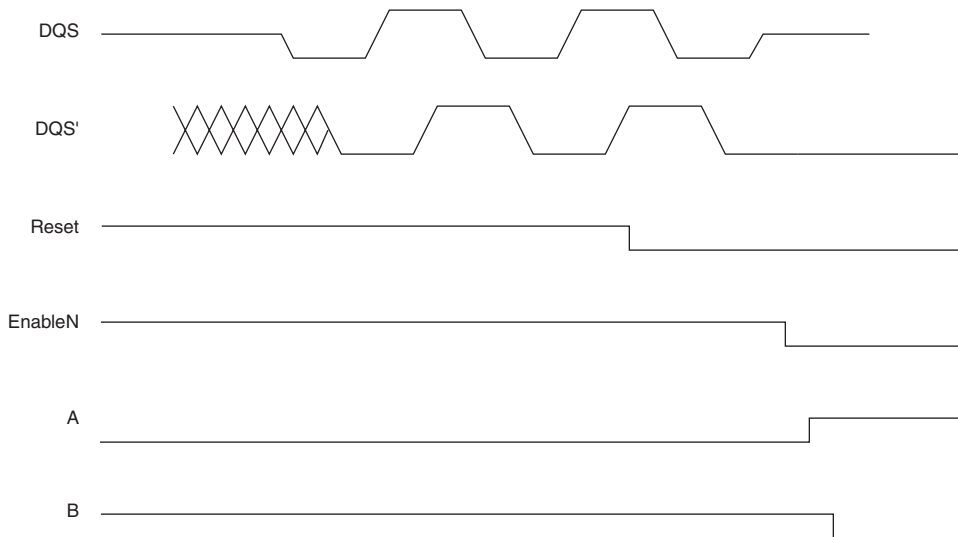
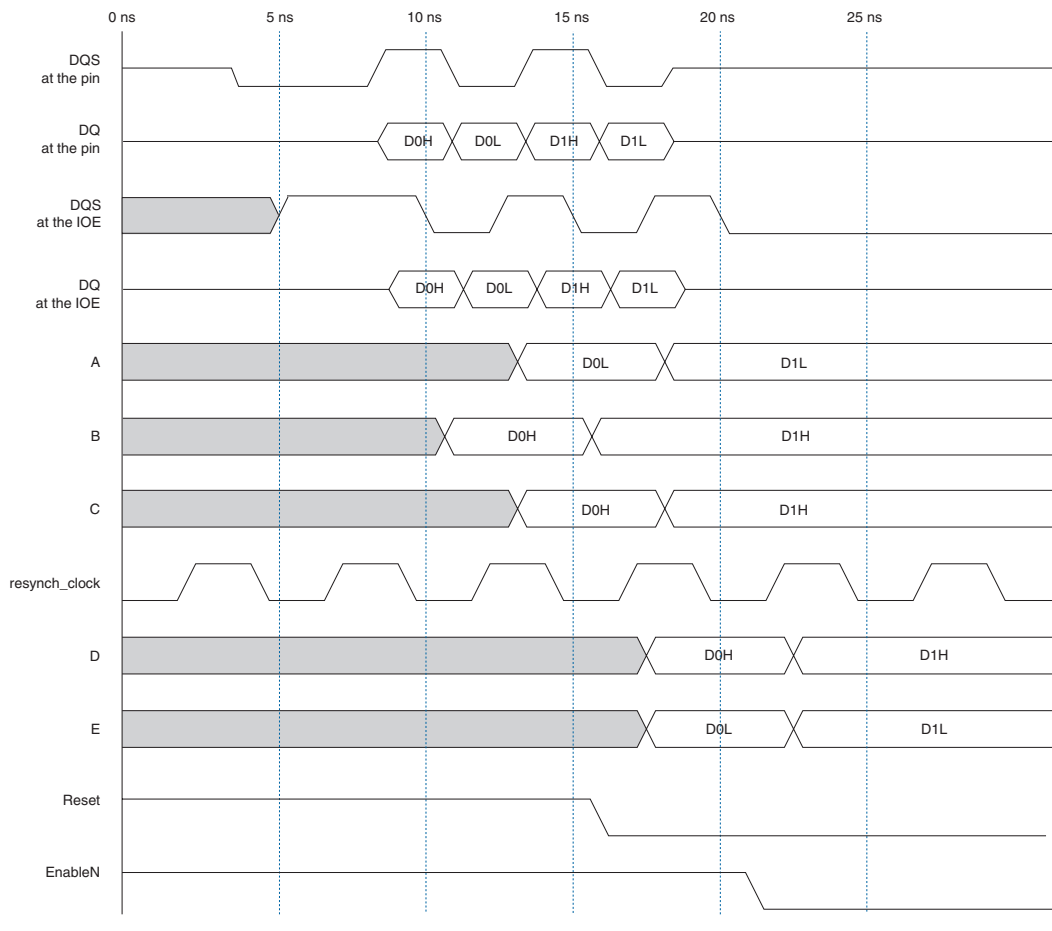


図 20. Stratix II の DQS ポストアンプル回路のリード・タイミング波形



アルテラ DDR SDRAM コントローラ MegaCore ファンクションは、再同期サイクルと位相を計算しますが、それらの設定を無効にすることができます。



詳しくは、「DDR メガ・ファンクション・ユーザ・ガイド」を参照してください。

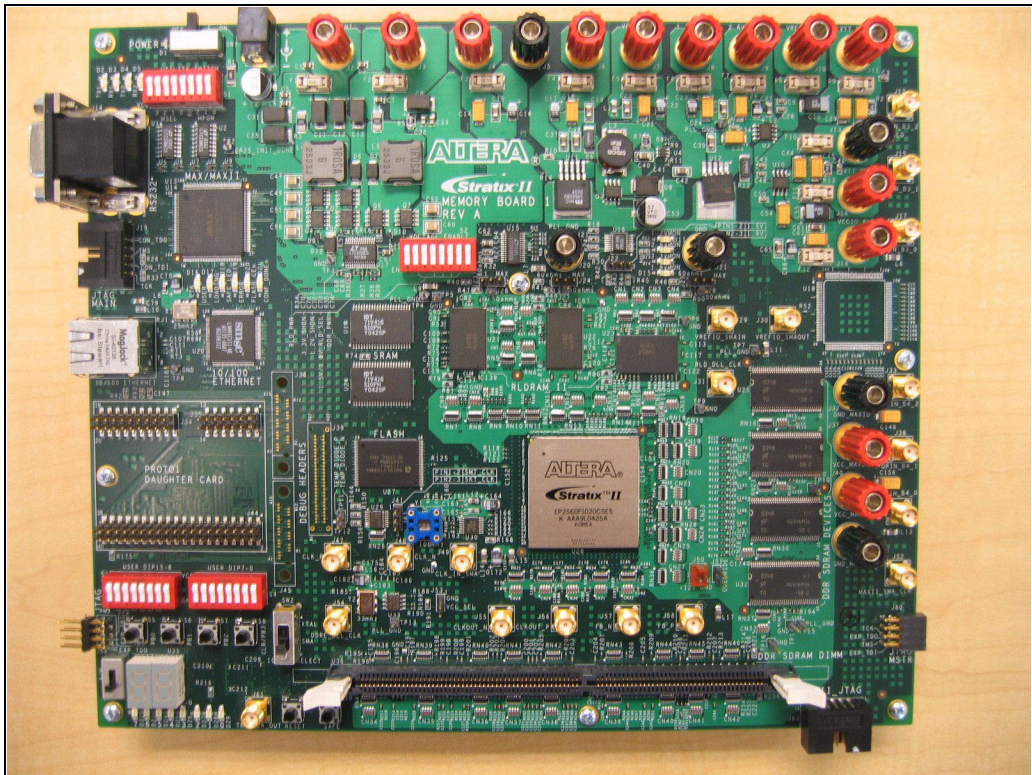
Stratix シリーズ・メモリ・ボード I

アルテラは、Stratix シリーズ・デバイス・ファミリーとインタフェースする DDR SDRAM および RLDRAM II をデモするための Stratix II メモリ・ボード I と Stratix メモリ・ボード I を製品化します。Stratix II メモリ・ボード I には、以下の外部メモリ・デバイスにインタフェースする Stratix II EP2S60F1020C4 デバイスが搭載されています。

- バンク 1 および 2 の Stratix II サイド I/O バンクに接続される 4 個の DDR SDRAM ×16 デバイス。これらのボードは、Micron MT46V16M16TG-5B、Infineon HYB25D25616OBT-5A、または Samsung K4H561638F-TCCC のサードパーティ・メモリ・デバイスのいずれかを使用します。
- Stratix II I/O バンク 7 および 8 に接続される 1 枚の DDR SDRAM モジュール。これらのボードは、Micron MT9VDDT3272AG-40B、Infineon HYS72D32300GU-5-B、または Samsung M381L3223ETM-CCC のサードパーティ・メモリ・デバイスのいずれかを使用します。
- Stratix II I/O バンク 3 に接続される 1 個の RLDRAM-II SIO ×18 デバイス。これらのボードは、Micron MT49H16M18CFM-2.5 のサードパーティ・メモリ・デバイスを使用します。
- 400 MHz DDR (Double Data Rate) をサポートする Stratix II I/O バンク 4 に接続される 2 個の RLDRAM-II CIO ×18 デバイス。これらのボードは、Micron MT49H16M18FM-2.5 または Infineon HYB18RL28818AC-2.5 のサードパーティ・メモリ・デバイスのいずれかを使用します。

図 21 に Stratix II メモリ・ボード I を示します。

図 21. Stratix II メモリ・ボード I



Stratix シリーズ・メモリ・ボード I は、必要な他の低電圧を生成するオンボード・レギュレータ付きシングル DC 入力によって電源が供給されます。オンボード・レギュレータの他に、特性評価のために、すべての固有電圧に対してヒューズ絶縁型バナナ・ジャックが提供されます。入力と出力の間でかなり大きな DC 低下を効率的にサポートするために、デュアル・スイッチング電源を使用して、入力 DC 電圧を最小 3.3 V および 1.2 V まで安定化します。他のすべてのボード電圧はこの 3.3 V レールから生成されます。ベンチ・サプライがバナナ・ジャックを使用してこれらのセクションに電源を供給できるように、プレーンをレギュレータから絶縁するヒューズ・ソケットが用意されています。

Stratix II メモリ・デバイスでは、以下のレギュレータを使用できます。

- Linear Technology TC3728 — Stratix II デバイスの V_{CCINT} および 3.3 V 出力を生成するデュアル出力レギュレータ
- Micrel Semiconductor MIC29502BU — メモリ・デバイスおよび Stratix PLL 用電源を生成する高電流、低ドロップアウト・レギュレータ
- National Semiconductor LP2996MR — 終端電圧 (V_{TT}) およびリファレンス電圧 (V_{REF}) を生成する DDR SDRAM および RLD RAM II ターミネーション・レギュレータ
- Micrel Semiconductor MIC94300 — Stratix II PLL 電源を生成する低電圧、低ドロップアウト・レギュレータ
- Linear Technology LTC1872B — ファン回路用電源を生成する昇圧 DC/DC コントローラ

図 22 に Stratix シリーズ・メモリ・ボード I のブロック図を示します。

図 22. Stratix シリーズ・メモリ・ボード I のブロック図

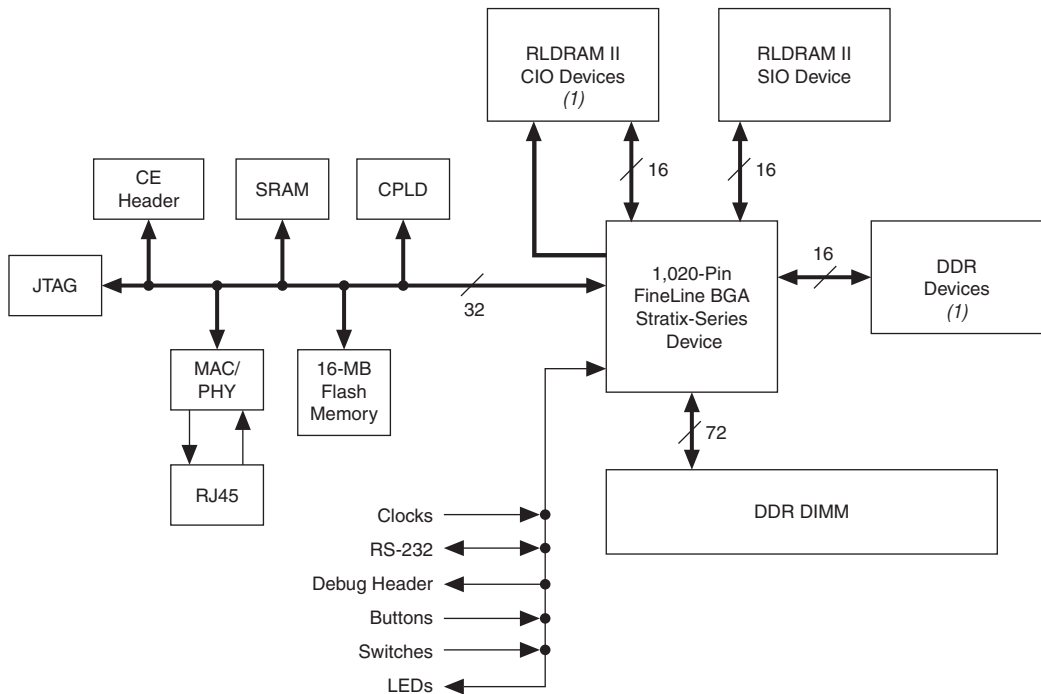


図 22 の注：

(1) Stratix シリーズ・メモリ・ボード I は、複数の RLD RAM II CIO および DDR SDRAM デバイスを搭載しています。

まとめ

DDR SDRAM は、FPGA デザインで広く使用されており、DRAM テクノロジーで最も一般的なアーキテクチャです。Stratix II デバイスは、実証済みで柔軟性があり、ユーザのデザイン・ニーズを満たす一貫したタイミング・マージンを備えた高性能 DDR SDRAM インタフェースを提供します。幅広いエンド・アプリケーション向けの強力な DRAM ソリューションである DDR SDRAM は、迅速かつ容易にアルテラの Stratix II デバイスにインタフェースします。

参考文献

JEDEC Standard Publication JESD79C, DDR SDRAM Specification, JEDEC Solid State Technology Association

MT9VDDT3272AG-40B, 184-Pin DDR SDRAM DIMMs Data Sheet,
Micron Technology, Inc.

改訂履歴

「AN 327: Stratix II デバイスによる DDR SDRAM インタフェース Ver. 3.1」に記載された情報は、以前のバージョンの内容に優先します。

「AN 327: Stratix II デバイスによる DDR SDRAM インタフェース Ver. 3.1」では、以下が変更されています。

- 図 18 と 20 を更新

「AN 327: Stratix II デバイスによる DDR SDRAM インタフェース Ver. 3.0」では、以下が変更されています。

- 「インタフェースの説明」、「インタフェース信号」、「インタフェースのタイミング解析」、「手法の概要」、「PLL ベース実装のリード・タイミング・マージン」、および「ラウンドトリップ遅延の計算」の項を更新
- 表 4、表 5、表 6、表 7、および表 9 を更新
- 図 4、図 6、図 10、および図 11 を更新



101 Innovation Drive
San Jose, CA 95134
(408) 544-7000
www.altera.com
Applications Hotline:
(800) 800-EPLD
Literature Services:
lit_req@altera.com

Copyright © 2006 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

