

イントロダクション

ワイヤレス通信の業界では最先端の情報サービスに対する需要が急増しています。高速のインターネット・アクセスが実現されている地域においては、音声や低速度のデータ・サービスのための提供では不十分になっています。柔軟性に富んだマルチメディア情報サービスがユーザの要求に応じて、任意の場所、任意の時間に提供されるグローバルな情報ネットワークが実現されようとしています。広帯域を必要とするマルチメディア・サービスをサポートするためには、携帯電話システムやネットワークに要求される新しい困難な課題に対応しなければなりません。

国際電気通信連合 (ITU: International Telecommunications Union) は、これらの要求に対応した IMT-2000 と呼ばれる複数の標準規格を策定しました。しかし、第三世代のワイヤレス通信の標準規格は、新たなサービスやテクノロジーの確立と共に、将来さらに変更、拡張されることが予想されます。したがって、これらの標準規格を実現するシステムは、高い柔軟性を備え、これらの変更に対応できるようにしている必要があります。さらに、第三世代の製品に対する需要はまだ不確定であるため、高額な開発費用 (NRE) を負担するのは困難です。

NRE コストと長い開発期間が伴う ASIC では、設計変更によるデバイスの再設計に高額な追加費用が必要になります。例えば、Turbo 符号に関する規格では、最初の仕様がリリースされてから 4 ヶ月後に「lower-limit block level」の部分の仕様が変更されています。Turbo 符号を処理する機能を初期の仕様にしたがって ASIC で実現していた場合は、ASIC の再設計が必要になったはずです。

学界などで注目されている最先端の機能拡張テクニックには、スループットの高いプラットフォームが要求されます。このような第三世代のワイヤレス・アプリケーションには、NRE コストが必要なく、要求されるスループットと高い柔軟性を実現するプログラマブル・ソリューションの採用が最適です。

アルテラの高集積、高性能プログラマブル・ロジック・デバイス (PLD) と IP (Intellectual Property) ファンクション、Quartus™ 開発用ソフトウェアを組み合わせることにより、ワイヤレス通信市場に対して完全なソリューションが提供されます。例えば、アルテラの高集積 APEX™ デバイスには数千個もの乗算累算器 (MAC: Multiplier-Accumulator) を実装することができるため、非常に高いスループットのプラットフォームの開発が可能です。このアプリケーション・ノートでは、アルテラのデバイスと IP ファンクションを用いて IMT-2000 標準規格に準拠した W-CDMA (Wideband Code Division Multiple Access) システムを実現する方法について解説します。

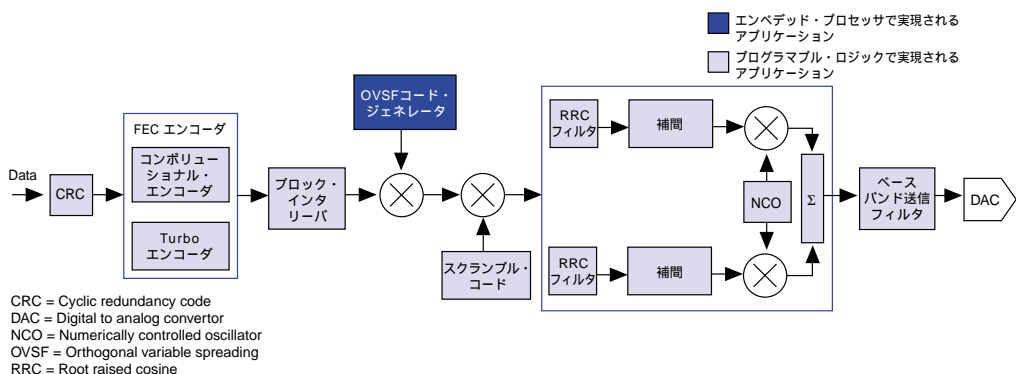


アルテラのデバイス、IP ファンクション、ソフトウェア・ツールについての詳細は、アルテラの web サイト、<http://www.altera.com> を参照してください。

W-CDMA の トランスミッタ

このセクションでは W-CDMA の規格をサポートするダウンリンク・トランスミッタのデジタル・アーキテクチャについて解説します。図 1 は、トランスミッタのブロック・ダイアグラムを示しています。薄いアミかけのブロックはアルテラの PLD に実装することができ、濃いアミかけのブロックはソフトウェアで実現して Excalibur™ エンベデッド・プロセッサ PLD に組み込まれているプロセッサ上で実行することができます。

図 1 W-CDMA 用トランスミッタのアーキテクチャ



W-CDMA の標準規格に準拠させるため、エラーの検出と訂正を行うための CRC (Cyclic Redundancy Code) ビットが付加され、チャネル・コーディング用のエラー訂正ビットが追加されます。データはユーザ規定、またはチャネル仕様のコードで拡散され、所定のチップ・レートのデータ・ストリームが生成されます。受信側でマルチパス信号が確実に識別され、デコードされるようにするため、拡散されたデータ・ストリームが Gold コードを使用してスクランブルされます。そして、指定された帯域幅内で信号を送信するため、パルス整形フィルタでデータ・ビットが整形されます。次に、信号はキャリア変調部と無線周波数 (RF) 変換部を通過して、アンテナから空中に送信されます。トランスミッタで使用される多様な機能が、以下のセクションで説明されています。

- CRC チェック
- エラー訂正 (FEC : Forward Error Correction)
- ブロック・インタリーバ
- OVSF (Orthogonal Variable Spreading) チャネライゼーション・コード
- スクランブル・コード
- QPSK (Quadrature Phase Shift Keying: 4 相位相シフト・キーイング) モジュレータ

CRC チェッカ

W-CDMA の標準規格では、CRC チェックに関して 4 種類の多項式が規定されています。

- $g_{CRC24}(D) = D^{24} + D^{23} + D^6 + D^5 + D + 1$
- $g_{CRC16}(D) = D^{16} + D^{12} + D^5 + 1$
- $g_{CRC12}(D) = D^{12} + D^{11} + D^3 + D^2 + D + 1$
- $g_{CRC8}(D) = D^8 + D^7 + D^4 + D^3 + D + 1$

アルテラは、これらの多項式が実現できる CRC MegaCore[®] ファンクションを供給しており、第三世代の規格に適合させることができます。この CRC ファンクションでは、以下の項目を含む完全なパラメータ化が実現されています。

- 可変長生成多項式
- 1 ビットから多項式の幅までの可変データ幅
- 任意の初期値

エラー訂正 (FEC)

W-CDMA の標準規格では異なるサービス品質をサポートするため、2 種類のエンコード手法が定義されています。音声および MPEG4 のアプリケーションには、 10^{-3} までのビット・エラー・レート (BER : Bit Error Rate) を実現するコンボリユージョナル・エンコーディングが使用され、データ転送のアプリケーションには 10^{-6} までの BER を実現する Turbo エンコーディングが使用されます。

コンボリユージョナル・エンコーダ

コンボリユージョナル・エンコーダで要求される仕様は以下のとおりです。

- 基地局 : K=9、レート = 1/2 および 1/3
- モバイル (端末) : K=9、レート = 1/3

コンボリユージョナル・エンコーダには、遅延エレメントと XOR が使用されます。アルテラは、アルテラの PLD に最適化されたビルディング・ブロックを LPM (Library of Parameterized Modules) の形で提供しています。例えば、LPM_SHIFTREG や LPM_XOR などのファンクションを使用してコンボリユージョナル・エンコーダを構成することができます。

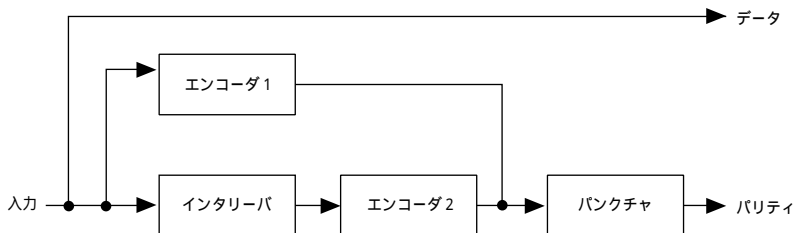
Turbo エンコーダ

Turbo エンコーディングでは、ある一定の複雑な計算で比較的大きなエンコーディング・ゲインを得ることができます。このエンコーディング手法は、長い送信遅延が許容されているデータ・サービスに有効です。W-CDMA の仕様は、以下のとおりです。

- 8 ステート構成になっている 2 個のエンコーダおよび 1 個のインタリーバを使用するパラレル接続コンボリューショナル・コード (PCCC : Parallel Concatenated Convolutional Code)
- ブロック・サイズ: 40 ビットから 5,114 ビット
- パンクチャリング: レート =1/3 (パンクチャリングなし)
レート =1/2 (パンクチャリングあり)

アルテラは、W-CDMA の標準規格に準拠した Turbo エンコーダ MegaCore ファンクションを提供しています。このメガファンクションのブロック・ダイアグラムが図 2 に示されています。この Turbo エンコーダを APEX 20K デバイスに実装した場合、3,000 個のロジック・エレメント (LE) と 10 個のエンベデッド・システム・ブロック (ESB) が使用されます。

図 2 ターボ・エンコーダのブロック・ダイアグラム



ブロック・インタリーバ

デジタル・データを送信するシステムには、データを破壊する可能性のある、通信チャネルからのスプリアス・ノイズやバースト・ノイズの影響を低減するためのエラー訂正機能が必要です。ブロック・インタリーピング動作では、データが矩形行列マトリックスに書き込まれ、送信時間間隔 (TTI : Transmission Time Interval) の値をベースにしてマトリックスのカラム (列) の順番が並び替えられます。APEX デバイスの ESB には、各エレメントによるマトリックスをストアすることができます。カラムの順番を並べ替えるときは、カラムごとに適切なシーケンスでデータを読み出します。この場合、エンベデッド・プロセッサ上で動作するソフトウェア・ルーチンによって、適切なリード・アドレスを生成することができます。

OVSF チャネライゼーション・コード

シングル・ソースからの送信は、チャネライゼーション・コードにより、1セクタ中の複数のダウンロード・コネクションと、アップリンク専用の物理チャネルに分離されます。OVSFチャネライゼーション・コードは、ツリー構造の直交コードを用いて異なる物理チャネル間の直交性を確保します。ツリー構造のコードは、以下の等式を用いて帰納的に生成されます。

$$C_{2n} = \begin{bmatrix} C_{2n,1} \\ C_{2n,2} \\ \vdots \\ C_{2n,2n} \end{bmatrix} = \begin{bmatrix} \begin{bmatrix} C_{n,1} & C_{n,1} \\ C_{n,1} & -C_{n,1} \end{bmatrix} \\ \vdots \\ \begin{bmatrix} C_{n,n} & C_{n,n} \\ C_{n,n} & -C_{n,n} \end{bmatrix} \end{bmatrix}$$

このプロセスは帰納的になっているため、OVSFコードの生成をソフトウェアで実現してExcaliburエンベデッド・プロセッサPLD上で実行させることができます。このデバイスのメモリ・ブロックには、中間の計算結果をストアしておくことができます。

基地局のサブシステム内で実行される他の処理には、別のユーザに割り当てられたOVSFコードを参照する動作が必要になることがあります。アルテラデバイス内に構成されるCAM (Content-Addressable Memory) には、これらのコードをストアすることができ、必要に応じて迅速にアクセスすることができます。この詳細については、アルテラ発行の White Paper 「*Designing Wireless Basestations with APEX CAM*」を参照してください。

スクランブル・コード

スクランブル・コードを用いることによって、マルチパス環境におけるダイレクト・シーケンス方式のCDMA(DS-SS)技術の効率をさらに向上させることができます。このスクランブル・コードを採用することによって、拡散コードの遅延時間の異なる信号間の自動相関を著しく低減させ、受信側で異なるパスの信号を正しくデコードできるようにすることができます。さらにスクランブル・コードを使用することによって、ユーザと基地局のセクタを相互に分離し、それぞれのセクタを関連させることなく独自のOVSFツリー管理が可能になります。スクランブル・コード・ジェネレータに関するW-CDMAの仕様は、下記のようになっています。

ダウンリンク:

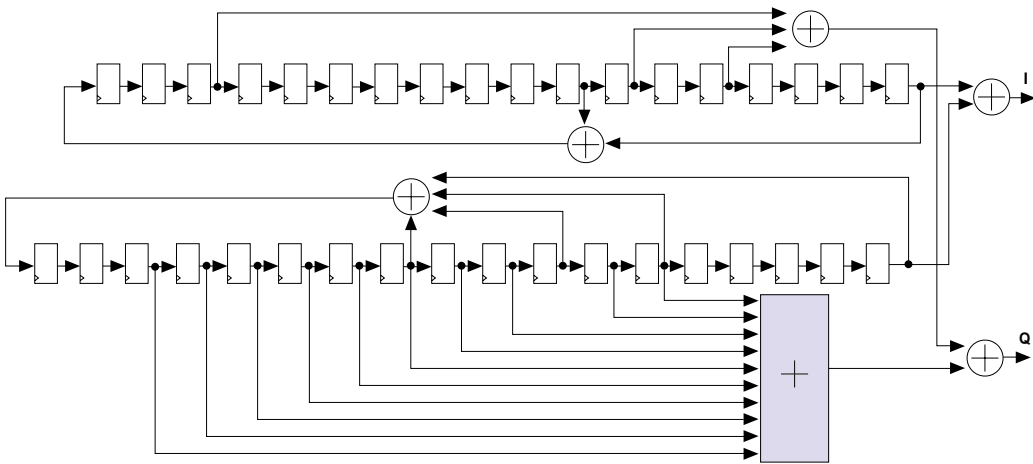
- 2¹⁸種のGoldコードの38,400チップ
- 512種類のスクランブル・コード
- グループ化による効率的なセル・サーチ

アップリンク:

- ロング・コード: 225 種類の Gold コードの 38,400 チップ
- ショート・コード: very large Kasami コードの 256 チップ

図3は、ダウンリンク・スクランブル・コード・ジェネレータのブロック・ダイアグラムを示しています。

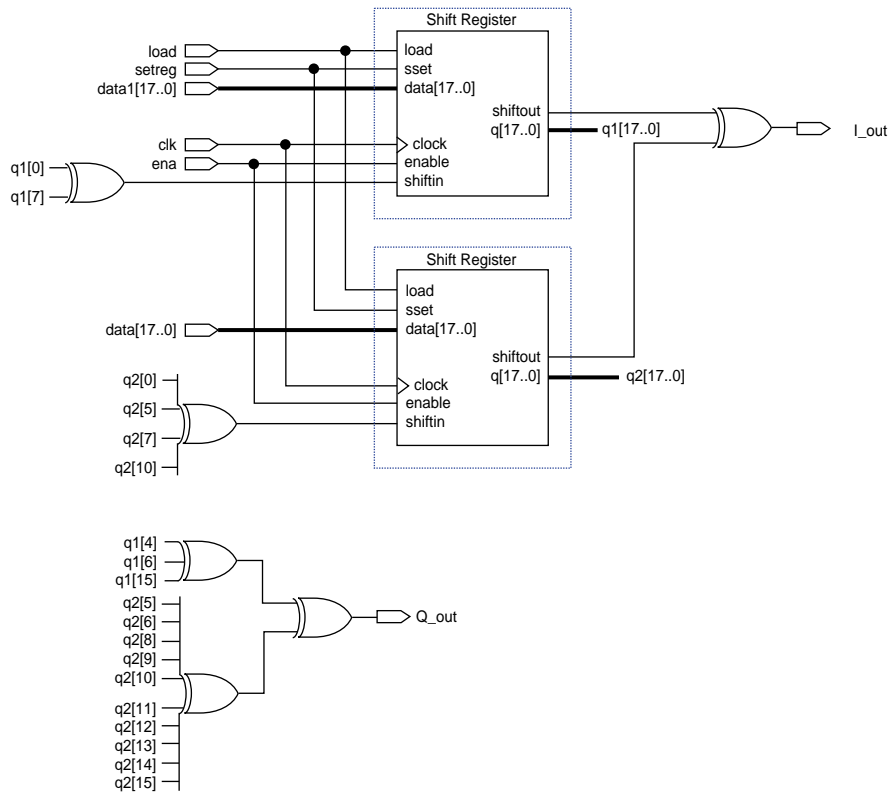
図3 スクランブル・コード・ジェネレータ



スクランブル・コード・ジェネレータは、コンボリューショナル・エンコーダにも使用されたLPMファンクション(LPM_SHIFTREGおよびLPM_XOR)で構成することができます。スクランブル・コード・ジェネレータの構成を図4に示します。この図から、これらのLPMファンクションを活用することによって、ジェネレータを簡単に設計できることがわかります。

図 4 スクランプル・コード・ジェネレータの構成 (ダウンリンク)

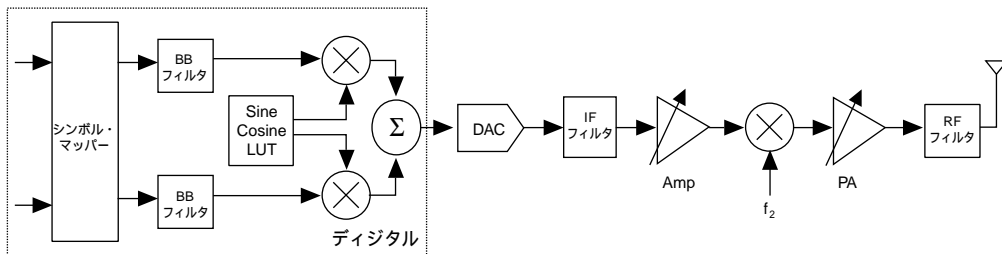
このデザインには、EP20K100E に内蔵されているリソースの 1% に相当する 43 個の LE を使用。



QPSK モジュレータ

図 5 は、デジタル・ドメインでベースバンド・フィルタとキャリア変調を行うモジュレータを示しています。

図5 デジタル I/Q モジュレータ



アナログ方式のモジュレータの代わりに、デジタル方式の I/Q モジュレータを採用することによって、以下のような利点が得られます。

- 数値制御オシレータ (NCO: Numerically Controlled Oscillator) とデジタル・ミキサを使用することによって、デジタル・ドメインでのチャネル選択が可能になる。
- ダイレクト・デジタル・シンセサイザによって、より精密な周波数選択と短い同調時間を実現可能となり、振幅と位相のバランスも改善される。
- デジタル・フィルタにより、非常にリニアな位相と最小のシェーブ・ファクタが実現可能になる。

W-CDMA の仕様に準拠させるためには、以下の回路機能が必要です。

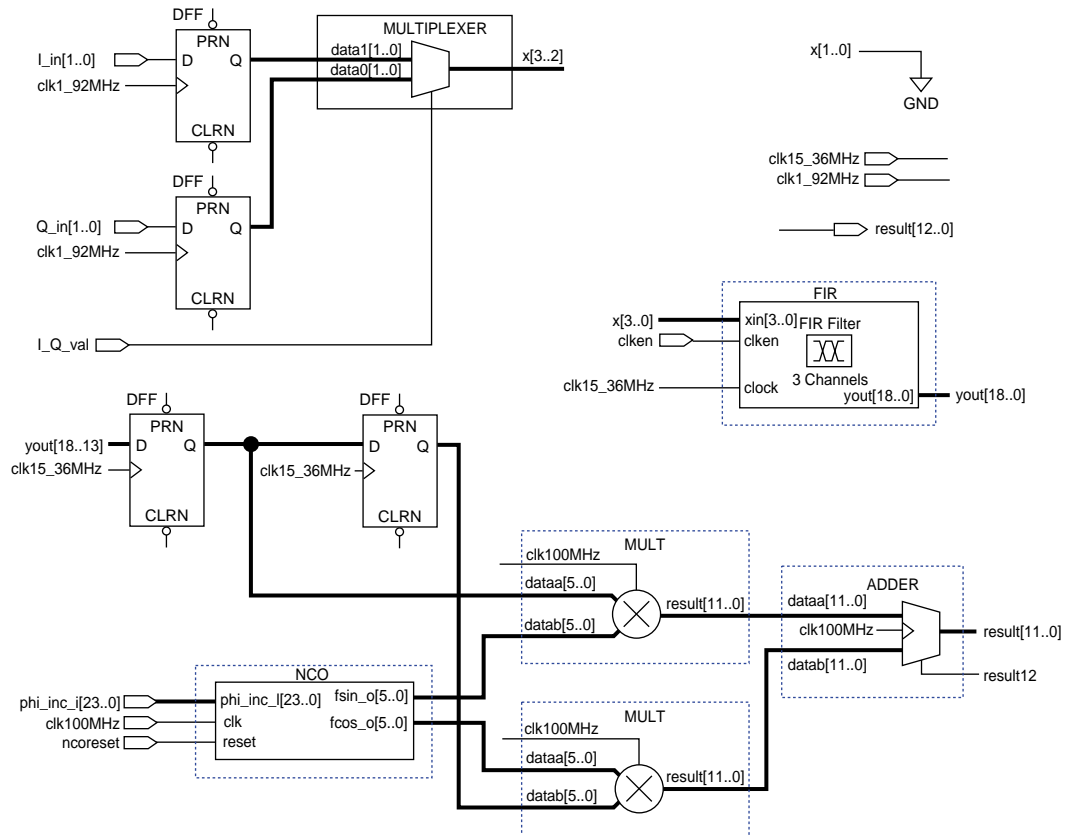
- ナイキスト・フィルタ
 - Root raised cosine フィルタ : $\beta = 0.22$
 - サンプリング・レート : $3.84 \text{ Msps} \times 4$
- NCO
 - チャネル・マッピングを行うための 60MHz の帯域幅
 - 高い SFDR (Spurious Free Dynamic Range)

アルテラは下記の IP ファンクションを提供しており、これらを使用して完全なモジュレータを構成することができます。

- Root raised cosine interpolation フィルタが構成できる FIR Compiler
- NCO を構成するための NCO コンパイラ
- デジタル・ミキサを構成するための LPM ファンクション、LPM_MULT

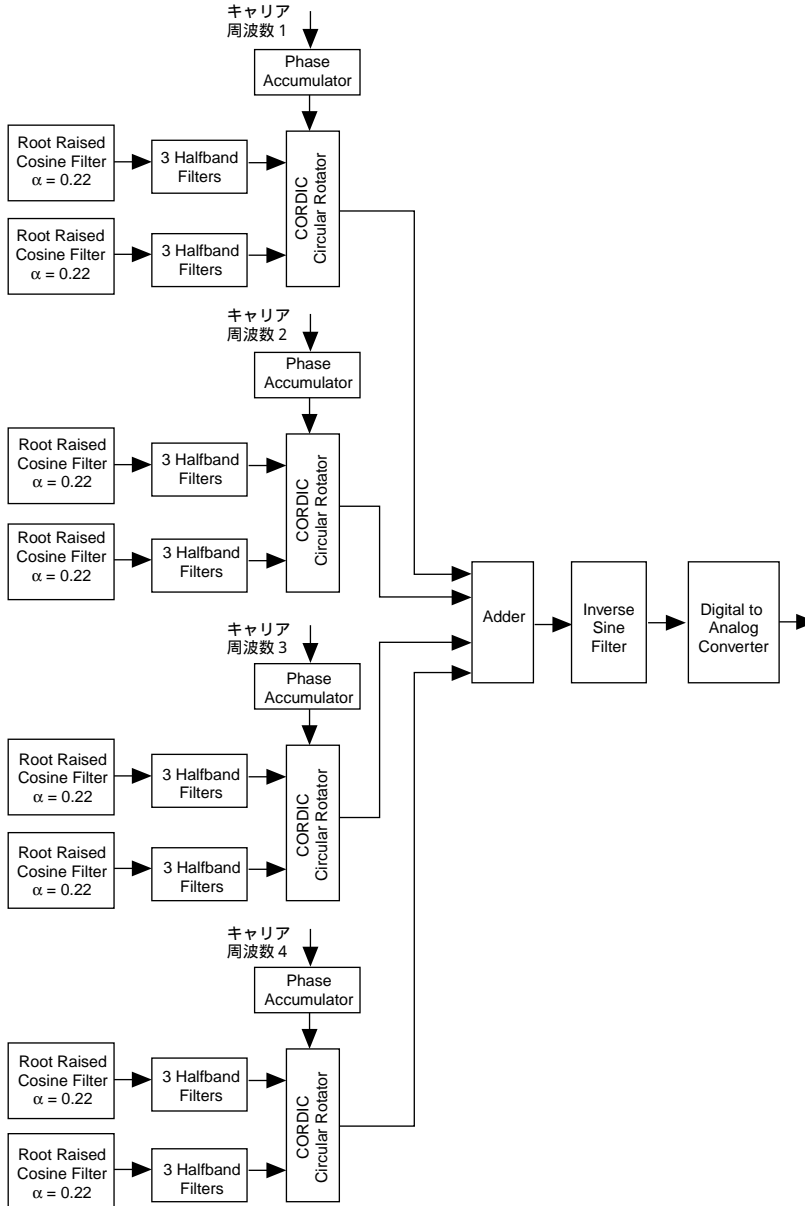
図6は、QPSK モジュレータの機能を実現したデザインを示しています。このデザイン例は完全に最適化されていませんが、EP20K100E に内蔵されている全 LE 数の 50% に相当する 2,092 個の LE と、全 ESB ビット数の 92% に相当する 24 個の ESB しか使用されません。

図 6 QPSK モジュレータの構成 (ダウンリンク)



CORDIC アルゴリズムをベースにしたマルチ・キャリアの QAM モジュレータを実現するという新しいアプローチがあります。図 7 を参照してください。スペクトラムおよびエラー・ベクタ・マグニチュード (EVM: Error Vector Magnitude) に関する W-CDMA の規格に完全に準拠したクワッド・モジュレータがアルテラの PLD で実現されており、これは「*A Multicarrier QAM Modulator, IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*」の中で解説されています (20 ページに掲載されている参考資料を参照)。各モジュレータは、root raised cosine フィルタのペアで構成されています。これらのハーフ・バンド・フィルタはCORDIC ローテータに接続され、ベースバンド信号が中間周波数 (IF) に直接変換されます。デジタル・アナログ変換の $\sin x/x$ ロールオフ効果を補正するため、 $\sin x/x$ プロファイルを反転させたバンドパス・フィルタが使用されています。

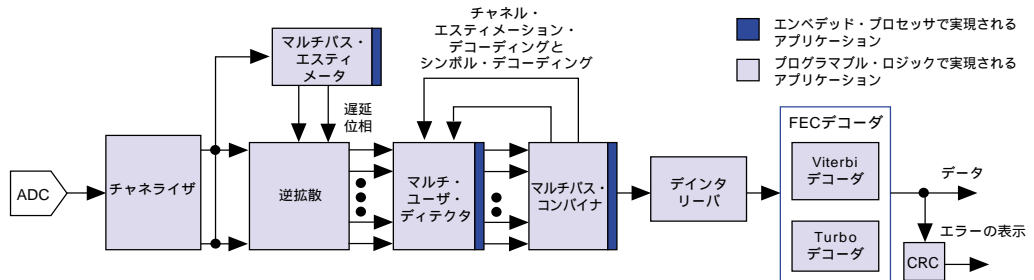
図7 CORDIC をベースとした QAM モジュレータ



W-CDMA レシーバ

このセクションでは、W-CDMAの規格を実現するレシーバのデジタル・アーキテクチャについて解説します。図8は、レシーバのブロック・ダイアグラムを示しています。薄いアミかけのブロックはアルテラのPLDに実装することができ、濃いアミかけのブロックはソフトウェアで実現してExcaliburエンベデッド・プロセッサPLD上で実行することができます。

図8 W-CDMA レシーバのアーキテクチャ



I/Q デモジュレータ

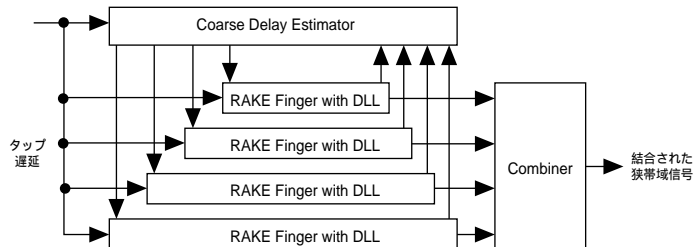
I/Qデモジュレータは、アルテラの製品を使用して7ページに示したQPSKモジュレータと類似した方法により構成できます。

逆拡散 (Despreading)

ワイヤレス・ネットワーク・システムの高周波通信は、マルチパスの伝送環境になります。システムの効率を上げるためには、システムがシングル・ユーザの場合でも、複数のユーザの場合(ジョイント検出を行っている場合)でも、多数のマルチパスを同時に逆拡散できる機能をサポートしている必要があります。このような機能には、複数のフィンガで異なるマルチパスを逆拡散するRAKEレシーバが最適です。

図9に示されているこれまでのアプローチでは、粗遅延予測ユニット(coarse delay estimation unit)により適切なタップ値を検出し、この値でフィンガと接続されたDLL (Delay-Locked Loop) をトリガすることによって、マルチパスがトラックされていました。しかし、この方法の実現方法は複雑で、マルチパスをトラックするプロセスが分散化されるため、好ましくありません。

図9 DLL をベースとした従来のレシーバ



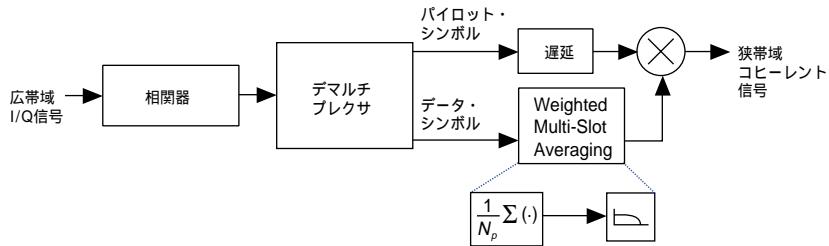
さらに望ましい実現方法は、サンプル時間ごとに新しいタップ値を出力するフル・マッチド・フィルタ (full-matched filter) です。フル・マッチド・フィルタは専用のDLLを必要とせず、集中制御が可能なRAKEレシーバを構成できるため、DLLを使用した分散型の実現方法よりも簡単に実現できます。高集積Excaliburエンベデッド・プロセッサPLDでは、プログラマブル・ロジック部にフル・マッチド・フィルタを実装して、エンベデッド・プロセッサでロジックをコントロールすることができます。

チャンネル・エスティメータと信号デコーダ

チャンネル歪を補正するためには、システムによる複素数の振幅と位相の推定が必要になります。この動作はRAKEレシーバの機能の一部となっており、コヒーレント検出に対して要求されます。複素数の振幅と位相の推定に使用される手法のひとつが、WMSA (Weighted Multi-Slot Averaging) チャンネル・エスティメーション・フィルタと呼ばれるパイロット・シンボルを利用してチャンネルを推定するフィルタです。この手法では、バイナリ相関器を用いて広帯域信号を狭帯域信号に変換します。パイロット・シンボルは、データ・シンボルからデマルチプレックスされます。パイロット・シンボルは複数のスロットにわたって平均化され、より適切な平均値が得られます。図10を参照してください。

Excalibur PLD には、相関器の部分をロジック部に、コントロール部分をエンベデッド・プロセッサに実装することによって、このRAKEレシーバの機能を構成することができます。

図 10 チャンネル・エスティメータと信号デコーダ



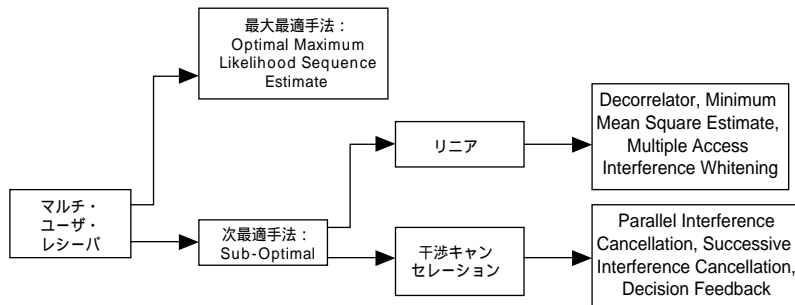
アルテラの 1 個の PLD に、相関器とフィルタをより効率的に実装することができます。

マルチ・ユーザ検出器 / 干渉キャンセレーション

DS-CDMA システムの性能は干渉によって制限され、各ユーザが他のユーザの通信に干渉する存在となります。したがって、干渉に強いシステムは、より多くのユーザに対してサービスを提供することができます。このため、各ユーザの信号から他のユーザの信号を除去するマルチ・ユーザ検出 (MUD: Multi-User Detection) のテクニック (ジョイント検出と干渉キャンセレーション (IC: Interference Cancellation) とも呼ばれる) を使用して複数のユーザのアクセスによる干渉の影響を低減して、システム性能を向上させています。

MLSE (Maximum Likelihood Sequence Estimator) は、最適な検出アルゴリズムとしてよく知られています。しかし、このアルゴリズムは非常に複雑で、実際の DS-CDMA システムには導入できません。このため、ほとんどの研究開発部門 / 機関では、この次に最適な手法の開発に力を入れています。このような次善の手法には、リニアと IC の 2 クラスがあります。図 11 を参照してください。

図 11 MUD の手法



シミュレーションの結果から、グループ単位での連続したIC(Successive IC)を実行するのがもっとも確実な手法であることが確認されています。この手法では、ユーザが拡散ファクタにしたがってグループ化され、ICまたはデコレータ(decorrelator: 相関分離器)がグループ内に適用されます。この処理はもっとも低位のSFグループから始まり、高位のSFグループへと進んでいきます。

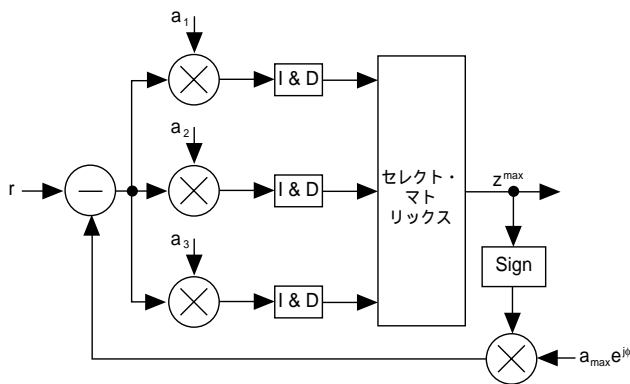
MUDをPLD内に実装する方法を示すため、以下にICをベースにした広帯域SICと狭帯域SICの2種類の手法を解説します。

広帯域SIC

この手法では、干渉信号が広帯域ドメインでキャンセルされます。まずRAKEレシーバがユーザ数とマルチパスとの間の相関分離処理を実行します。次に、相関分離された信号が、信号強度と拡散ファクタにもとづいてグループ化されます。そして、対応する拡散コードを使用して適切な信号が再生成され、不要な干渉信号が入力の広帯域信号によってキャンセルされます。そして、最後にキャンセル処理で残った信号がトラックされる各信号に加えられ、対応するそれぞれのコードによる相関分離が再び実行されます。

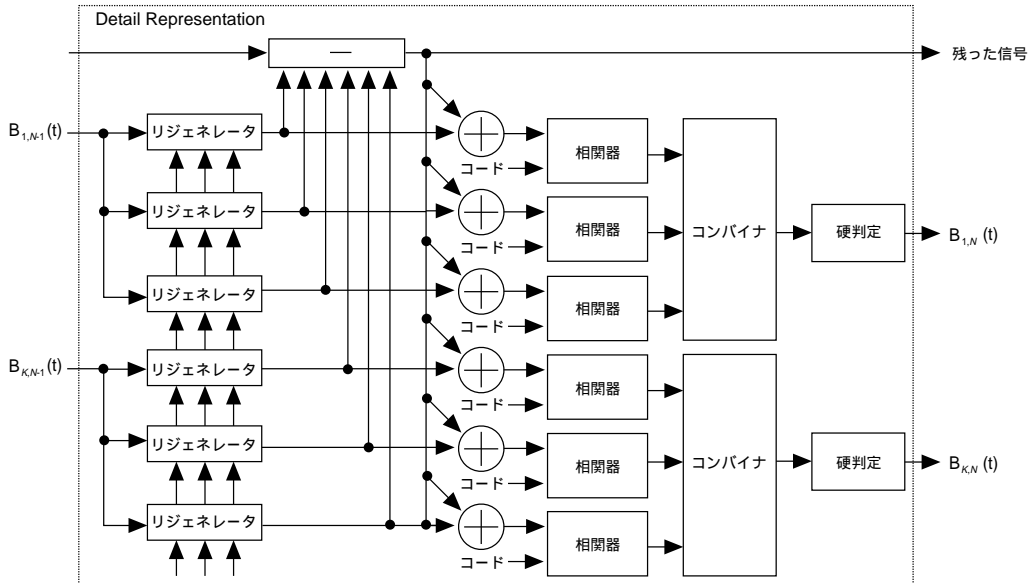
図12は、この機能をブロック図で示しています。

図12 ブロック図レベルで示した広帯域SIC



詳細な構成は、図13のようになります。

図 13 広帯域 SIC の詳細なブロック・ダイアグラム

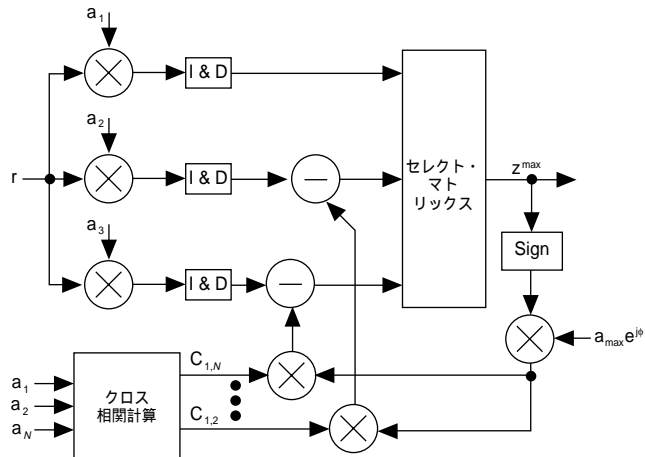


コンバイナ（Combiner）を除くすべてのブロックは、プログラマブル・ロジックで実現することができます。重み付けによるコンバイニング機能と 3.84Msps の低速信号処理が要求される複雑なアルゴリズムを実行するコンバイナは、Excalibur エンベデッド・プロセッサ PLD 上で動作するソフトウェアによって効率的に実現することができます。

狭帯域 SIC

この手法では、干渉信号が狭帯域ドメインでキャンセルされます。信号がグループ化され、再生成された後（広帯域 SIC の手法と同じように）、クロス相関マトリックスによる相関分離が実行されます。クロス相関マトリックスには、異なる拡散コード間の自動相関係数とクロス相関係数が含まれています。他の拡散コードとの相関をとることによって、不要な信号がキャンセルされ、干渉信号が除去されます。図 14 を参照してください。

図 14 狭帯域 SIC



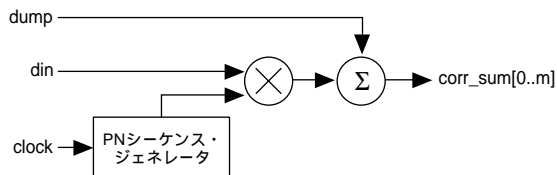
クロス相関マトリックスの評価は、膨大な計算を必要とするタスクとなります。ユーザのプロファイルが変化すること、またはマルチパスのタップが変化すること、新しいマトリックスが計算され、反転されなければなりません。このため、W-CDMA の規格には 245 チップのショート・コード (very long Kasami コードと呼ばれる) が使用されています。ショート拡散コードを用いることで、この手法の実現性が高まります。

クロス相関マトリックスの評価には、マトリックスの特殊な構造を活用した (バンドおよびブロックの Toeplitz 構造) 複数のアルゴリズムが使用可能です。そのアプローチのひとつは、ブロック高速フーリエ変換 (FFT) 機能を使用した最小の計算機能でマトリックス反転が可能になるように、ブロック Toeplitz システム・マトリックスをブロック・サーキュラント・マトリックス (block circulant matrix) に展開する方法です。この詳細については、20 ページに掲載されている参考資料、「Efficient Joint Detection Techniques in the Frequency Domain for Third Generation Mobile Radio Systems」を参照してください。この手法は、パラレル・アーキテクチャで計算効率を上げることができるプログラマブル・ロジックに実装するのが最適です。さらにアルテラは、このアプリケーションに適した FFT プロセッサ・ファンクションも提供しています。

シーケンシャル相関器

シーケンシャル相関器では、各入力サンプルにチップ・レートになったPNシーケンスが乗算されます。実際の実現方法では、データ値がソフト・シンボルで表され、数値が大きいほどシンボルが正確に受信されたことを示します。乗算器からの結果は、シンボル時間にわたって加算されます。シンボル時間の最後に、相関値の合計値がダンプされます。AMPPのパートナー企業である、Nova Engineering社から供給されているシーケンシャル相関器のIPファンクションを使用することによって、RAKEレシーバのフィンガ部と前述のMUDブロックの相関器を実現することができます。

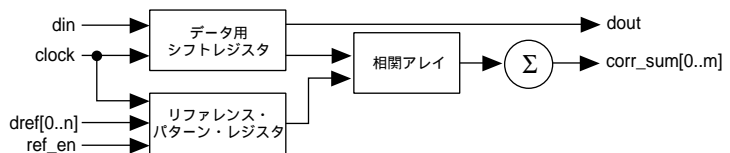
図 15 シーケンシャル相関器



パラレル相関器

パラレル相関器では、データのサンプルが長いシフトレジスタにストアされ、パイロットPNシーケンスがリファレンス・パターン・レジスタにストアされます。新しいサンプルがデータ・シフトレジスタにストアされるごとに、2つのレジスタの内容が乗算されて新しい相関値の和が生成されます。図16を参照してください。AMPPパートナーであるNova Engineering社から提供されているパラレル相関器のIPファンクションを使用することによって、マルチパス・ディレイ・エスティメータを実現することができます。

図 16 パラレル相関器



デコーダ

レシーバで使用されるデコーダには、Viterbi（ビタビ）デコーダとTurbo（ターボ）デコーダの2種類があります。Viterbiデコーダはコンボリユショナル・エンコーダでエンコードされた信号をデコードするときを使用され、TurboデコーダはTurboエンコーダが使用されるシステムに適用されます。

Viterbi デコーダ

Viterbi アルゴリズムは、コンボリユショナル・エンコーディングが行われたデータのデコードに最適なアルゴリズムです。Viterbi デコーダ回路の複雑さは、拘束長の指数関数となって増加します。W-CDMA では拘束長が9のデコーダが要求されており、その実現は容易ではありません。アルテラは、W-CDMA の要求に適合したViterbi MegaCore ファンクションを提供しています。図17のブロック・ダイアグラムを参照してください。

図 17 Viterbi デコーダのブロック・ダイアグラム

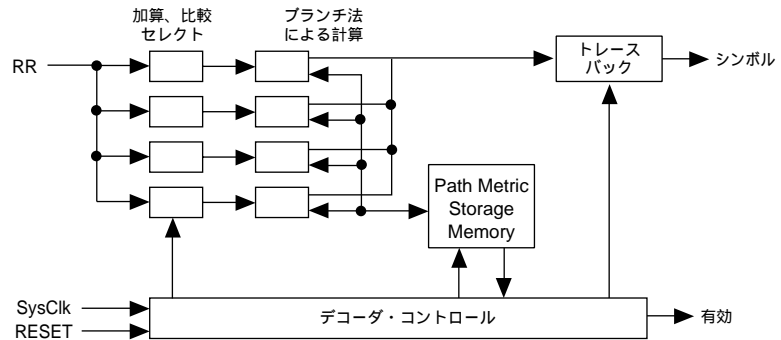


表 1 に示されているように、Viterbi デコーダの実現方法には要求されるスループットに応じて2通りあります。

実現方法	LE 数	スピード
シリアル	1,300	500 Kbps
シリアル / パラレル	2,600	2 Mbps

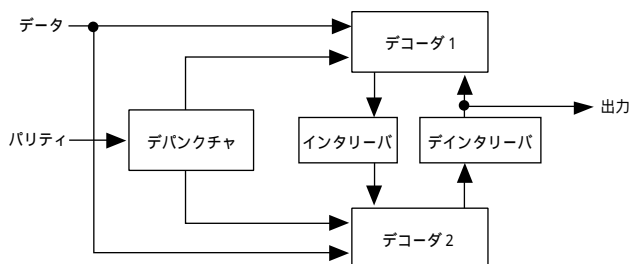
Turbo デコーダ

Turbo 符号を使用してエンコードされたデータのデコードには、Turbo デコーダが使用されます。このデコーダは、エンコーダによってエンコードされたレートとブロック・サイズの異なるコードを処理する必要があります。アルテラが提供する Turbo デコーダ MegaCore ファンクションには、以下のような特長があります。

- Max-logMAP デコーダにより、最高の性能を実現
- UMTS 仕様のインタリーバを内蔵
- 完全なパラメータ化の実現により、デコーダをシステムの要求に適合させることが可能
- スループットを向上させるメモリ・バンク・スワップ・メカニズムを採用

Turbo デコーダのブロック・ダイアグラムが図 18 に示されています。

図 18 Turbo デコーダのブロック・ダイアグラム



まとめ

第三世代のワイヤレス通信からは、エキサイティングな新しいサービスが提供される可能性があります。しかしながら、その需要はまだ不明確であり、関連する技術はさらに発展を続けています。また、その機能や能力を高める技術をサポートするためには、高いスループットのプラットフォームが必要です。これらの理由から、要求されるパフォーマンスを実現できる柔軟性の高いソリューションが求められています。アルテラの IP ファンクションの幅広い製品群、最先端機能を内蔵した高集積 PLD、Excalibur エンベデッド・プロセッサ PLD は、第三世代の W-CDMA 規格に対して完全なソリューションを提供しています。

参考資料

H. Andoh, M. Sawahashi, and F. Adachi. "Channel Estimation Filter Using Time-Multiplexed Pilot Channel for Coherent RAKE Combining in DS-SS Mobile Radio," *IEICE Trans. Communications*, Vol. E81-B, No. 7, July 1998.

Juntti, M., "Performance of Multi-User Detection in Multi-rate CDMA Systems," *Wireless Personal Communication*, submitted.

Marius Vollmew, Jurgen Gotze, and Martin Haardt. "Efficient Joint Detection Techniques in the Frequency Domain for Third Generation Mobile Radio Systems," *IEEE International Conference in Third Generation Wireless Communication*, June 2000.

Jouko Vankka, et al. "A Multicarrier QAM Modulator," *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 47, No. 1, January 2000.

Altera, APEX, Excalibur, MegaCore, Quartus は Altera Corporation の米国および該当各国における商標またはサービス・マークです。この資料に記載されているその他の製品名などは該当各社の商標です。Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright © 2000 Altera Corporation. All rights reserved.



ALTERA[®]
日本アルテラ株式会社

〒163-1332
東京都新宿区西新宿 6-5-1
新宿アイランドタワー 32F 私書箱 1594 号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan>
E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラの web サイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文の資料を日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものであります。