

イントロダク ション

APEX™ 20K デバイスは、PLL (Phase-Locked-Loop) 回路を使用した ClockLock™ と ClockBoost™ 機能を内蔵しており、性能の向上とクロック周波数の合成機能を実現しています。ClockLock 機能はデバイス内部でのクロックの遅延とスキューを最少に抑え、ゼロ・ホールド・タイムを維持しながら、「Clock-to-Output」遅延とセットアップ・タイムを短縮します。また、ClockBoost 機能を利用することによって、入力クロックよりも高速または低速の周波数でデバイスの内部ロジックを動作させることができます。ClockBoost の機能を使用することによって、プリント基板上のクロック・ツリーで高速信号を分配する必要がなくなるため、プリント基板の設計が簡単になります。また、ClockBoost 機能を活用した時分割 (Time-Domain Multiplexing) 動作の回路を構成することによって、デバイス内のリソースの共有化を実現し、デバイスのエリア効率を改善することもできます。

APEX 20KE デバイスには性能と機能をさらに強化した ClockLock 回路が内蔵されており、LVDS (Low-Voltage Differential Signaling) インタフェース、クロック信号のデバイス外部への出力とフィードバック機能、ClockShift™ 機能、 $m/(n \times k)$ 乗算を可能にした最新の ClockBoost 機能などのサポートにより、複雑なクロック周波数の合成を必要とするアプリケーションにも対応することができます。APEX 20KE デバイス内では、これらの強化された機能の実現により、システム・レベルでのクロック・マネージメントとスキューのコントロールが可能になっています。

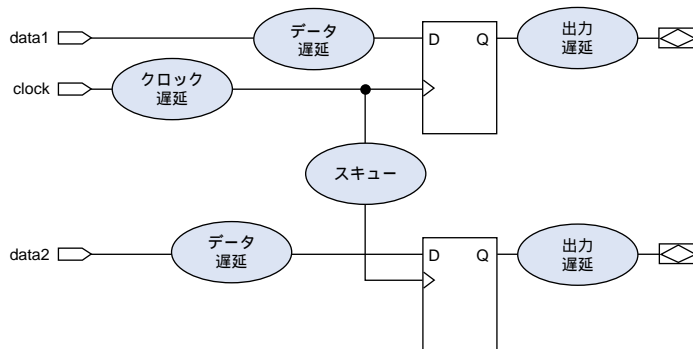
ClockLock と ClockBoost の機能は、システム性能、帯域幅、system-on-a-programmable-chip (SOPC) の集積化能力を大幅に改善します。このアプリケーション・ノートは、APEX 20K と APEX 20KE デバイスの ClockLock および ClockBoost 機能について解説したものです。また、これらの機能を活用したアプリケーションについても記述しています。

クロック遅延 とスキュー

特に集積度の高いデバイスでは、クロック・ピンとレジスタ間の遅延がデバイスの内部性能および外部性能を大幅に低下させる可能性があります。ピン間の「Clock-to-Output」遅延 (t_{CO}) を表す計算式が図 1 に示されています。

高集積デバイスの場合、クロック遅延 (t_{CLOCK}) とクロック・スキュー (t_{SKEW}) のパラメータが全体の「Clock-to-Output」遅延の大きな部分を占めることとなります。ClockLock と ClockBoost の回路はクロックの遅延とスキューを低減することによって、デバイスの「Clock-to-Output」時間を改善します。

図 1 APEX 20K と APEX 20KE のホールド・タイム、セットアップ・タイム、「Clock-to-Output」遅延



$$t_H = t_{REG_H} + t_{CLOCK} + t_{SKEW} - t_{DATA}$$

$$t_{SU} = t_{REG_SU} + t_{DATA} - t_{CLOCK} - t_{SKEW}$$

$$t_{CO} = t_{CLOCK} + t_{SKEW} + t_{REG_CO} + t_{OUTPUT}$$

クロックのスキューとは、クロックが各レジスタに到達するまでの遅延時間の差のことです。また、クロックのスキューは間接的にセットアップ・タイムも増大させます。0nsのホールド・タイム (t_H) を確保するためには、レジスタに対するクロックの最大遅延の計算にデータの遅延を加算する必要があります。高速プロセスや、一定の電圧および温度範囲の条件でも0nsのホールド・タイムを確保するためには、このデータ遅延が十分に大きくなっている必要があります。ただし、追加されたデータ遅延は、低速のプロセスや一定の電圧範囲および温度範囲の条件でレジスタのセットアップ・タイムを増大させます。ClockLock信号でレジスタをドライブすることによって、レジスタへのデータ遅延が解消され、セットアップ・タイムが短縮されます。また、クロックのスキューと遅延時間が低減されるため、レジスタのゼロ・ホールド・タイムを維持することができます。

プログラマブル・ロジック・デバイス(PLD)の高集積化が進展すると共に、クロックの遅延とスキューが問題になってきます。また、クロックのスキューがプリント基板の設計にも大きな影響を与える可能性があります。これらの問題を解決する方法としては、PLLまたはDLL (Delay-Locked Loop) のいずれかが使用されています。PLLとDLLは共にシステム・クロックの内部スキューを低減することができますが、PLLはDLLよりもシステム・クロックの周波数合成を柔軟に実現できます。また、DLLは非整数によるスケールングを実行することができず、入力ジッタを減衰させることもできません。DLLをカスケード接続した場合は、すべての入力ジッタが出力に伝送され、累積されます。PLLは非整数によるスケールングも実行することができるため、クロック周波数の乗算と除算を行うアプリケーションに最適です。

表 1 は APEX 20K および APEX 20KE デバイスに提供されている ClockLock に関連した機能をまとめたものです。

デバイス名	内蔵 PLL 数	ClockBoost 機能	外部 クロック 出力の本数	フィードバック 入力の本数	ClockShift	T1/E1 変換	LVDS クロック	LVDS データ
EP20K100	1	1 x、2 x、4 x	-	-	-	-	-	-
EP20K200	1	1 x、2 x、4 x	-	-	-	-	-	-
EP20K400	1	1 x、2 x、4 x	-	-	-	-	-	-
EP20K100E	2	$m/(n \times k)$ (2)、(3)	1	1	✓	✓	✓	-
EP20K160E	2	$m/(n \times k)$ (2)、(3)	1	1	✓	✓	✓	-
EP20K200E	2	$m/(n \times k)$ (2)、(3)	1	1	✓	✓	✓	-
EP20K300E	4	$m/(n \times k)$ (2)、(3)	2	2	✓	✓	✓	(4)
EP20K400E	4	$m/(n \times k)$ (2)、(3)	2	2	✓	✓	✓	✓
EP20K600E	4	$m/(n \times k)$ (2)、(3)	2	2	✓	✓	✓	✓
EP20K1000E	4	$m/(n \times k)$ (2)、(3)	2	2	✓	✓	✓	✓

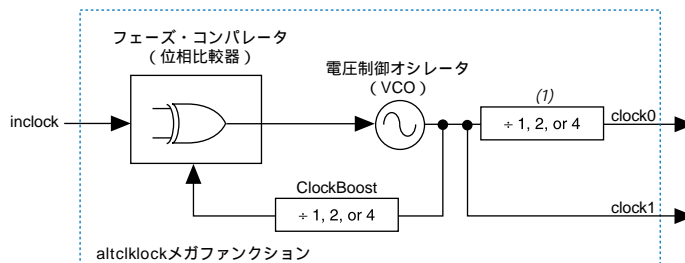
注:

- (1) ClockLock と ClockBoost の機能をサポートしている APEX 20K デバイスでは、オーダ・コードの末尾に "X" のサフィックスが付加されます (例: EP20K400FC672-1X)。
- (2) m は、1 ~ 160 までの整数です。
- (3) $(n \times k)$ の値は、1 ~ 280 までの整数に設定できます。T1 から E1 への周波数変換、および E1 から T1 の周波数変換を行うときは、特別な乗算レート (T1 から E1 ときは 256/193、E1 から T1 のときは 193/256) が適用されます。
- (4) EP20K300E は 155 Mbps (Megabits per second) までの LVDS データ転送をサポートしています。

APEX 20K デバイス

APEX 20K デバイスには、ClockLock および ClockBoost の機能を実現する PLL 回路が 1 個内蔵されています。この PLL は、altclklock メガファンクションを使用してインスタンス化することができます。APEX 20K デバイスでは、ClockBoost による 1 x、2 x、および 4 x のクロック周波数の乗算機能がサポートされています。図 2 は、altclklock メガファンクションで実現される ClockLock と ClockBoost のブロック図とポートを示したものです。

図2 APEX 20K デバイスの ClockLock 回路と ClockBoost 回路



注：
 (1) この除算回路は $2 \times / 4 \times$ に設定された clock1 を分周して clock0 に $1 \times / 2 \times / 4 \times$ のクロックを得るときにのみ使用されます。

ユーザは $1 \times$ 、 $2 \times$ 、 $4 \times$ された 1 本の出力クロック、またはこれらを組み合わせた出力クロックを使用することができます。表 2 は altclklock メガファンクションが APEX 20K デバイスでサポートしているクロック周波数の通比の組み合わせを示したものです。

表 2 APEX 20K の乗算ファクタの組み合わせ

Clock 0	Clock 1	入力周波数 (MHz)	
		-1X のスピード・グレード	-2X のスピード・グレード
1X	2X	25 ~ 180	25 ~ 170
1X、2X	4X	16 ~ 90	16 ~ 100
1X、2X、4X	4X	10 ~ 48	10 ~ 34

クロック専用ピン (CLK2) は、PLL および altclklock メガファンクションにクロックを供給します。APEX 20K デバイスに altclklock メガファンクションを使用するときは、以下のガイドラインを適用する必要があります。

- Inclock ポートに供給される信号は、クロック入力専用ピン (CLK2) から極性反転なしで、ダイレクトに接続する必要があります。
- altclklock は、ロジック・エレメント (LE)、I/O エレメント (IOE) またはエンベデッド・システム・ブロック (ESB) 内のレジスタをポジティブ・エッジまたはネガティブ・エッジ・トリガするクロックにのみ使用可能です。なお、IOE レジスタには、与えられた altclklock の出力から 1 種類のみクロック極性が使用可能です (すべての IOE レジスタを、ポジティブ・エッジ・トリガ、またはネガティブ・エッジ・トリガのいずれかのタイプに設定する必要があります)。IOE に 2 種類のクロック極性が必要な場合は、2 本の PLL 出力を使用する必要があります。
- Inclock ポートとダイレクトに接続される CLK2 ピンは、PLL を通さないで他のレジスタをドライブすることもできます。ただし、これを行った場合には、CLK1 ピンと clock1 ポートが使用できなくなります。

- 2本のPLL出力を使用した場合、他のクロック・ピン (CLK1) を使用することができなくなります。

altclklock メガファンクションから2本の出力を必要とするデザインでは、ボード上のクロックの配線パターンをCLK2ピンにのみ接続しなければなりません。図3はPLLとグローバル・クロック・ラインに対して有効となるクロック接続を示しています。

図3 APEX 20K デバイスのグローバル・クロック専用ピンとPLLおよびクロック専用ラインとの接続

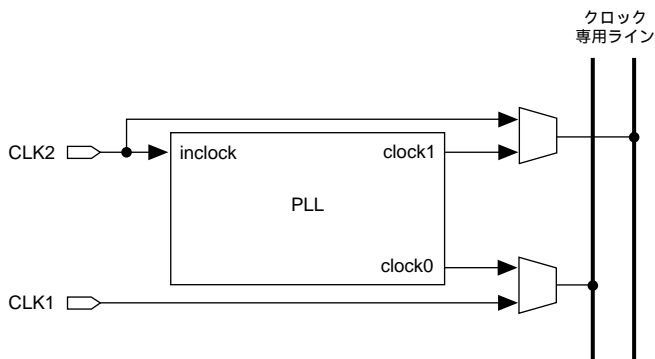


表3にはAPEX 20Kデバイスの - 1スピード・グレード品でのClockLockおよびClockBoost機能のタイミング・パラメータを、表4はAPEX 20Kデバイスの - 2スピード・グレード品でのClockLockおよびClockBoost機能のタイミング・パラメータを示しています。

シンボル	パラメータ	最少	最大	単位
f_{OUT}	出力周波数	25	180	MHz
f_{CLK1} 注(1)	入力クロック周波数 (ClockBoostの乗算ファクタが1のとき)	25	180 (1)	MHz
f_{CLK2}	入力クロック周波数 (ClockBoostの乗算ファクタが2のとき)	16	90	MHz
f_{CLK4}	入力クロック周波数 (ClockBoostの乗算ファクタが4のとき)	10	48	MHz
t_{INDUTY}	入力デューティ・サイクル	40	60	%
$t_{OUTDUTY}$	ClockLock/ClockBoost回路により生成されたクロックのデューティ・サイクル	40	60	%
f_{CLKDEV}	Quartus IIソフトウェアでユーザが規定した周波数からの入力偏差 (ClockBoostの乗算ファクタが1のとき) 注(2)		25,000 注(3)	PPM

表 3 APEX 20K -1X スピード・グレード品の ClockLock パラメータと ClockBoost パラメータ (2 / 2)

シンボル	パラメータ	最少	最大	単位
t_R	入力クロック立ち上がり時間		5	ns
t_F	入力クロック立ち下がり時間		5	ns
t_{LOCK}	ClockLock と ClockBoost の回路がロックするまでに必要な時間 注(4)		10	μ s
t_{SKEW}	ClockLock/ClockBoost 回路による生成クロック間のスキュー遅延		500	ps
t_{JITTER}	ClockLock/ClockBoost 回路による生成クロックのジッタ 注(5)		200	ps
$t_{INCLKSTB}$	入力クロック安定度 (隣接クロック間で測定)		50	ps

注:

- (1) 乗算ファクタが1のとき、EP20K100-1XのPLLに対する入力周波数範囲は25MHzから175MHzです。
- (2) すべての入力クロックが該当する規格に適合している必要があります。入力クロックが要求される規格に適合していない場合は、PLLが入力クロックにロックせず、デバイス内で不適切なクロックが生成される可能性があります。
- (3) デバイスのコンフィギュレーション時にClockLockとClockBoostの回路はデバイスの他の部分よりも先にコンフィギュレーションされます。コンフィギュレーション時に入力クロックが供給された場合でも、ロック時間はデバイス全体のコンフィギュレーションに要する時間よりも短いため、コンフィギュレーションの実行中にClockLockとClockBoostの回路が入力クロックにロックします。
- (4) ジッタの規格は長時間による観測で測定されたものです。
- (5) 入力クロックの安定度が100psの場合、 t_{JITTER} は、250psになります。

表 4 APEX 20K -2X スピード・グレード品の ClockLock パラメータと ClockBoost パラメータ (1 / 2)

シンボル	パラメータ	最少	最大	単位
f_{OUT}	出力周波数	25	170	MHz
f_{CLK1}	入力クロック周波数 (ClockBoostの乗算ファクタが1のとき)	25	170	MHz
f_{CLK2}	入力クロック周波数 (ClockBoostの乗算ファクタが2のとき)	16	80	MHz
f_{CLK4}	入力クロック周波数 (ClockBoostの乗算ファクタが4のとき)	10	34	MHz
$t_{OUTDUTY}$	ClockLock/ClockBoost 回路による生成クロックのデューティ・サイクル	40	60	%
f_{CLKDEV}	Quartus IIソフトウェアでユーザが規定した周波数からの入力偏差 (ClockBoostの乗算ファクタが1のとき) 注(1)		25,000 (2)	PPM
t_R	入力クロック立ち上がり時間		5	ns
t_F	入力クロック立ち下がり時間		5	ns
t_{LOCK}	ClockLockとClockBoostの回路がロックするまでに必要な時間 注(3)		10	μ s
t_{SKEW}	ClockLock/ClockBoost 回路による生成クロック間のスキュー遅延	500	500	ps

表 4 APEX 20K -2X スピード・グレード品の ClockLock パラメータと ClockBoost パラメータ (2 / 2)

シンボル	パラメータ	最少	最大	単位
t_{JITTER}	ClockLock/ClockBoost 回路による生成クロックのジッタ 注(4)		200	ps
$t_{INCLKSTB}$	入力クロック安定度(隣接クロック間で測定)		50	ps

注:

- (1) Quartus II ソフトウェアで ClockLock および ClockBoost 回路を構成するときは、入力周波数を定義する必要があります。Quartus II ソフトウェアは ClockLock および ClockBoost 回路に使用される PLL をこの周波数にチューニングします。 f_{CLKDEV} のパラメータは、デバイスの動作時に入力クロックが定義されている周波数からどの程度の誤差を持つかを規定したものです。シミュレーションで、このパラメータが反映されることはありません。
- (2) 25,000PPM (parts per million) は入力クロック期間の 2.5% に相当します。
- (3) デバイスがコンフィギュレーションされるとき、ClockLock と ClockBoost の回路はデバイス内の他の部分よりも先にコンフィギュレーションされます。コンフィギュレーションの実行中に入力クロックが供給されると、 t_{LOCK} の値がデバイス全体をコンフィギュレーションするのに必要な時間よりも短いため、ClockLock と ClockBoost の回路がコンフィギュレーションの実行中にロックします。
- (4) t_{JITTER} の規格は、長時間にわたる観測によって測定されます。

表 5 は、APEX 20K の ClockLock 回路のピンとその機能についてまとめたものです。

表 5 APEX 20K デバイスの ClockLock ピンとその機能

ピン名	ピンのタイプ	説明	サポートされる標準 I/O 規格 注(1)
CLK2	入力	ClockLock と ClockBoost の回路をドライブする専用ピン。	2.5V I/O、LVCMOS、LVTTTL、
LOCK	出力	ClockLock と ClockBoost の回路の状態を示すオプション・ピン。ClockLock と ClockBoost の回路が入力クロックにロックし、内部クロックが生成されると、LOCK ピンが High にドライブされる。LOCK ピンは、クロック入力規格の範囲内である限り、High を維持する。	3.3V PCI、CMOS (2)、TTL (2)

注:

- (1) PCI: peripheral component interconnect.
- (2) オーダ・コードの末尾に "V" のサフィックスが付加されている APEX 20K デバイスは 5.0V 対応の製品です。

APEX 20KE デバイス

APEX 20KE デバイスには、最先端の機能をサポートした複数の ClockLock 回路が内蔵されています。これらのデバイスには、ClockLock 回路、最新の ClockBoost 回路、LVDS のサポート、ClockShift 回路、外部フィードバック入力オプション付きの外部クロック出力などが実現されています。

最新の ClockBoost による乗除算機能

APEX 20KEデバイスの各PLLには、 $m/(n \times k)$ 、および $m/(n \times v)$ のスケーリング・ファクタによる2出力までのクロック周波数の合成を実現する回路が内蔵されています。PLLがロックしているときは、入力クロックの立ち上がりエッジに対してロックした出力クロックを調整します。図3に示されているクロズド・ループ回路から、出力周波数は $f_{CLOCK0} = (m/(n \times k))f_{IN}$ 、および $f_{CLOCK1} = (m/(n \times v))f_{IN}$ の式で決定されます。この式により、クロック周波数をプログラム可能な数で乗算または除算することができます。Quartus IIソフトウェアは、入力された周波数、乗算値および除算値にしたがって、適切なスケーリング・ファクタ (m 、 n 、 k 、 v) の値を自動的に選択します。

APEX 20KEのPLLでスケーリング乗算がサポートされたことによって、DLLでは不可能だった乗算および除算比率を広範囲にユーザが定義することができます。例えば、与えられた入力クロックに対して3.75の周波数スケーリング・ファクタが必要な場合は、乗算ファクタとして15を、除算ファクタとして4を入力することができます。この最新のClockBoost回路によるスケーリング機能は1個のPLLで実行可能であり、PLLの出力をカスケード接続する必要はありません。

APEX 20KEデバイスのすべてのPLLは、T1とE1の間でクロック周波数を変換する機能をサポートしています。T1のテレコミュニケーション規格では1.544MHzのクロックが、E1のテレコミュニケーション規格では2.048MHzのクロックが使用されます。APEX 20KEデバイスのPLLはT1のクロック周波数からE1のクロック周波数への変換と、その逆の変換を行うことができます。

LVDS インタフェース

EP20K400Eおよびそれより高集積のデバイスでは、2個のClockLock PLL (PLL3とPLL4) をLVDSのトランスミッタおよびレシーバ・インタフェースにコンフィギュレーションすることができます。PLLがLVDSを使用するようにコンフィギュレーションされている場合は、I/Oクロックの乗算による高速のデータ転送レートや、LVDSデータとCMOSデータとの間の変換を実現することができます。これらのPLLは、APEX 20KEデバイス内のLVDSレシーバ・ブロック、およびトランスミッタ・ブロックとのインタフェースを実現します。

PLL3とPLL4がLVDSのトランスミッタおよびレシーバ・モードに使用されるときは、図7の上部に示されている接続が使用されます。これらのモードには、ALTLVDSメガファンクションの使用が必要です。



LVDSの詳細については、アプリケーション・ノート、AN 120 (Using LVDS in APEX 20KE Devices) を参照してください。

外部クロック出力

EP20K300E およびそれより高集積のデバイスには、低ジッタの外部クロックのソースとして使用できるCLKLK_OUT1PとCLKLK_OUT2Pピンが提供されています。EP20K30E、EP20K60E、EP20K100E、EP20K160E、およびEP20K200Eの各デバイスでは、1本の外部クロック(CLKKLK_OUT2P)出力を外部クロックのソースとして使用することができます。CLKLK_OUT1Pの信号はPLL-1から生成され、CLKLK_OUT2Pの信号は、PLL-2から生成されます。プリント基板上の他のデバイスは、これらの出力をクロック・ソースとして使用することができます。

外部クロック出力は、次の3種類のモードで使用することができます。

- **ゼロ・ディレイ・バッファ (Zero Delay Buffer)**: 外部クロック出力ピンの位相が遅延ゼロでクロック入力ピンの位相と一致します。この設定にした場合は、位相シフト機能 (PhaseShift) を使用することができます。この設定で、外部へ出力するクロックを除算することは可能です。また、チップ外部をドライブしていない残りのPLL出力に対して乗算を行うことができます。設定したクロックの条件が実現可能かどうかをaltclklockメガファンクション用のMegaWizard® Plug-Inを使用して検証する必要があります。
- **外部フィードバック (External Feedback)**: 外部フィードバック入力ピンの位相がクロック入力ピンの位相と一致します。これらのクロックの位相を一致させることによって、デバイス間でのクロックの遅延とスキューを除去することができます。このモードには、上記のゼロ・ディレイ・バッファのモードと同じ制限があります。
- **ノーマル・モード (Normal Mode)**: 外部クロック出力ピンがクロック入力ピンに対して位相遅延を持ちます。このモードで内部クロックが使用されたときは、この内部クロックの位相がクロック入力ピンの位相と一致します。

ClockShift 回路

APEX 20KEデバイスのPLLは、クロックの遅延と位相をプログラマブルに調整できるClockShift回路をサポートしています。ユーザは、必要な位相シフトの値を入力することができます。90°、180°、270°の位相シフトの場合、正確な位相シフトが実現されます。また、その他の位相シフト量または遅延シフト (時間の単位) の場合は0.4nsから1.0nsの範囲の分解能となります。この分解能は入力周波数とユーザが入力した乗算および除算ファクタによって異なります。ClockShift回路は、入力と出力の周波数が整数比の関係になっている乗算または除算されたクロックにのみ使用可能です (f_{IN}/f_{OUT} 、または f_{OUT}/f_{IN} が整数)。PLL ClockShift回路は、ノーマル・モードでのみ使用可能です。

クロック・イネーブル信号

APEX 20KEデバイスのPLLには、デバイス内のすべてのPLLをイネーブルまたはディセーブルするCLKLK_ENAピンが設けられています。このCLKLK_ENAピンがHighになると、PLLがclock0とclock1のポートをドライブします。CLKLK_ENAピンがLowになると、clock0とclock1のポートがGNDレベルにドライブされ、すべてのPLLのロックが外れます。CLKLK_ENAピンが再びHighになると、PLLが再ロックします。

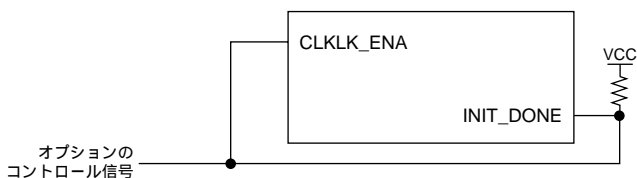
altclklockメガファンクションの各イネーブル・ポートは、「all-or-none」タイプのコントロール信号です。イネーブル・ポートがいずれかのaltclklockインスタンスに使用されている場合は、他のすべてのインスタンスもこのイネーブル・ポートを使用し、同じピンと接続されている必要があります。このポートが使用されているときは、イネーブル・ポートに接続されるピンがCLKLK_ENA専用ピンになる必要があります。

altclklockメガファンクションのinclocken入力ポートは、すべてのデザインで使用されます。CLKLK_ENAコントロールが必要なときは、これをCLKLK_ENA入力ピンに接続する必要があります。Quartus IIソフトウェアは、自動的にそのピンの位置を専用ファンクション・ピンにアサインします。

ゼロ・ディレイ・バッファおよびノーマル・モードでCLKLK_ENAコントロールを必要としない場合は、inclockenポートをデザイン内の入力ピンに接続することはできません。ボード上で、この入力ピンがフローティング状態になるのを避けるため、V_{CC}またはGNDレベルに接続します。

外部フィードバックのモードでCLKLK_ENAコントロールを必要としない場合は、inclockenポートを入力ピンに接続する必要があります。ボード上で、このピンをINIT_DONEピンへダイレクトに接続する必要があります。INIT_DONEのオプションは、ProcessingメニューからCompiler Settingsを選び、Chips & Devicesのダイアログ・ボックスにあるDevice & Pin Optionsのタブで設定されていなければなりません。外部フィードバック・モードにおいて、システム・コントロール信号でCLKLK_ENAピンをコントロールする必要があるときは、オープン・ドレインのコントロール信号とオープン・ドレインのINIT_DONEピンをWire-ANDedすることが可能です。図4は、この接続を実現する方法を示しています。

図4 オープン・ドレインの INIT_DONE ピンとの Wire-ANDed 接続



Lock 信号

APEX 20KE デバイスの ClockLock PLL 回路では、それぞれ独立した LOCK 信号がサポートされています。PLL が入力クロックにロックすると、LOCK 信号は High レベルをドライブします。LOCK 信号は、入力クロックが規格の範囲内である限り、High レベルを維持します。入力が規格外になると、この信号は Low レベルになります。ひとつの PLL から 2 本のクロック出力が使用されている場合、これら 2 本のクロックがそれぞれ異なる時間で有効になることがあります。このような時間差は、2 本のクロック出力間での除算比率の違いが原因となって発生します。LOCK ピンは、APEX 20KE デバイスで使用される各 PLL のオプション・ピンであり、使用されない場合は I/O ピンとなります。この信号をデバイス内部で使用することはできません。したがって、この信号をデザイン内で使用するとき、この信号を別の入力ピンにフィードバックする必要があります。

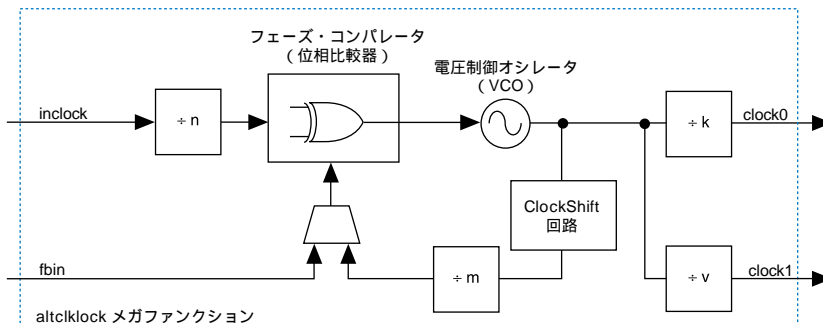
コンフィギュレーション前の状態のときは、すべての PLL 回路がディセーブルされ、電源も供給されません。コンフィギュレーションの実行中も PLL はディセーブルされます。デバイスがユーザ・モードに入ると、CLKLK_ENA の立ち上がりエッジから LOCK 信号の立ち上がりエッジまでのロック時間が測定されます。

デバイス・コンフィギュレーションの実行時に、各 I/O ピンに設定される標準 I/O 規格はセットされていません。このため、デバイス・コンフィギュレーションの実行中の PLL はロックしません。

LOCK 信号がアサートおよびディアサートされるタイミングには、プログラマブルなレイテンシ・コントロール機能が個別に提供されています。この場合、1 または 5 のいずれか一方を倍数にした小さなレイテンシ (small) または大きなレイテンシ (large) の設定が可能です。1/2 クロック・サイクルの倍数で指定されるレイテンシの値は、乗算 / 除算比率と入力周波数によって異なります。これらの値によって、下限のレイテンシが 1/2 クロック・サイクルの 1 ~ 16 倍、上限のレイテンシは 1/2 クロック・サイクルの 5 ~ 80 倍になります。

APEX 20KE デバイスの ClockLock 回路 (汎用 PLL) は、altclocklock メガファンクションを使用してインスタンス化されます。図 5 は APEX 20KE デバイスの ClockLock 回路と ClockBoost の回路を示しています。

図 5 APEX 20KE デバイスの ClockLock 回路と ClockBoost 回路

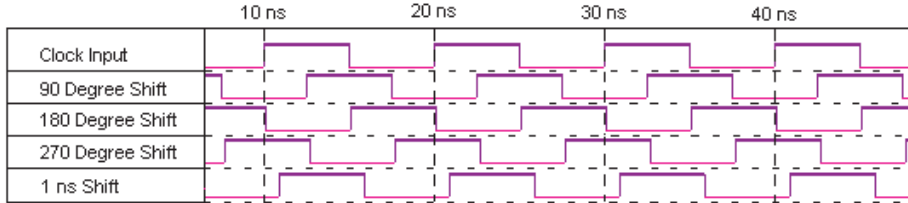


EP20K300E、EP20K400E、EP20K600E、EP20K1000E、EP20K1500Eの各デバイスのグローバル・クロック専用ピン (CLK1p、CLK2p、CLK3p、CLK4p) は、クロック信号を各PLLに汎用モードで供給します。altclklockの各インスタンスは、1個の汎用PLLのインスタンスを表します。APEX 20KEデバイスにaltclklockメガファンクションを使用する場合は、以下のガイドラインを適用する必要があります。

- PLLへの入力クロック専用入力ピンから極性反転なしでダイレクトに接続される必要があります。
- altclklockは、ロジック・エレメント (LE)、I/Oエレメント (IOE)、またはエンベデッド・システム・ブロック (ESB) 内のレジスタをポジティブ・エッジまたはネガティブ・エッジ・トリガするクロックにのみ使用可能です。なお、IOEレジスタには、与えられたaltclklockの出力から1種類のみクロック極性が使用可能です (すべてのIOEレジスタを、ポジティブ・エッジ・トリガ、またはネガティブ・エッジ・トリガのいずれかのタイプに設定する必要があります)。2種類のクロック極性が必要な場合は、2本のPLL出力を使用する必要があります。
- 許容される入力周波数範囲は、設定される標準I/O規格によって1.5MHzから420MHzとなります (表7を参照)
- clock0に許容される出力周波数範囲は、外部クロック出力に設定される標準I/O規格、および表7に示されている内部最高周波数によって1.5MHzから420MHzとなります。
- clock1に許容される出力周波数範囲は、外部クロック出力に設定される標準I/O規格、および表7に示されている内部最高周波数によって1.5MHzから420MHzとなります。
- 位相シフト機能は、入力と出力の周波数が整数比の関係になっている場合のみ (f_N / f_{OUT} または f_{OUT} / f_N が整数) 乗算されたクロックに対してのみ使用可能です。
- 角度または時間の単位で実行された位相シフト機能によって、出力クロックの位相が入力クロックより進むか、遅れます (図6を参照)

- clock_divide に対する clock_boost の比率は 280 を超えることはできません。ただし、T1/E1 または E1/T1 のクロック・レート変換では、それぞれ、256/193、193/256 の特別なスケーリング比率が許容されています。

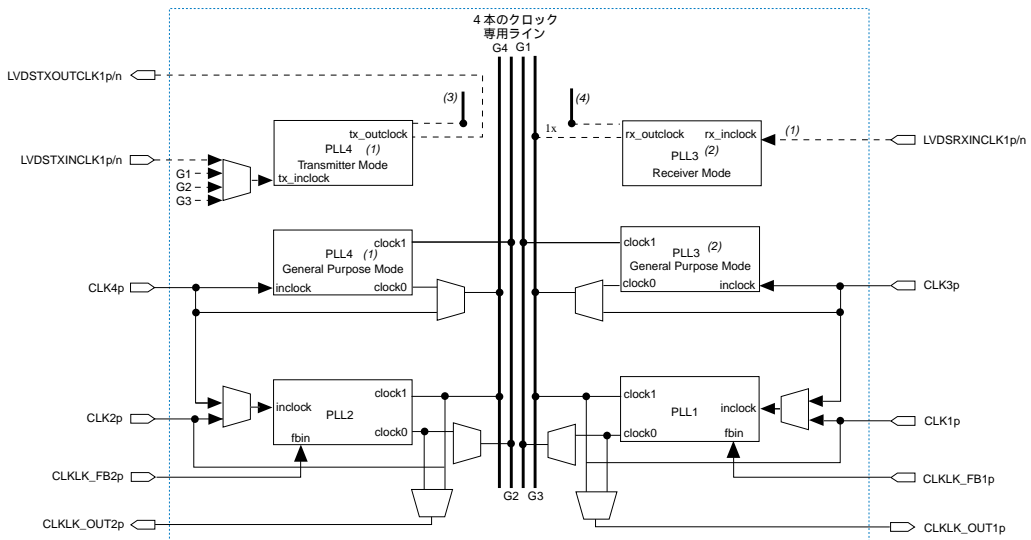
図 6 APEX 20KE の PLL を使用した位相と遅延のシフト



指定された入力周波数、 m 、 n 、 k 、 v および位相シフト量の間には、いくつかの関係が存在します。altclock用のMegaWizard Plug-Inは、これらの関係が満足され、入力された位相シフト量、クロックの乗算または除算が実現されるように、 m 、 n 、 k 、 v の各除数を自動的に設定します。また、MegaWizard Plug-Inは設定された条件の有効性を検証し、乗算 / 除算の周波数比率が無効になっている場合は、それをレポートします。

各PLLはクロック専用ピンからドライブされますが、同時に専用クロック・ピンからの信号がPLLをバイパスする設定を行うこともできます。CLK3PとCLK4Pのピンはそれぞれ2個のPLL、または2個のaltclockのインスタンスに接続することができます。これは、位相シフトされたクロックと位相シフトされていないクロックの双方が必要になるアプリケーションに便利な機能となります。8本のPLL出力が使用できる4本のグローバル・クロックの専用ラインを共有しているため、複数のaltclockのインスタンスとそれらの出力の組み合わせによっては、その実現が不可能になることがあります。Quartus IIソフトウェアは、altclockメガファンクションと接続されるグローバル・クロック専用ピンに対するピン・アサインメントにしたがって、各PLLを個別に(PLL-1、2、3、4として)処理します。図7は、これらのデバイスにおいて、PLLとaltclockメガファンクションの入力と接続されるグローバル・クロック専用ラインに有効となるクロック接続を示したものです。この図は、デザインのクロック方式がAPEX 20KEデバイスのPLLとクロックの接続から見て有効かどうかを判断するときに使用できます。例えば、EP20K400Eでは、CLK4PをPLL4とPLL2に同時に接続できますが、これらのPLLからの計4本の出力は2本のグローバル・クロック・ラインにしか接続できないため、各PLLからは1本の内部出力しか使用できません。

図 7 EP20K300E、EP20K400E、EP20K600E、EP20K1000E、EP20K1500E の各デバイスにおけるグローバル・クロック専用ピンと PLL およびクロック専用ラインとの接続



注:

- (1) EP20K400E、EP20K600E、EP20K1000E、およびEP20K1500EのPLL4は、汎用モードまたはALTLVDS_TXのトランスミッタ・モードのいずれかで使用することができます。それぞれのモードを選択したときに適用される接続が上記の図で示されていますが、PLL4にはいずれか一方のモードのみが設定可能です。EP20K300Eでは、PLL4が汎用モードでのみ使用可能となっています。
- (2) EP20K400E、EP20K600E、EP20K1000E、およびEP20K1500EのPLL3は、汎用モードまたはALTLVDS_RXのレシーバ・モードのいずれかで使用することができます。それぞれのモードを選択したときに適用される接続が上記の図で示されていますが、PLL3にはいずれか一方のモードのみが設定可能です。EP20K300Eでは、PLL3が汎用モードでのみ使用可能となっています。
- (3) このPLL出力は高速CMOS/LVDSインタフェース・クロックで、LVDSのトランスミッタ・ブロックに接続されます。
- (4) このPLL出力は高速LVDS/CMOSインタフェース・クロックで、LVDSのレシーバ・ブロックに接続されます。

EP20K30E、EP20K60E、EP20K100E、EP20K160E、EP20K200Eの各デバイスでは、クロックがCLK4pとCLK2pのクロック専用ピンから2個のPLLに供給されます。これらのPLLには、一部のPLL接続を除いて、EP20K400Eおよび、それより高集積デバイスのPLLの場合と同じガイドラインが適用されます。これらのPLLからの4本の出力クロックがすべて使用可能であり、これらの4本の出力クロックは4本のクロック専用ラインを共有しています。すべての出力が使用されるときは、CLK3pとCLK1pのピンを使用することはできません。

図8はこれらのデバイスにおいて、PLLとグローバル・クロック専用ピン、クロック専用ラインとの有効なクロック接続を示したものです。この図8は、デザインのクロック方式がAPEX 20KEデバイスのPLLとクロックの接続ルールから見て有効かどうかを判断するときに使用できます。atclklockメガファンクションのポートとの接続は、図7と図8に示されているガイドラインにしたがって行う必要があります。

図 8 EP20K30E、EP20K60E、EP20K100E、EP20K160E、EP20K200E におけるグローバル・クロック専用ピンと PLL およびクロック専用ラインとの接続

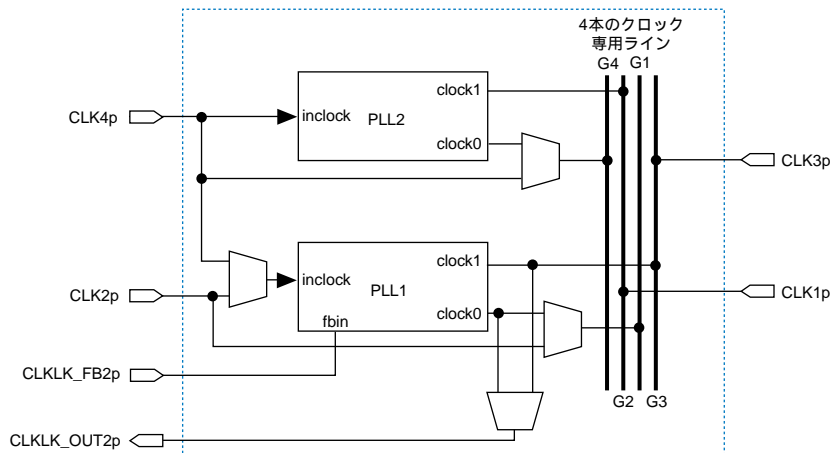


表 6 は、APEX 20KE デバイスの ClockLock と ClockBoost 回路のタイミング・パラメータを、また表 7 には、APEX 20KE デバイスのクロック入力および出力のパラメータが示されています。

シンボル	パラメータ	条件	最小	標準	最大	単位
t_R	入力クロック立ち上がり時間				5	ns
t_F	入力クロック立ち下がり時間				5	ns
t_{INDUTY}	入力クロックのデューティ・サイクル		40		60	%
$t_{INJITTER}$	peak-to-peak 入力ジッタ				入力期間の 2%	peak- to-peak
$t_{OUTJITTER}$	ClockLock または ClockBoost で生成されたクロックのジッタ				出力期間の 0.35%	RMS
$t_{OUTDUTY}$	ClockLock または ClockBoost で生成されたクロックのデューティ・サイクル		45		55	%
t_{LOCK} 注(2)、(3)	ClockLock または ClockBoost 回路がロックするまでの必要時間				40	μ s

表 7 APEX 20KE デバイスのクロック入力およびクロック出力タイミング・パラメータ 注 (1)

シンボル	パラメータ	標準 I/O 規格	-1X スピード・グレード		-2X スピード・グレード		単位
			最小	最大	最小	最大	
f_{IN} 注 (4)、 (5)、(6)	入力クロック周波数	3.3-V LVTTTL	1.5	290	1.5	257	MHz
		2.5-V LVTTTL	1.5	281	1.5	250	MHz
		1.8-V LVTTTL	1.5	272	1.5	243	MHz
		GTL+	1.5	303	1.5	261	MHz
		SSTL-2 Class I	1.5	291	1.5	253	MHz
		SSTL-2 Class II	1.5	291	1.5	253	MHz
		SSTL-3 Class I	1.5	300	1.5	260	MHz
		SSTL-3 Class II	1.5	300	1.5	260	MHz
f_{VCO} 注 (5)	VCO (電圧制御発振器) の動作範囲		200	500	200	500	MHz
f_{CLOCK0}	Clock0 出力を内部で使用するときの PLL の出力周波数		1.5	335	1.5	200	MHz
f_{CLOCK1}	Clock1 出力を内部で使用するときの PLL の出力周波数		12.5	335	20	200	MHz
f_{CLOCK0_EXT} 注 (4)、 (5)、(6)	Clock0 出力を外部出力したときの出カクロック周波数	3.3-V LVTTTL	1.5	245	1.5	226	MHz
		2.5-V LVTTTL	1.5	234	1.5	221	MHz
		1.8-V LVTTTL	1.5	223	1.5	216	MHz
		GTL+	1.5	205	1.5	193	MHz
		SSTL-2 Class I	1.5	158	1.5	157	MHz
		SSTL-2 Class II	1.5	142	1.5	142	MHz
		SSTL-3 Class I	1.5	166	1.5	162	MHz
		SSTL-3 Class II	1.5	149	1.5	146	MHz
f_{CLOCK1_EXT} 注 (4)、 (5)、(6)	Clock1 出力を外部出力したときの出カクロック周波数	3.3-V LVTTTL	12.5	245	20	226	MHz
2.5-V LVTTTL		12.5	234	20	221	MHz	
1.8-V LVTTTL		12.5	223	20	216	MHz	
GTL+		12.5	205	20	193	MHz	
SSTL-2 Class I		12.5	158	20	157	MHz	
SSTL-2 Class II		12.5	142	20	142	MHz	
SSTL-3 Class I		12.5	166	20	162	MHz	
SSTL-3 Class II		12.5	149	20	146	MHz	
	LVDS	12.5	420	20	350	MHz	

注：

- (1) すべての入力クロックは、これらの規格に適合している必要があります。入力クロックがこれらの規格に適合していない場合は、PLL がロックせず、デバイス内で不正なクロックが生成される可能性があります。
- (2) 最大ロック時間は、40 μ s または 2,000 入力クロック・サイクルのいずれかの短い値となります。
- (3) PLL 回路は、コンフィギュレーションの実行前にディセーブルされ、電源が投入されていない状態となっています。また、コンフィギュレーションの実行中も PLL 回路はディセーブルされます。デバイスがユーザ・モードに入ると、PLL がロック動作を開始します。クロック・イネーブル機能が使用されている場合は、ユーザ・モードで CLKCLK_ENA ピンが High になってからロック動作が開始されます。
- (4) 外部フィードバック・モードが使用されている場合、最高クロック周波数は設定される標準 I/O 規格によって 165MHz またはこの最高クロック出力周波数のいずれの低いほうの値になります。また、EP20K400E では、外部フィードバック・モードの外部出力クロックの最高周波数が 124MHz となっています。
- (5) 外部フィードバック・モードが使用されている場合は、クロック出力、クロック入力、フィードバック入力に同じ標準 I/O 規格が設定されている必要があります。
- (6) ゼロ・ディレイ・バッファ・モードが使用されている場合は、クロック出力とクロック入力に同じ標準 I/O 規格が設定されている必要があります。
- (7) LVDS のモードが使用されている場合、PLL の VCOX (電圧制御発振器) は LVDS の最高データ・レートをサポートできる動作範囲となっています。

表 8 は EP20K400E と EP20K600E における LVDS モードの PLL タイミング・パラメータを、また表 9 は EP20K1000E と EP20K1500E における LVDS モードの PLL タイミング・パラメータを示したものです。

シンボル	パラメータ	モード	-1X スピード・グレード			-2X スピード・グレード			単位
			最小	標準	最大	最小	標準	最大	
t _C	LVDS レシーバノトランスミッタ用入力クロック期間	×8	9.52		33	11.43		33	ns
		×7	9.52		33	11.43		33	ns
		×4	5.71		20	6.88		20	ns
f _{INLVDS}	LVDS レシーバノトランスミッタ用入力クロック周波数	×8	30		105	30		87.5	MHz
		×7	30		105	30		87.5	MHz
		×4	50		175	50		145.25	MHz
f _{LVDSDR}	LVDS 最高データ転送レート	×8	240		840	240		700	Mbps
		×7	210		735	210		612.5	Mbps
		×4	200		700	200		581	Mbps
Input Jitter (peak-to-peak)	入力クロックにおける peak-to-peak 入力ジッタ	すべてのモード			t _C の 2%			t _C の 2%	ns
Output Jitter (RMS)	LVDS モードでの RMS 出力ジッタ 注(2)、(3)	すべてのモード			t _C の 0.25%			t _C の 0.25%	ns
t _{DUTY}	LVDS トランスミッタ出力クロックのデューティ・サイクル	すべてのモード	49	50	51	49	50	51	%
t _{LOCK}	LVDS トランスミッタおよびレシーバ用 PLL のロック時間	すべてのモード			5			5	μ s

表 9 EP20K1000E と EP20K1500E の LVDS モード PLL タイミング・パラメータ 注 (1)

シンボル	パラメータ	モード	-1X スピード・グレード			-2X スピード・グレード			単位
			最小	標準	最大	最小	標準	最大	
t_C	LVDS レシーバ/トランスミッタ用入カクロック期間	×8	10.67		33	12.80		33	ns
		×7	9.52		33	11.43		33	ns
		×4	5.71		20	6.88		20	ns
f_{NLVDS}	LVDS レシーバ/トランスミッタ用入カクロック周波数	×8	30		93.7	30		78.125	MHz
		×7	30		105	30		87.5	MHz
		×4	50		175	50		145.25	MHz
f_{LVDSDR}	LVDS 最高データ転送レート	×8	240		750	240		625	Mbps
		×7	210		735	210		612.5	Mbps
		×4	200		700	200		581	Mbps
Input Jitter (peak-to-peak)	入カクロックにおける peak-to-peak 入力ジッタ	すべてのモード			t_C の 2%			t_C の 2%	ns
Output Jitter (RMS)	LVDS モードにおける RMS 出力ジッタ 注 (2)、(3)	すべてのモード			t_C の 0.25%			t_C の 0.25%	ns
t_{DUTY}	LVDS トランスミッタ出力クロックのデューティ・サイクル	すべてのモード	49	50	51	49	50	51	%
t_{LOCK}	LVDS トランスミッタおよびレシーバ用 PLL のロック時間	すべてのモード			5			5	μs

注:

- (1) LVDSのモードが使用されている場合、PLLのVCO(電圧制御発振器)はLVDSの最高データ・レートをサポートできる動作範囲となっています。
- (2) これは、入カクロックが5psの入力ジッタを持っていることを想定した値です。
- (3) このジッタはLVDS トランスミッタ用 PLL とレシーバ用 PLL をカスケード接続したときの値です。レシーバまたはトランスミッタ単独でのジッタは、これより小さな値となります。

表 10 は、APEX 20KE デバイスの ClockLock に使用されるピンとその機能をまとめたものです。

表 10 APEX 20KE デバイスの ClockLock ピン			
ピン名	ピン・タイプ	説明	サポートされる標準 I/O 規格
CLKp[1..4]	入力	PLL のクロック入力をドライブする専用ピン。EP20K400E および、それより高集積のデバイスでは、汎用モードのときにのみ、CLK3p と CLK4p が、それぞれ PLL3 と PLL4 をドライブする。	1.8V I/O、2.5V I/O、AGP、CTT、HSTL、LVCMOS、LVDS、LVPECL、LVTTTL、GTL+、3.3V PCI、3.3V PCI-X、SSTL-2、SSTL-3
CLKLK_FB	入力	PLL に対する外部フィードバックを行うときの専用ピン。	
CLKLK_OUT	出力	PLL の出力をチップ外部に出力するときのクロック出力専用ピン。	
LVDSTXINCLK1p/n LVDSRXINCLK1p/n 注 (1)	入力	LVDS/CMOS のデータ変換を行う LVDS モードでは PLL のクロック入力をドライブし、それ以外は汎用 I/O ピンとして使用できるデュアル・パーパス I/O ピン。	LVDS
LVDSTXOUTCLK1p/n 注 (1)	出力	LVDS モードで、1 × の LVDS クロックをチップ外部に出力する LVDS クロック出力。LVDS の出力データはこのクロックに同期する。これらのピンは汎用 I/O ピンとしても使用できるデュアル・パーパス I/O ピン。	
LOCK	出力	ClockLock および ClockBoost 回路の状態を示すオプション・ピン。ClockLock および ClockBoost 回路が入力クロックにロックし、内部クロックが生成されているときは、LOCK ピンが High にドライブされる。LOCK ピンは、クロック入力が規格の範囲内である限り、High を維持する。	1.8V I/O、2.5V I/O、LVCMOS、LVTTTL、3.3V PCI

注：

(1) このピンは、EP20K400E、EP20K600E、EP20K1000E、EP20K1500E の各デバイスにのみ有効です。

ボードのレイアウト

各 PLL には、それぞれ独立した VCC ピンと GND ピンが使用されます。APEX 20K デバイスは、ClockLock と ClockBoost の回路に一组の VCC ピンと GND ピンを持っています。また、APEX 20KE デバイスでは、各 PLL と各クロック出力ピンに対して一组の VCC と GND が使用されます。VCC ピンと GND ピン、および外部クロック出力ピンを分離することによって、出力ピンが隣接したピンのスイッチングによる影響を避けることができるため、ジッタが低減されます。また、これによって、隣接した出力のスイッチングによって発生するグラウンド・バウンスや V_{CC} のサグ（電圧降下）を最小に抑えることができます。

表 11 は、APEX 20K および APEX 20KE デバイスに必要な電源ピンをまとめたものです。

デバイス名	ピン名	説明
EP20K100 EP20K200 EP20K400	VCC_CKCLK GND_CKCLK	ClockLock および ClockBoost の PLL 回路に対応する電源ピンとグラウンド・ピン。PLL に対する電源ピンとグラウンド・ピンは、ノイズの影響を抑えるため、デバイス内の他の電源およびグラウンドの各ピンから分離されている必要がある。VCC_CKCLK ピンには VCCINT と同じ規格が適用され、PLL が使用されていない場合でも VCC_CKCLK ピンを 2.5V 電源に接続する必要がある。
EP20K60E EP20K100E EP20K160E EP20K200E	VCC_CKCLK2 VCC_CKCLK4 GND_CKCLK2 GND_CKCLK4	ClockLock および ClockBoost の PLL 回路に対応する電源ピンとグラウンド・ピン。PLL に対する電源ピンとグラウンド・ピンは、ノイズの影響を抑えるため、デバイス内の他の電源およびグラウンドの各ピンから分離されている必要がある。VCC_CKCLK ピンには VCCINT と同じ規格が適用され、PLL が使用されていない場合でも VCC_CKCLK ピンを 1.8V 電源に接続する必要がある。
	VCC_CKOUT2 GND_CKOUT2	外部クロック出力ピン (CLKLK_OUT) 用の電源ピンとグラウンド・ピン。これらのピンが CLKLK_OUT ピンに対応した VCCIO と GNDIO として機能する。VCC_CKOUT ピンには VCCIO と同じ規格が適用され、外部クロックが使用されていない場合でも VCC_CKOUT ピンを VCCIO に接続する必要がある。
EP20K300E EP20K400E EP20K600E EP20K1000E EP20K1500E	VCC_CKCLK[4..1] GND_CKCLK[4..1]	ClockLock および ClockBoost の PLL 回路に対応する電源ピンとグラウンド・ピン。PLL に対する電源ピンとグラウンド・ピンは、ノイズの影響を抑えるため、デバイス内の他の電源およびグラウンドの各ピンから分離されている必要がある。VCC_CKCLK ピンには VCCINT と同じ規格が適用され、PLL が使用されていない場合でも VCC_CKCLK ピンを 1.8V 電源に接続する必要がある。
	VCC_CKOUT1 VCC_CKOUT2 GND_CKOUT1 GND_CKOUT2	外部クロック出力ピン (CLKLK_OUT) 用の電源ピンとグラウンド・ピン。これらのピンが CLKLK_OUT ピンに対応した VCCIO と GNDIO として機能する。VCC_CKOUT ピンには VCCIO と同じ規格が適用され、外部クロックが使用されていない場合でも VCC_CKOUT ピンを VCCIO に接続する必要がある。

ClockLock 回路にはアナログ・コンポーネントが含まれており、これらがデジタル・コンポーネントによって生成されるノイズの影響を受けることがあります。グラウンド・バウンスや VCC サグのような、ボード上の電源およびグラウンド・プレーンでの電圧変動は、クロックのジッタにダイレクトに影響を及ぼします。したがって、適切な電源デカップリングを使用して、過度なジッタの発生を回避する必要があります。

ClockLock 回路を内蔵しているすべてのデバイスには、PLLとその出力専用ピンに電源を供給するための特別なVCCピンとGNDピンが提供されています。これらのピンに接続される電源とグラウンドは、APEXデバイスの残り部分、または他のデジタル・デバイスと接続される電源およびグラウンドと分離されている必要があります。これらのピンにはVCC_CKCLK、GND_CKCLK、VCC_CKOUT、GND_CKOUTの名前が付けられています。これらのピンは、Quartus IIソフトウェアによって生成されるピン・ファイル、および「APEX 20K Programmable Logic Device Family」のデータシートに記載されているピン配置表で識別することができます。

ボードのレイアウトには、下記に示すテクニックを使用することができます。

- ボードのレイアウトを行うときに、VCC_CKCLK、GND_CKCLK、VCC_CKOUTおよびGND_CKOUTにそれぞれ個別のプレーンを使用する。

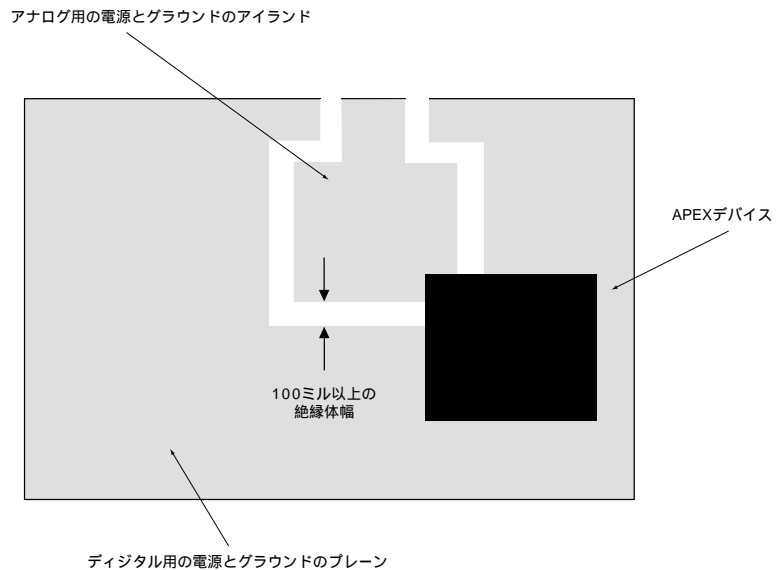
ミックス・シグナルのシステムでは、アナログ部とデジタル部が分離されており、それぞれがボード上に分離された個別の電源とグラウンドのプレーンを持っています。このような場合は、VCC_CKCLKとGND_CKCLKを、アナログの電源とグラウンドのプレーンにそれぞれ接続することができます。VCC_CKOUTは、デジタル電源のプレーンに接続する必要があります。

- VCCINT、GNDINT、VCCIO、GNDIOの各プレーンを分離し、VCC_CKCLK、GND_CKCLK、VCC_CKOUT、GND_CKOUTがそれぞれ独立したアイランドを形成するようにする。

ボード上でアナログ用の電源とグラウンドのプレーンが分離されていない完全なデジタル・システムでは、ボードに2または4つの新たなプレーンを追加することによって、ボードのコストが上昇する可能性があります。このような場合は、代案として、VCC_CKCLK/GND_CKCLKおよびVCC_CKOUT/GND_CKOUTに対して独立したアイランドを形成する方法を採用することもできます。図9は、アナログ用電源のアイランドが形成されたボード・レイアウトの例を示しています。これは、VCC_CKCLK/GND_CKCLKおよびVCC_CKOUT/GND_CKOUTに対する対策が必要なときに適用できます。

CKCLK_OUTピンが使用されない場合は、VCC_CKOUTのプレーンを分離する必要はありません。

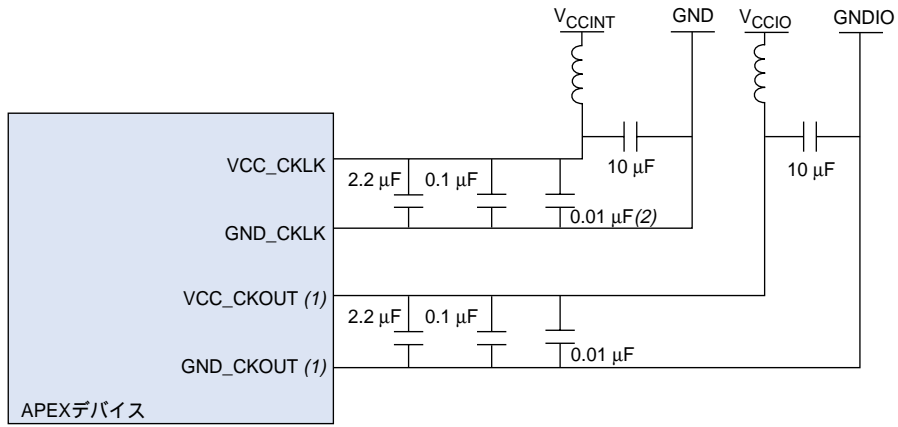
図9 PLL用の電源とグラウンドのアイランドが形成されるようにした
ボード・レイアウト



各 VCC_CKLN/GND_CKLN と VCC_CKOUT/GND_CKOUT のペアには、APEX 20KまたはAPEX 20KEデバイスのできるだけ近い位置に2.2 μ F、0.1 μ F、および0.01 μ Fのセラミック・コンデンサを並列に接続して、デカップリングを行ってください。また、PLL用の電源ラインがPCBに入力される位置の近傍には、10 μ Fのタンタル・コンデンサとフェライト・ビーズを接続します。フェライト・ビーズの特性は、各アプリケーションで使用される周波数によって異なります。詳細は、フェライト・ビーズのメーカーの周波数規格を参照してください。図10を参照してください。PLLがLVDSモードで使用される場合は、VCC_CKLN4/GND_CKLN4およびVCC_CKLN3/GND_CKLN3のピンに、2.2 μ F、0.1 μ F、0.01 μ F、および0.001 μ Fのコンデンサを並列に接続して、デカップリングを行ってください。

図10は、汎用PLLの電源ラインに対するデカップリング方法を示しています。

図 10 汎用 PLL 用電源のデカップリング方法



注：

- (1) VCC_CKOUT と GND_CKOUT のピンは、APEX 20KE デバイスにのみ提供されています。
- (2) PLL が LVDS モードで使用される場合は、VCC_CKCLK4/GND_CKCLK4 および VCC_CKCLK3/GND_CKCLK3 のピンに、さらに 0.001μF のデカップル・コンデンサを並列に接続する必要があります。

ソフトウェア・サポート

ClockShift と ClockBoost の機能、および他の PLL 機能の設定は、altclklock のパラメータによってコントロールされます。このセクションでは、altclklock メガファンクションのポートとパラメータを説明し、その Function prototype と Component 宣言の記述例を示します。

altclklock のポートとパラメータ

表12から表14はaltclklockの入力ポート、出力ポート、および設定可能なパラメータをまとめたものです。

ポート名	必須	説明	コメント
inclock	Yes	ClockLock PLL をドライブするクロック・ポート	-
inclocken	No	PLL イネーブル信号	inclocken ポートが High になっているときは、PLL が clock0 と clock1 のポートをドライブする。inclocken ポートが Low になっているときは、clock0 と clock1 のポートが GND レベルにドライブされ、PLL のロックが外れる。inclocken ポートが再び High になったときは、PLL が再ロックしなければならない。APEX 20K デバイスには、このポートがない。
fbin	No	PLL に対する外部フィードバック入力	フィードバック・ループを完全なものにするためには、fbin ピンと PLL の外部クロック出力ピンをボード上で接続する必要がある。APEX 20K デバイスには、このポートはない。

表 13 altclklock の出力ポート			
ポート名	必須	説明	コメント
clock0	No	PLL からの 1 本目のクロック出力	APEX 20K デバイスで PLL の inclock ポートをドライブしているピンがデザイン内で他の用途に使用されている場合は、PLL の clock0 出力ポートのみが使用可能となる。clock0 と clock1 のポートが同時に使用されていて、ピンから PLL の inclock ポートがドライブされていると、フィッティングが不可能になることがある。APEX 20KE デバイスでは、clock0 と clock1 のポート、および PLL の inclock ポートをドライブするピンを使用することができる。ただし、1 本目のみのクロック信号を生成するために PLL を使用している場合は、clock1 ポートを使用してコンパイラが PLL をフィッティングさせるときの柔軟性が高くなるようにする。
clock1	No	PLL からの 2 本目のクロック出力	APEX 20K デバイスで PLL の inclock ポートをドライブしているピンがデザイン内で他の用途に使用されている場合は、PLL の clock0 出力ポートのみが使用可能となる。clock0 と clock1 のポートが同時に使用されていて、ピンから PLL の inclock ポートがドライブされていると、フィッティングが不可能になることがある。APEX 20KE デバイスでは、clock0 と clock1 のポート、および PLL の inclock ポートをドライブするピンを使用することができる。ただし、1 本目のみのクロック信号を生成するために PLL を使用している場合は、clock1 ポートを使用してコンパイラが PLL をフィッティングさせるときの柔軟性が高くなるようにする。
locked	No	PLL の状態	PLL がロックすると、この信号が VCC レベルとなる。PLL のロックが外れると、この信号が GND レベルとなる。PLL がロックする過程にあるときは、この locked ポートに High と Low のパルス信号が出力される可能性がある。

表 14 altclklock のパラメータ (1 / 5)			
ポート名	タイプ	必須	説明
INCLOCK_PERIOD	整数	Yes	inclock ポートの期間を ps で規定する。inclock ポートに対するクロックの条件が規定されている場合は、このパラメータの設定は不要である。
INCLOCK_SETTINGS	ストリング	No	inclock ポートに使用されるクロックの設定条件を規定する。INCLOCK_SETTINGS のパラメータが設定されている場合は、INCLOCK_PERIOD のパラメータが不要となり、無視される。INCLOCK_SETTINGS のパラメータが欠落している場合は、デフォルトで PLL が " UNUSED " の設定になる。
VALID_LOCK_CYCLES	整数	No	locked ピンが High になる前に clock0 と clock1 のポートがロックしなければならない期間を 1/2 クロック・サイクルの倍数で規定する。このパラメータはサード・パーティのツールでファンクショナル・シミュレーションを行うときにのみ使用される。コンパイラは VALID_LOCK_MULTIPLIER パラメータの値を使用して、locked ピンが High になる前に clock0 と clock1 のポートがロックしなければならない実際の 1/2 クロック・サイクルの倍数を計算する。この計算値は、VALID_LOCK_CYCLES のパラメータに対してマニュアルで規定されたあらゆる値を置換する。アルテラは MegaWizard Plug-In Manager を使用して PLL を生成し、各デザインで VALID_LOCK_CYCLES パラメータの近似値が選択および得られるようにすることを推奨する。MegaWizard Plug-In Manager は、VALID_LOCK_CYCLES と VALID_LOCK_MULTIPLIER パラメータの値を自動的に規定する。この値が入力されなかった場合は、デフォルト値が 5 になる。このパラメータは APEX 20KE デバイスに対してのみ提供される。
INVALID_LOCK_CYCLES	整数	No	locked ピンが Low になる前に clock0 と clock1 のポートのロックが解除されなければならない期間を 1/2 クロック・サイクルの倍数で規定する。このパラメータはサード・パーティのツールでファンクショナル・シミュレーションを行うときにのみ使用される。コンパイラは INVALID_LOCK_MULTIPLIER パラメータの値を使用して、locked ピンが Low になる前に clock0 と clock1 のポートがロックを解除しなければならない実際の 1/2 クロック・サイクルの倍数を計算する。この計算値は INVALID_LOCK_CYCLES のパラメータに対してマニュアルで規定されたあらゆる値を置換する。アルテラは MegaWizard Plug-In Manager を使用して PLL を生成し、各デザインで、INVALID_LOCK_CYCLES パラメータの近似値が選択および得られるようにすることを推奨する。MegaWizard Plug-In Manager は、INVALID_LOCK_CYCLES と INVALID_LOCK_MULTIPLIER のパラメータの値を自動的に規定する。この値が入力されなかった場合は、デフォルト値が 5 になる。このパラメータは APEX 20KE デバイスにのみ提供される。

表 14 altclklock のパラメータ (2 / 5)

ポート名	タイプ	必須	説明
VALID_LOCK_MULTIPLIER	整数	No	locked ピンが High になる前に clock0 と clock1 のポートがロックしなければならない期間を 1/2 クロック・サイクルの倍数で指定するときのスケールリング・ファクタ。コンパイラは VALID_LOCK_MULTIPLIER パラメータ値を使用して、VALID_LOCK_CYCLES パラメータの値を計算する。アルテラは MegaWizard Plug-In Manager を使用して PLL を生成し、各デザインに応じて、このスケールリング・ファクタの近似値が選択および得られるようにすることを推奨する。MegaWizard Plug-In Manager は、VALID_LOCK_CYCLES と VALID_LOCK_MULTIPLIER のパラメータの値を自動的に規定する。このパラメータは、locked ポートが接続されているときのみ必要となる。値は 1 と 5 である。この値が入力されていなかった場合は、デフォルト値が 5 になる。このパラメータは APEX 20KE デバイスにのみ提供される。
INVALID_LOCK_MULTIPLIER	整数	No	locked ピンが Low になる前に clock0 と clock1 のポートのロックが解除されなければならない期間を 1/2 クロック・サイクルの倍数で規定するときのスケールリング・ファクタ。コンパイラは INVALID_LOCK_MULTIPLIER パラメータの値を使用して、INVALID_LOCK_CYCLES パラメータの値を計算する。アルテラは MegaWizard Plug-In Manager を使用して PLL を生成し、各デザインに応じて、このスケールリング・ファクタの近似値が選択および得られるようにすることを推奨する。MegaWizard Plug-In Manager は、INVALID_LOCK_CYCLES と INVALID_LOCK_MULTIPLIER パラメータの値を自動的に規定する。このパラメータは、locked ポートが接続されているときのみ必要となる。値は 1 と 5 である。この値が入力されていなかった場合は、デフォルト値が 5 になる。このパラメータは APEX 20KE デバイスにのみ提供される。

表 14 altclklock のパラメータ (3 / 5)			
ポート名	タイプ	必須	説明
OPERATION_MODE	ストリング	No	NORMAL モードでは、内部のクロック・ネットワークと、inclock 専用ピンと接続されるクロック入力ピンとの間で位相シフトが測定される。PLL が外部出力の CLKLK_OUT ピンとも接続されている場合は、時間遅延によって、CLKLK_OUT の外部クロック出力ピンに位相差が発生する。ゼロ・ディレイ・バッファのモードでは、PLL が入力クロックのゼロ遅延バッファとしての動作を行う。PLL は外部クロック出力ピン、CLKLK_OUT と接続されている必要があり、inclock ピンと接続される入力クロック・ピンと CLKLK_OUT ピンの位相が一致する。clock0 ピンが外部クロック出力ピン、CLKLK_OUT をドライブしているときは、CLOCK0_BOOST のパラメータを未使用にするか、1 に設定しなければならない。また、clock1 ポートが外部クロック出力ピン、CLKLK_OUT をドライブしているときは、CLOCK1_BOOST のパラメータを未使用にするか、1 に設定しなければならない。PLL が内部のクロック・ネットワークもドライブしているときは、対応するネットワークに位相シフトが発生する。このモードには、プログラマブルな位相シフト機能は提供されない。したがって、OUTCLOCK_PHASE_SHIFT のパラメータは未使用にするか、0 に設定しなければならない。外部フィードバック・モードでは、fbin のポートを使用して、外部クロック出力の CLKLK_OUT ピンと CLKLK_FB ピンをボード上で接続する必要がある。また、PLL は、CLKLK_FB ピンで信号が入力クロックと完全に同期するように、出力を調整する。PLL が内部のクロック・ネットワークもドライブしているときは、対応するネットワークに位相シフトが発生する。ここで入力されるストリングは、NORMAL、ZERO_DELAY_BUFFER、EXTERNAL_FEEDBACK である。このパラメータが規定されなかった場合は、デフォルトが NORMAL となる。このパラメータは APEX 20KE デバイスにのみ提供される。
CLOCK0_BOOST	整数	No	入力クロック周波数に対する clock0 ポートの出力周波数の通倍比を整数で規定する。この値は 0 より大きな数で指定される必要がある。このパラメータは clock0 ポートが使用されている場合にのみ規定することができる。ただし、clock0 ポートに対してクロックの条件が設定されているときは、このパラメータが不要になる。APEX 20K デバイスの場合は、このパラメータの値を 1、2、または 4 に設定する必要がある。APEX 20KE デバイスの場合は、MegaWizard Plug-In Manager を使用して PLL を生成し、このパラメータの値を計算する。このパラメータが規定されなかった場合は、デフォルト値が 1 となる。

表 14 altclklock のパラメータ (4 / 5)			
ポート名	タイプ	必須	説明
CLOCK0_DIVIDE	整数	No	入力クロック周波数に対する clock0 ポートでの分周比を整数で規定する。このパラメータの値は 0 より大きい数になっている必要がある。このパラメータは clock0 のポートが使用される場合にのみ規定することができる。ただし、clock0 ポートに対してクロックの条件が設定されている場合は、このパラメータが不要となる。APEX 20K デバイスの場合は、このパラメータを 1 に設定する必要がある。APEX 20KE デバイスの場合は、MegaWizard Plug-In Manager を使用して PLL を生成し、このパラメータの値を計算する。このパラメータが規定されなかった場合は、デフォルト値が 1 となる。
CLOCK0_SETTINGS	ストリング	No	clock0 ポートで使用されるクロックの条件を規定する。このパラメータが指定されている場合は、CLOCK0_BOOST、CLOCK0_DIVIDE、OUTCLOCK_PHASE_SHIFT の各パラメータが不要となり、無視される。CLOCK0_SETTINGS と CLOCK1_SETTINGS の双方が規定されるときは、両者の位相シフト量が同じになっている必要がある。このパラメータが規定されていない場合のデフォルト設定は、UNUSED になる。
CLOCK1_BOOST	整数	No	入力クロック周波数に対する clock1 ポートでの通倍比を整数で規定する。このパラメータの値は 0 より大きい数になっている必要がある。このパラメータは clock1 ポートが使用されている場合にのみ規定することができる。ただし、clock1 ポートに対するクロック条件が規定されている場合は、このパラメータが不要になる。APEX 20K デバイスの場合、このパラメータ値は、1、2 または 4 に設定する必要がある。APEX 20KE デバイスの場合は、MegaWizard Plug-In Manager を使用して PLL を生成し、このパラメータの値を計算する。このパラメータが規定されなかった場合は、デフォルト値が 1 となる。
CLOCK1_DIVIDE	整数	No	入力クロック周波数に対する clock1 ポートでの分周比を整数で規定する。このパラメータの値は 0 より大きい数になっている必要がある。このパラメータは clock1 ポートが使用されている場合にのみ規定することができる。ただし、clock1 ポートに対するクロック条件が規定されている場合は、このパラメータが不要になる。このパラメータが規定されなかった場合のデフォルト値は 1 となる。

表 14 altclklock のパラメータ (5 / 5)			
ポート名	タイプ	必須	説明
CLOCK1_SETTINGS	ストリング	No	clock1 ポートで使用されるクロックの条件を規定する。このパラメータが指定されている場合は、CLOCK1_BOOST、CLOCK1_DIVIDE、OUTCLOCK_PHASE_SHIFT の各パラメータが不要となり、無視される。CLOCK0_SETTINGS と CLOCK1_SETTINGS の双方が規定されるときは、両者の位相シフト量が同じになっている必要がある。このパラメータが規定されていない場合のデフォルト設定は UNUSED になる。
OUTCLOCK_PHASE_SHIFT	整数	No	入力クロックに対する出力クロックの位相の遅れを入力クロック周期の倍数 (0.0、0.25、0.5 または 0.75) で規定する。これにより、入力クロックに対する 0°、90°、180° または 270° の位相シフトを精密に実現することができる。また、0ps から 1 入力クロック周期までの位相シフトが可能になる。位相シフト量がこの範囲外になった場合は、コンパイラがこの範囲になるように値を調整する。規定された値以外の位相シフト量が入力されたときは、コンパイラがそれにもっとも近い可能値を選択する。fbin ポートが使用されている場合は、このプログラマブル位相シフト機能は使用できない。clock1 と clock0 ポートに対するクロック条件が設定されている場合は、このパラメータが不要となる。このパラメータが規定されていない場合のデフォルト値は 0 になる。ClockShift 回路を使用することにより、クロックの遅延または位相を調整して精密なタイミングを実現することができる。このパラメータは OPERATION_MODE のパラメータが NORMAL に設定されている場合のみ提供される。このパラメータは APEX 20KE デバイスに対してのみ適用される。

Function Prototype

下記に、AHDL で記述した altclklock の Function Prototype の例を示します (ポート名および記述順序は Verilog HDL にも適用可能)。

```
FUNCTION altclklock (inclock, inclocken, fbin)
  WITH (INCLOCK_PERIOD, INCLOCK_SETTINGS,
        VALID_LOCK_CYCLES, INVALID_LOCK_CYCLES,
        VALID_LOCK_MULTIPLIER,
        INVALID_LOCK_MULTIPLIER, OPERATION_MODE,
        CLOCK0_BOOST, CLOCK0_DIVIDE, CLOCK0_SETTINGS,
        CLOCK1_BOOST, CLOCK1_DIVIDE, CLOCK1_SETTINGS,
        OUTCLOCK_PHASE_SHIFT)
  RETURNS (clock0, clock1, locked);
```

VHDL の Component 宣言

下記に、VHDL で記述した altclklock メガファクションの Component 宣言の例を示します。

```

COMPONENT altclklock
  GENERIC (INCLOCK_PERIOD: NATURAL;
           INCLOCK_SETTINGS: STRING := "UNUSED";
           VALID_LOCK_CYCLES: NATURAL := 3;
           INVALID_LOCK_CYCLES: NATURAL := 3;
           VALID_LOCK_MULTIPLIER: NATURAL := 1;
           INVALID_LOCK_MULTIPLIER: NATURAL := 1;
           OPERATION_MODE: STRING := "NORMAL";
           CLOCK0_BOOST: NATURAL := 1;
           CLOCK0_DIVIDE: NATURAL := 1;
           CLOCK1_BOOST: NATURAL := 1;
           CLOCK1_DIVIDE: NATURAL := 1;
           CLOCK0_SETTINGS: STRING := "UNUSED";
           CLOCK1_SETTINGS: STRING := "UNUSED";
           OUTCLOCK_PHASE_SHIFT: NATURAL := 0);

  PORT (inclock, inclocken: IN STD_LOGIC;
        fbin : IN STD_LOGIC := '0';
        clock0, clock1, locked : OUT STD_LOGIC);
END COMPONENT;

```

MegaWizard インタフェース

MegaWizard Plug-In Manager は適切なパラメータを自動的に設定します。MegaWizard Plug-In Manager の最初のページでは、新たにインスタンスを入力するか、既存のインスタンスの修正を行うかを選択できます。新たにインスタンスを入力するときは、MegaWizard Plug-In Manager の 2 ページ目で、gates のディレクトリから altclklock を選択します。同じページで、ファイル名および、AHDL、VHDL、Verilog HDL のファイル・タイプを選択することができます。図 11 に示す MegaWizard Plug-In Manager の 3 ページ目のオプションは、APEX 20KE デバイスに対してのみ適用されます。altclklock の MegaWizard Plug-In Manager で設定できるオプションが表 15 に示されています。

図 11 altclklock 用 MegaWizard Plug-In Manager の 3 ページ目の画面

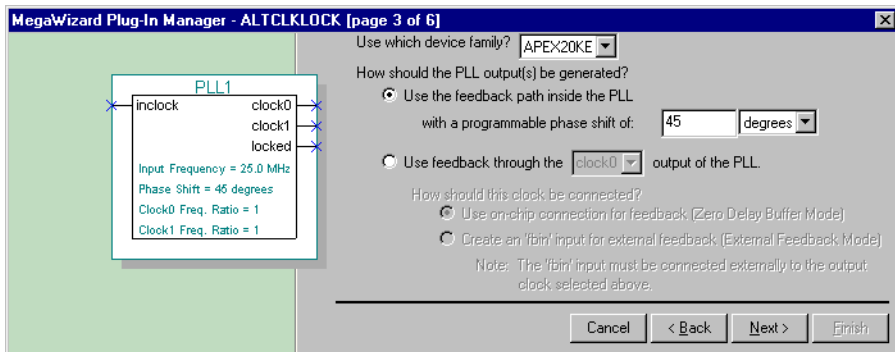
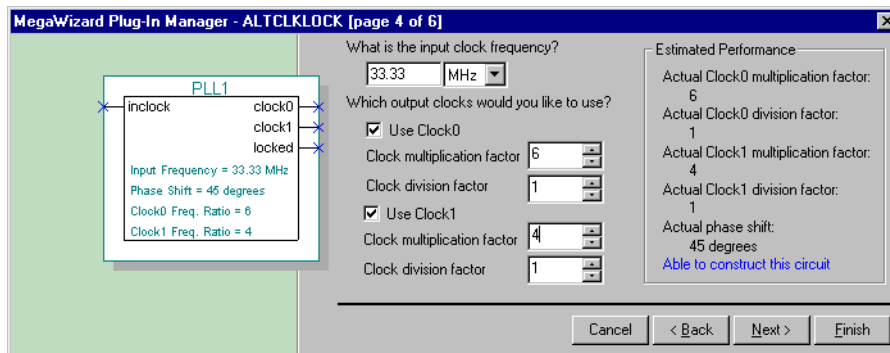


表 15 altclklock 用 MegaWizard Plug-In のオプション

オプション	説明
Use the feedback path inside the PLL (PLL 内部のフィードバック・パスを使用する)	このオプションを選択すると、OPERATION_MODE のパラメータが NORMAL に設定されます。このモードでは、PLL のフィードバック・パスが PLL の内部で使用され、レジスタに対するクロックの遅延が最小になる。このモードでは、プログラマブルな位相シフト機能が実現できる。位相シフトの量は、角度 (degree)、ps、またはドロップダウン・リスト・ボックスから ns で指定できる。実現可能なシフト量の最小分解能は、他の PLL の設定に応じて 500ps から 1ns となる。このモードでは、clock0 と clock1 の信号をデバイスの外部に出力することができるが、これらの位相はクロック入力ピンと一致しない。
Use feedback through the clock0/clock1 output of the PLL (PLL の clock0/clock1 出力からのフィードバックを使用する)	このオプションで、clock0 と clock1 の PLL 出力のいずれかが Zero Delay Buffer または External Feedback のモードでチップ外部に出力されるかを指定する。
Use on-chip connection for the feedback (zero delay buffer mode)	このオプションを選択すると、OPERATION_MODE のパラメータが ZERO_DELAY_BUFFER のモードに設定される。このモードではデバイス外部に出力されるクロック・ポートの位相がクロック入力ピンと一致し、クロック入力から外部クロック出力ピンまでの遅延が最小になる。このモードでは、位相シフト機能はサポートされない。選択されたクロック出力に乗算を適用することはできないが、除算は可能である。デバイス外部に出力されないもう一方の出力ポートには、乗算を行うことができる。
Use off-chip connection for the feedback (external feedback mode)	このオプションを選択すると、OPERATION_MODE のパラメータが EXTERNAL_FEEDBACK のモードに設定される。このモードでは、外部フィードバック入力ピンの位相がクロック入力ピンと一致する。この場合、外部クロック出力ピンと外部フィードバック入力ピンをボード上で接続しなければならない。このモードでは、Zero Delay Buffer のモードと同じ制限がある。

MegaWizard Plug-In Manager の 4 ページ目 (図 12 を参照) では、メガファンクションの入力周波数、クロックの乗算および除算を指定します。Estimated Performance のボックスには、実際の乗算ファクタ、除算ファクタ、および位相シフト量が表示されます。構成可能な回路での乗算および除算ファクタは入力した値と異なることがありますが、与えられたクロック出力に対する乗算 / 除算の比率は同じになります。構成不可能な回路に対しては、実現可能なもっとも近い乗算および除算ファクタの値が表示されます。また、Estimated Performance 値には、達成可能な位相シフト量にもっとも近い値も表示されます。実現不可能な位相シフト量が指定された場合でも、回路の構成が妨げられることはなく、コンパイラは達成可能なもっとも近い位相シフトの値を選択して、この値が Estimated Performance のボックス内にある Actual phase shift に表示されます。

図 12 altclklock MegaWizard Plug-In Manager の 4 ページ目の画面



MegaWizard Plug-In Manager の 5 ページ目 (図 13 を参照) では、PLL がロックするまで、およびロックが外れるまでのレイテンシとクロック・イネーブル・ポートのオプションが設定されます。ロックの状態を示すオプションは、ユーザ指定の乗算、除算、周波数による影響を受ける PLL の内部コンフィギュレーション・パラメータによって決定されます。これらのオプションは、VALID_LOCK_CYCLES、INVALID_LOCK_CYCLES、VALID_LOCK_MULTIPPLIER、および INVALID_LOCK_MULTIPPLIER の各パラメータを自動的に設定します。

図 13 altclklock MegaWizard Plug-In Manager の 5 ページ目の画面

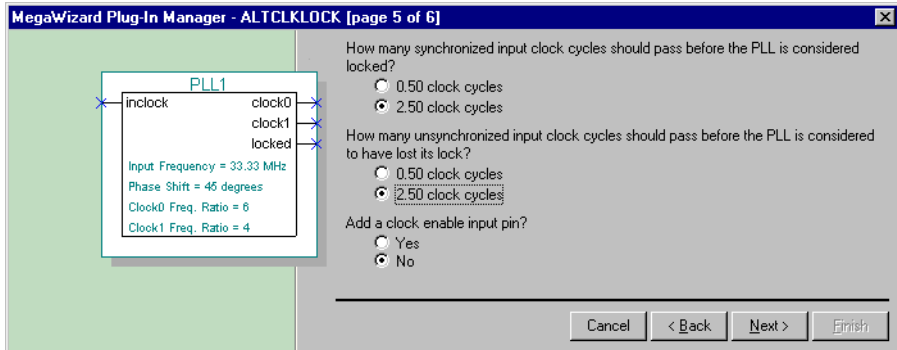


図 14 と図 15 はインスタンス化した PLL とその構成例を示しています。

図 14 2x、4x におけるクロックと反転クロックを実現した APEX 20K および APEX 20KE altclklock のインスタンス例

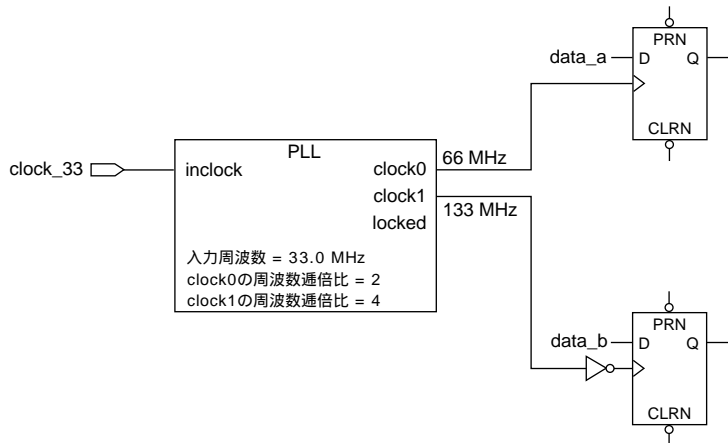
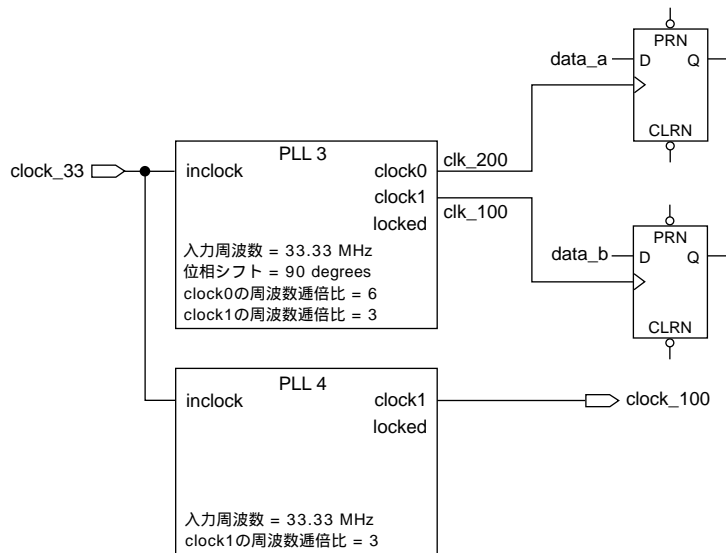


図 15 Clock 乗算、位相シフト、外部クロック出力を実現した APEX 20KE の altclock のインスタンス例



リポーティング

コンパイルーション・レポートのClockLockのセクションには、PLLに使用されるデバイス・リソースに関する情報 (altclock メガファンクションで使用されるリソース) が表示されます。コンパイルーション・インフォメーション・メッセージには、要求される clock_boost および clock_divide のファクタ、位相シフトが達成可能かどうか也表示されます。この情報は、MegaWizard Plug-In Manager を使用していない場合に指定した PLL の構成が実現可能かどうかを検証するときに便利です。clock_boost および clock_divide のファクタが実現不可能な場合、コンパイラがエラー・メッセージと達成可能なもっとも近い値を表示します。また、実現不可能な位相シフトに対しては、コンパイラが達成可能なもっとも近い値で実現した位相シフト量を表示します。また、実際の Valid lock cycles または invalid lock cycles の値も表示されます。



デザイン内に PLL が含まれていない場合は、ClockLock セクションがコンパイルーション・レポートから除外されます。ClockLock セクションの詳細については、Quartus II ソフトウェアの Help 機能を使用して確認してください。

タイミング解析

マルチ・クロック・タイミング解析で、タイミング・アナライザから「Slack」を使用した結果がレポートされます。PLLの入力クロックと出力クロックは異なるクロックであり、マルチ・クロック解析が必要です。PLLから出力されるクロックはPLLのVCOから生成され（クロック・ピンではない）、PLLの出力クロックの遅延が減少しているため、この条件は乗算ファクタが1の場合でも適用されます。

もうひとつの重要な点は、PLLが指定された周波数で動作するようにチューニングされていることです。PLLは、指定された周波数よりも高くなったり、低くなったりすると正確な動作を行うことができなくなります（2.5%の周波数許容範囲内を除く）。PLLは指定された条件にしたがって動作し、最高クロック周波数（ f_{MAX} ）では動作しないことがあります。この理由とマルチ・クロック解析が実行されることから、 f_{MAX} はレポートされません。

f_{MAX} の計算が必要な場合は、レポートされたslackから得ることができます。マイクログラフの t_{CO} 、 t_{SU} 、およびパス遅延がSlack Reportのウィンドウ内のlist pathコマンドに与えられます。これらの遅延を加算して、その逆数を計算することで、そのパスの f_{MAX} を得ることができます。

外部フィードバック入力を使用されているときは、External Input Delayのオプションを使用して外部クロック出力ピンから外部フィードバック入力までのボード上の遅延時間を規定することができます。このピン・アサインメントは、Quartus IIソフトウェアのAssignment Organizer（Toolsメニュー）にあるTimingのダイアログ・ボックスで行うことができます。

クロック・ドメイン間の転送

PLLを使用して異なるクロック・ドメイン間で同期および非同期のデータ転送を行うときは、デザインに特別な考慮を払う必要があります。次のセクションでは、これらの点について解説します

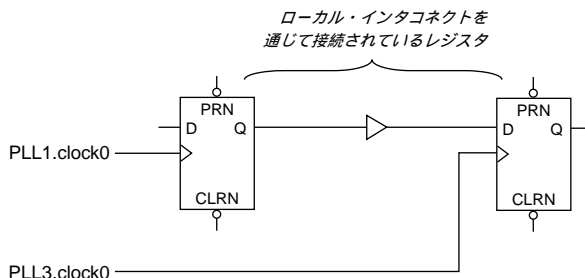
同期転送

ドメイン間の転送を行う2本のクロックが1個のPLLから生成されている場合は、レジスタ - レジスタ間のすべての同期転送（50MHzから50MHzまたは50MHzから100MHz）がすべての条件で問題なく実行され、デザインに特別な考慮を払う必要はありません。

2本のクロックが異なる2個のPLLから生成されている場合は（ClockShift機能を使用しない同一クロック入力）、ローカル・インタコネクトを通じて接続されている2つのレジスタ間でのデータ転送を保証するために、データ・パスに最低1個のLEを挿入する必要があります。他のすべてのレジスタ - レジスタ間転送は（MegaLAB™インタコネクトを通じた転送）問題なく動作し、デザインに特別な考慮を払う必要はありません。

図16は、複数のクロック・ソースによるデータ転送を実現するときローカル・インタコネクトを通じて接続されているレジスタ - レジスタ間にLCELLを挿入した例を示しています。

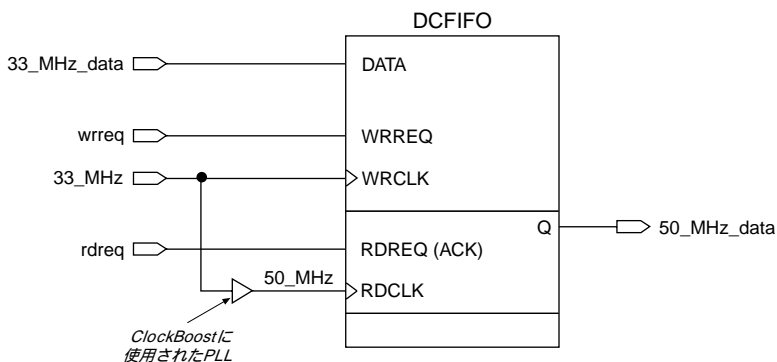
図 16 ローカル・インタコネクトを通じて接続されているレジスタ - レジスタ間にLCELLを挿入して複数のPLLクロック・ソースによるデータ転送を実現する方法



非同期転送

非同期でレジスタ - レジスタ間の転送を行うときは（50MHzから33MHzなど）適切な非同期デザイン・テクニックを適用して一方のクロック・ドメインからもう一方のクロック・ドメインへのデータ転送を行う必要があります。例えば、DCFIFO First-In First-Out (FIFO) のファンクションをデータ転送のバッファに使用することができます。図17は、データ転送のバッファにDCFIFOファンクションを使用した例を示しています。

図 17 非同期のクロック・ドメイン間のインタフェースにDCFIFOを使用する方法



レジスタ - レジスタ間の転送に ClockShift が適用されたクロックと適用されないクロックが使用されている場合は、その方向、シフト量 (180° を超える正のシフト量は負のシフト量と考慮されることがある) クロックのシフトがディスティネーション・レジスタあるいは、ソース・レジスタに発生しているかによって、 f_{MAX} の低下すなわちホールド・タイム違反が発生することがあります。

シミュレーション

APEX 20K および APEX 20KE デバイスの PLL のシミュレーションには、リファレンス・クロックを基準にしてクロック信号を生成することによって、altclklock のビヘイビア・モデルが使用可能です。APEX 20K および APEX 20KE 用ビヘイビア・モデルのインスタンス化は、デザイン入力時と同じガイドラインと制限にしたがって行う必要があります。altclklock のビヘイビア・モデルとタイミング・モデルは、ジッタやロックまでの時間はシミュレーションしません。シミュレーションは時間軸ゼロにおいては、既にロックされると仮定してシミュレーションが行われます。ロックが表示されるまでのレイテンシはモデル化されています。

外部フィードバック入力ピンをシミュレーションする場合は、次の手順にしたがって、外部フィードバック入力ピンを External Input Delay オプションで設定する必要があります。

1. Quartus II ソフトウェアで、Assignment Organizer (Tools メニュー) を選択します。
2. By Node のタブを選択します。Mode のボックスで、Edit Specific Entity & Node Settings for: を選択します。
3. Browse (...) をクリックします。Node Finder を使用して外部フィードバック入力ピンをサーチし、OK をクリックします。
4. Assignment Organizer において、assignment categories のリストにある Timing をクリックします。Name のリストから External Input Delay を選択します。次に、Setting のボックスに、外部クロック出力ピンから外部フィードバック入力ピンまでのボード上の遅延時間をタイプします。ここで、遅延時間は 5ns または入力クロック期間の 50% を超えることはできません。最後に OK をクリックします。

この設定を行うと、シミュレータが外部フィードバックのある外部クロック出力のタイミングをモデリングできます。

altclklock メガファンクションのビヘイビア・モデルは、\quartus\eda\sim_lib のディレクトリにあります。apex20ke_mf.vhd ファイルには VHDL のビヘイビア・モデルが含まれており、APEX 20K および APEX 20KE デバイスの双方で altclklock に対して使用することができます。また、apex20ke_mf.v ファイルには Verilog HDL のビヘイビア・モデルが含まれており、APEX 20K および APEX 20KE デバイスの双方で altclklock に対して使用することができます。

ピヘイピア・モデルはパラメータのエラー・チェックを実行しないため、ユーザはaltclockの各パラメータに有効な値のみを定義していなければなりません。APEX 20K デバイスをターゲットにする場合は、APEX 20K デバイ스에適用可能なパラメータのみに適切な値を定義する必要があります。

モデルを問題なくシミュレーションするためには、VHDLシミュレータの分解能がps単位に設定されている必要があります。この分解能の単位が大きくなると、計算に丸めが発生し、不正確な乗算結果や除算結果が生成されることになります。

デザイン内に altclklock モデルをインスタンス化した VHDL の記述例

下記は、デザイン内に altclklock モデルをインスタンス化した VHDL の記述例を示します。

```

library ieee;
use ieee.std_logic_1164.all;
entity pll_design is
    port ( inclock    : in std_logic;
          inclocken  : in std_logic;
          data_in1   : in std_logic_vector(7 downto 0);
          clock0     : out std_logic;
          r_out      : out std_logic_vector(7 downto 0);
          locked     : out std_logic);
end pll_design;

architecture apex of pll_design is

component my_dff
    port ( clock      : in STD_LOGIC;
          data       : in STD_LOGIC_VECTOR(7 DOWNTO 0);
          q          : out STD_LOGIC_VECTOR(7 DOWNTO 0));
end component;

component altclklock
    generic (
        inclock_period          : natural;
        inclock_settings       : string := "UNUSED";
        valid_lock_cycles      : natural := 5;
        invalid_lock_cycles    : natural := 5;
        valid_lock_multiplier  : natural := 5;
        invalid_lock_multiplier: natural := 5;
        operation_mode         : string := "NORMAL";
        clock0_boost           : natural := 1;
        clock0_divide          : natural := 1;
        clock1_boost           : natural := 1;
        clock1_divide          : natural := 1;
        clock0_settings        : string := "UNUSED";
        clock1_settings        : string := "UNUSED";
        outclock_phase_shift   : natural := 0 );

    port (inclock    : in std_logic;
          inclocken  : in std_logic;
          fbin       : in std_logic := '0';
          clock0     : out std_logic;
          clock1     : out std_logic;
          locked     : out std_logic);
end component;

```

```

signal      clock1_sig : std_logic;
begin
U0: altclklock
generic map
(
    inclock_period => 40000,
    clock1_boost => 4,
    clock1_divide => 1,
    clock0_boost => 2,
    clock0_divide => 1,
    operation_mode => "NORMAL",
    valid_lock_cycles => 5,
    invalid_lock_cycles => 5,
    valid_lock_multiplier => 5,
    invalid_lock_multiplier => 5,
    outclock_phase_shift => 10000
)

    port map
        (inclock => inclock,
         inclocken => inclocken,
         clock0 => clock0,
         clock1 => clock1_sig,
         locked => locked);
process(clock1_sig)

begin
    if clock1_sig'event and clock1_sig = '1' then
        r_out <= data_in1;
    end if;

end process;
end apex;

```

VHDL デザインに対するテストベンチ例

下記は、VHDL デザインに対するテストベンチの例を示したものです。

```

library ieee;
use ieee.std_logic_1164.all;

entity plltest2 is
end plltest2;

architecture behave2 of plltest2 is

    signal inclock : std_logic := '0';
    signal inclocken : std_logic;

```

```
        signal data_in1 : std_logic_vector(7 downto 0) :=
"10101010";
        signal clock0 : std_logic;
        signal locked : std_logic;
        signal r_out : std_logic_vector(7 downto 0);

        component pll_design
        port (
            inclock : in std_logic;
            inclocken : in std_logic;
            data_in1 : std_logic_vector(7 downto 0);
            clock0 : out std_logic;
            r_out : out std_logic_vector(7 downto 0);
            locked : out std_logic) ;
        end component;
begin

inclocken <= '1' after 5 ns;

U0 : pll_design port map (
    inclock => inclock,
    inclocken => inclocken,
    data_in1 => data_in1,
    clock0 => clock0,
    r_out => r_out,
    locked => locked);

process(inclock)
begin
    for i in 1 to 100 loop
        inclock <= not inclock after 20 ns;
    end loop;
end process;

end behave2;

configuration pllconfig of plltest2 is
    for behave2
        for U0: pll_design use entity
work.pll_design(apex);
        end for;
    end for;
end pllconfig;
```

デザイン内に altclklock モデルをインスタンス化した Verilog HDL の記述例

下記は、デザイン内に altclklock モデルをインスタンス化した Verilog HDL の記述例を示します。

```
module pllsource (inclock, inclocken, data_in1, clock0,
r_out, locked);
    input inclock, inclocken;
    input [7:0] data_in1;
    output clock0, locked;
    output [7:0] r_out;

    wire clock1_sig;
    reg [7:0] r_out;

    altclklock PLL_1
        ( .inclock(inclock), .inclocken(inclocken),
        .clock0(clock0),
        .clock1(clock1_sig), .locked(locked));

    defparam
        PLL_1.inclock_period = 50000,
        PLL_1.inclock_settings = "UNUSED",
        PLL_1.clock0_settings = "UNUSED",
        PLL_1.clock1_settings = "UNUSED",
        PLL_1.valid_lock_cycles = 5,
        PLL_1.invalid_lock_cycles = 5,
        PLL_1.valid_lock_multiplier = 5,
        PLL_1.invalid_lock_multiplier = 5,
        PLL_1.clock0_boost = 4,
        PLL_1.clock1_boost = 2,
        PLL_1.clock0_divide = 1,
        PLL_1.clock1_divide = 1,
        PLL_1.outclock_phase_shift = 0,
        PLL_1.operation_mode = "NORMAL";

    always @(posedge clock1_sig)
    begin
        r_out = data_in1;
    end
end
```

Verilog HDL デザインに対するテストベンチ例

下記は、Verilog HDL デザインに対するテストベンチの例を示したものです。

```
timescale 1 ns/100ps

module plltest;

parameter tmp = 8'b 10101010;
reg inclock, inclocken;
reg [7:0] data_in1;
wire clock0, locked;
wire [7:0] r_out;

pllsource U1
    ( .inclock(inclock), .inclocken(inclocken),
      .data_in1(data_in1),
        .clock0(clock0), .r_out(r_out), .locked(locked));

initial
    data_in1 = tmp;

initial
    inclock = 0;
always #25 inclock = ~inclock;

initial
begin
    #0 inclocken = 0;
    #5 inclocken = 1;
end

initial
begin
    #100 data_in1 = 8'b 11110000;
    #200 data_in1 = 8'b 00110011;
end

endmodule
```

サンプル波形

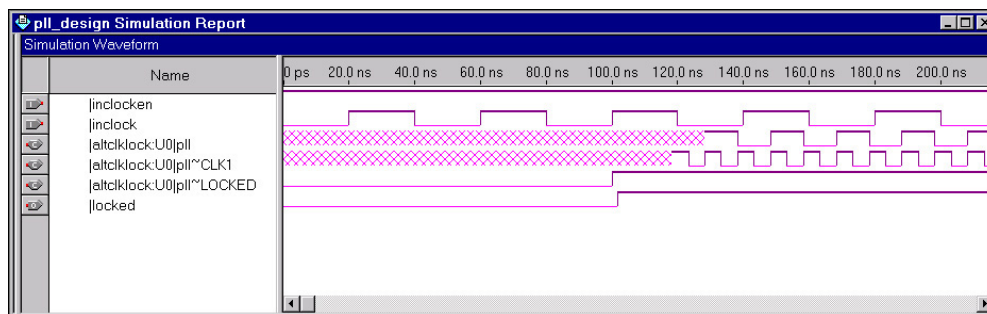
図18は、APEX 20KEデバイスのPLLから2本のクロックを出力したときの波形の一例を示したものです。この例では、clock0が2×のクロック、clock1が4×のクロックになっており、双方のクロックの位相が90°進んだ形になっています。シミュレーションでは、

|altclklock|<インスタンス名>|pllがPLLのclock0出力、

|altclklock|<インスタンス名>|pll~CLK1がPLLのclock1出力、

|altclklock|<インスタンス名>|pll~LOCKEDがlocked出力です。タイミング・シミュレーションでは、出力クロックがフリップフロップのクロック・ポートではなくPLLの出力段で見られているため、僅かに負の位相シフトを持つようになっています。これらの出力クロックがRAMやフリップフロップのクロック・ポートに到達するときには、正の遅延が加算されます。

図 18 90°の位相シフトがある2本のクロック出力に対するタイミング・シミュレーションの出力波形



アプリケーション

このセクションでは、APEX 20KEデバイスの ClockLock、ClockBoost、および ClockShift 機能を使用したいいくつかのアプリケーション例について解説します。

クロックの乗算と除算

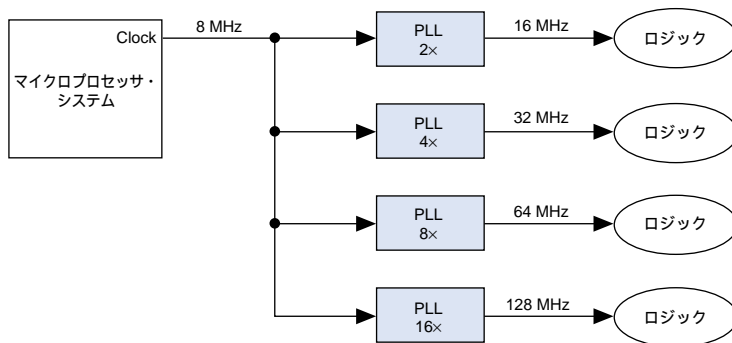
ClockBoost 機能を利用することによって、プリント基板上で分配されるクロックを低速にすることが可能になり、高速クロックの分配による影響を低減することができます。ボード上で低速のクロックを使用し、ClockBoost 機能によってデバイス内部のクロック・スピードを高速化することができます。

低速クロックを使用することは伝送ラインへの影響を低減することに役立ち、プリント基板のレイアウトを簡単にすることもできます。APEX 20K デバイスでは、プリント基板上のクロック周波数をデバイス内部で2倍または4倍にすることができます。また、APEX 20KE デバイスでは、さらに複雑な比率での周波数演算を行うことができます。詳細については、23 ページの表 12 と 24 ページの表 13 を参照してください。

クロックの乗算と除算は、通信関係のアプリケーションで特に有効となります。転送レートの乗算や除算が必要になる場合は、ClockBoostの機能を活用することができます。クロックの乗算と除算は、パラレル・データ・ストリームとシリアル・データ・ストリームとの間で変換を行うときのビット・レートの維持にも必要となります。

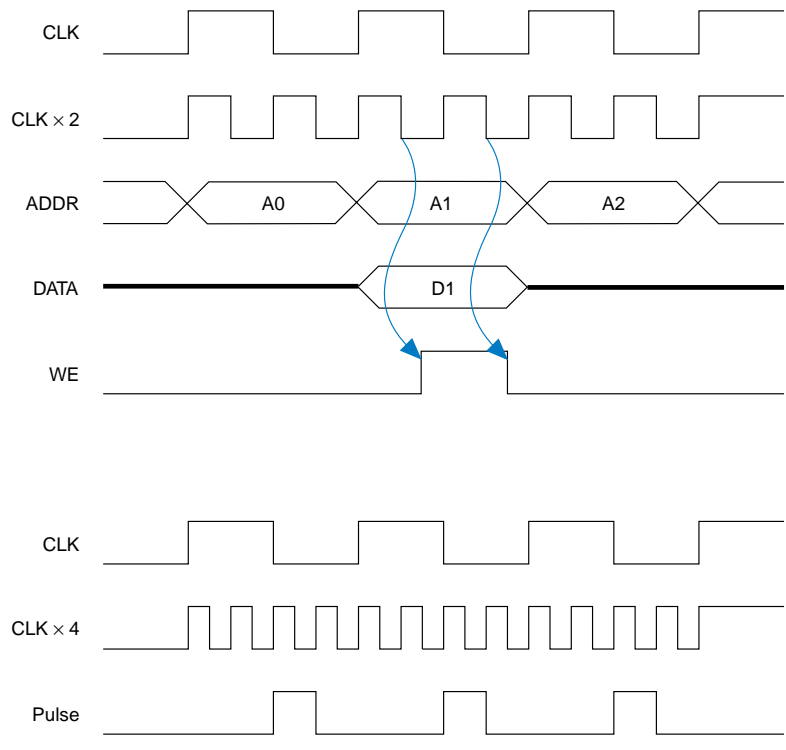
マイクロプロセッサをベースにしたシステムでは、システム・クロックが他のシステム・コンポーネントより低速で動作することもあります。例えば、エンベデッド・プロセッサやその周辺機器回路が、システムのI/Oバス・クロックよりも高速で動作することがあります。エンベデッド・システムのアプリケーションでは、同期化やカウンタのような動作にさらに高速な内部レートが必要になることもあります。APEX 20K デバイスを使用したエンベデッド・システムのアプリケーションでは、ClockBoostの機能を利用して低速のシステム・バス・クロックを乗算して高速化することができます。APEX 20K デバイスの乗算と除算の機能を活用することによって、system-on-a-programmable-chip デザインの開発が可能になります。図19は、エンベデッド・システムのアプリケーションにおけるクロックの合成例を示したものです。

図19 クロックの合成機能を活用したエンベデッド・システムのアプリケーション



ClockBoost機能を使用して、可変パルス幅の信号を生成することができます。周波数の乗算機能とカウンタを使用し、カウンタをドライブする信号の周波数を乗算することによって、多様なパルス幅を生成することができます。これらのパルスは外部のSRAMまたはDRAMとのインタフェースに使用することができます。例えば、DRAMとのインタフェースに要求されるライト・イネーブル(WE)、ロウ・アドレス・ストロープ(RAS)、カラム・アドレス・ストロープ(CAS)信号を規定されたアドレスおよびデータのセットアップ・タイムになるように生成することができます。図20を参照してください。

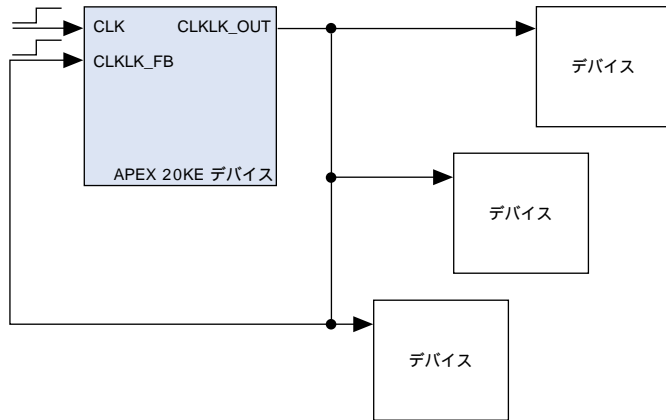
図 20 乗算機能を使用したパルスの生成



プリント基板上の遅延を低減

APEX 20KEデバイスのフィードバック・ピンを活用することによって、プリント基板に実装された複数のデバイス間でのクロック・スキューを低減することができます。PLLはフィードバック入力を調整して入力クロック、CLKに一致させます。PLLは、動作中の温度や電圧の条件で生じる遅延の変化を計算し、出力を動的に調整します。プリント基板を設計するときは、フィードバック入力に含まれるリターン遅延を各デバイスへの配線遅延に一致させる必要があります。同じような遅延時間を実現することによって、フィードバック入力のエッジと各デバイスにクロックが到達するまでの時間が一致し、プリント基板での遅延を解消することができます。図21は、APEX 20KEデバイスを使用してプリント基板上の遅延時間を低減する方法を説明したものです。

図 21 APEX 20KE デバイスによるプリント基板上の遅延を低減する方法
注 (1)



注:
(1) プリント基板を設計するときは、CLKLK_OUT1 から各デバイスへの配線遅延と CLKLK_FB1 へのリターン・パスの遅延が等しくなるようにする必要があります。



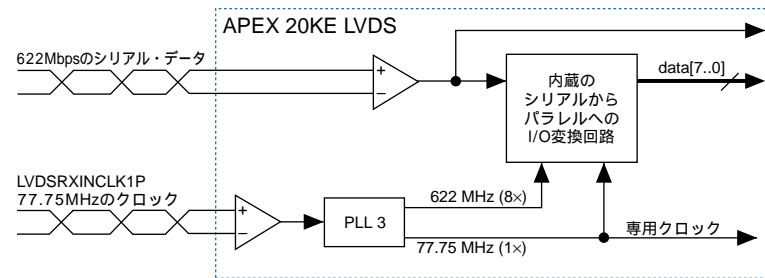
APEX 20KE デバイスの CLKLK_OUT と CLKLK_FB 信号との間の遅延時間は、最小に抑える必要があります。PLL の「clock-to-output」遅延にプリント基板上的での配線遅延を加えた時間が、5ns または入力クロック期間の 50% 以下になるようにしてください。

LVDS

EP20K400E およびそれより高集積のデバイスでは、2 個の汎用 PLL を LVDS インタフェース用にコンフィギュレーションすることができます。これらの PLL は、APEX 20KE デバイスの LVDS 差動入出力ブロックとのインタフェースを実現します。クロック入力を 4 倍、7 倍、または 8 倍に乗算することによって、内蔵の専用パラレル - シリアル・コンバータおよびシリアル - パラレル・コンバータを使用した LVDS/CMOS のデータ変換を行うことができます。

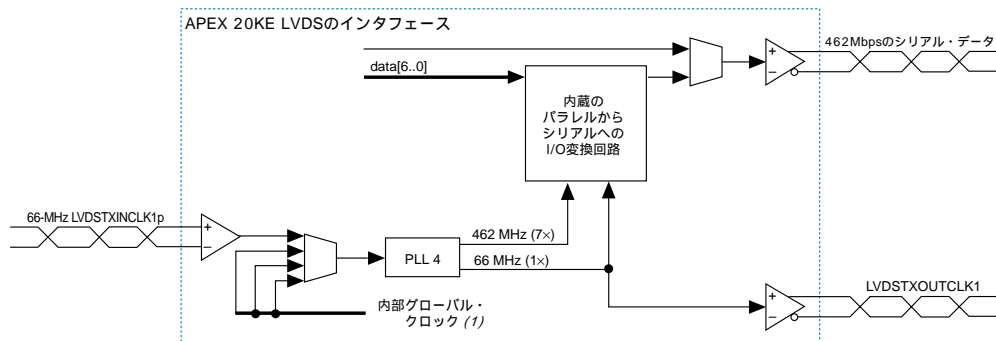
APEX 20KE デバイスを LVDS インタフェース用にコンフィギュレーションした場合は、PLL-3 を使用して LVDSRXINCLK1p 入力が乗算されます。シリアルからパラレルへの変換回路は乗算されたクロックを使用して、高速のシリアル LVDS データを低速のパラレル CMOS データに変換します。ここで使用される乗算ファクタは、要求されるマルチプレクサおよびデマルチプレクサの比率と一致している必要があります。例えば、622Mbps の LVDS チャネルに 1 対 8 の変換比率が必要となる場合は、77.75MHz のクロック入力に対する乗算ファクタを 8 にする必要があります。低速の LVDS データが入力される場合は、必要に応じてシリアル・パラレル・コンバータと PLL をバイパスすることもできます。図 22 は、内蔵の LVDS 入力インタフェースが 622Mbps のシリアル LVDS 入力とのインタフェースを行い、マルチプレクサ/デマルチプレクサの比率を 1 対 8 とした場合の例を示しています。

図 22 APEX 20KE の LVDS レシーバ・インタフェース



APEX 20KE デバイスが LVDS を使用するようにコンフィギュレーションした場合は、PLL-4 を使用して LVDSTXINCLK1p 入力が増算されます。パラレルからシリアルへの変換回路は、増算されたクロックを使用して、低速のパラレル CMOS データを高速のシリアル LVDS 出力データに変換します。ここで使用される増算ファクタは、要求されるマルチプレクサおよびデマルチプレクサの比率と一致している必要があります。例えば、462Mbps の LVDS 出力に 7 対 1 の変換比率が必要となる場合は、66MHz の入力クロックにする増算ファクタを 7 にする必要があります。低速の LVDS シリアル・データが出力される場合は、必要に応じてパラレル - シリアル・コンバータと PLL をバイパスすることもできます。図 23 は、内蔵の LVDS 出力インタフェースが内部のパラレル・データを 7 対 1 の比率で 462Mbps のレートの LVDS シリアル・データに変換する例を示しています。

図 23 APEX 20KE LVDS のトランスミッタ・インタフェース



注：

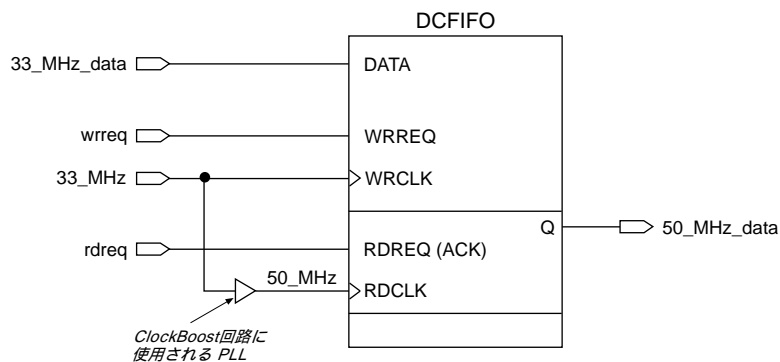
- (1) LVDS のモードでは、PLL-4 が LVDSTXINCLK1p または残り 3 本の内部グローバル・クロック (G1、G2、G3) のうちの 1 本と接続されます。汎用の PLL と接続されている場合は、これらの残りグローバル・クロックは使用できません (レシーバ PLL は可能)

T1 と E1 のクロック・ドメイン変換

APEX 20KE デバイスの ClockBoost 回路は、T1 規格のクロック周波数 (1.544MHz) から E1 規格のクロック周波数 (2.048MHz) への変換、またはその逆の変換を実行する場合にも使用できます。ClockLock 回路には、T1/E1 変換を実行するための特殊なモードが提供されています。このときの乗算は、CLOCK0_BOOSTとCLOCK0_DIVIDEのパラメータを256/193または193/256に設定することによって実現されます。

どのような種類のクロック・ドメインのデータ転送でも、あるクロック・ドメインから他のクロック・ドメインにデータを転送するためには、適切な非同期設計技術が必要になります。例えば、DCFIFOのFIFO(First-In First-Out)機能を使用して、転送されるデータをバッファすることができます。図24は、DCFIFOを使用して異なるクロック・ドメイン間のデータをインタフェースする例を示したものです。この例では、DCFIFOには、データとT1クロックが入力され、PLLをT1クロックに同期させています。DCFIFOの出力は、PLLによってE1のレートに変換されたクロックに同期させる必要があります。PLLの出力をE1クロックにすることによって、出力データのE1への同期化が実現されます。同様の方法は、異なるクロック・ドメイン間でのデータの同期化を実現するときに使用できます。

図 24 DCFIFO を使用した異なるクロック・ドメイン間のインタフェース

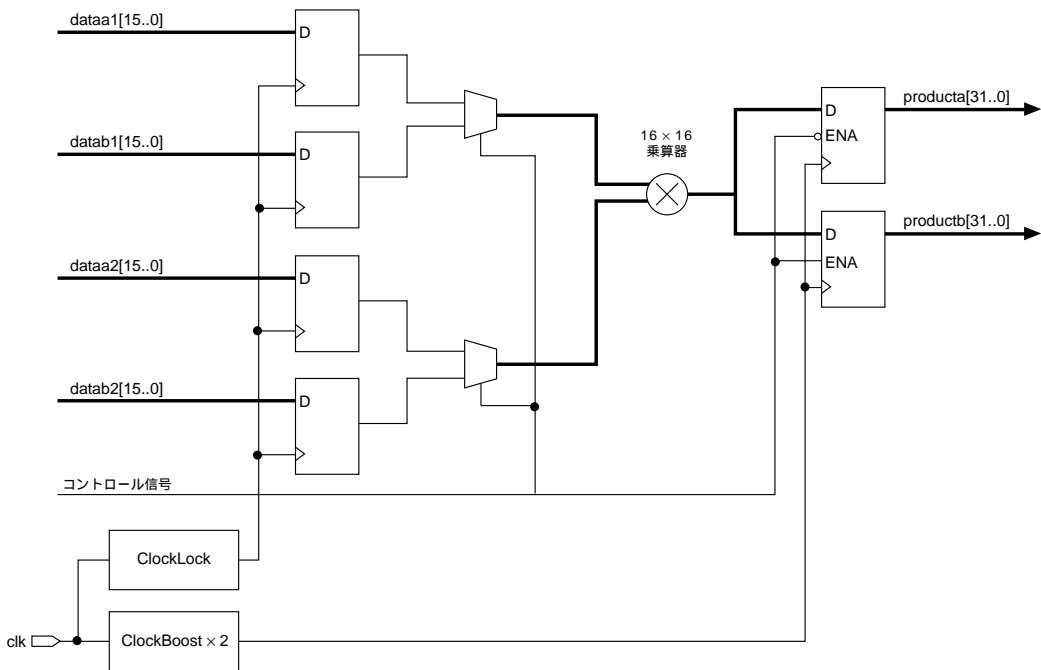


時分割多重

ClockBoost機能を活用して、特定の回路を1クロック・サイクルで複数回使用する時分割多重 (Time-Domain Multiplexing) のアプリケーションを実現することができます。APEX 20K デバイス内の ClockBoost 回路により、クロック周波数を2倍または4倍にすることによって、同じ回路を1システム・サイクルで2回または4回動作させることができます。このような時分割多重のテクニックを使用することにより、必要な機能を少ないロジック・エレメント (LE) またはESBで実現することができます。

例えば、2個の 16×16 乗算器を使用する回路では、各乗算器に447個のLEが使用され、合計894個のLEが必要になります。この場合、システム・クロックを2倍にして、1個の乗算器を各クロック・サイクルごとに2回動作する回路を実現する方法があります。このような乗算回路では、乗算器の入力側に2組の入力を切り換えるマルチプレクス機能が必要になりますが、出力側ではマルチプレクスせずに2回の乗算結果を出力することができます。このような時分割動作の実現にはいくつかのLEが必要となりますが、乗算器が1個だけになるため、使用されるトータルLE数を大幅に減少させることができ、コストの低減を図ることができます。図25は、時分割多重を実現した回路例を示したものです。

図 25 時分割多重回路



同様な手法は、4個の乗算器を必要とする回路にも応用できます。この場合は、4倍のクロックを使用して、図25で示されている2対1のマルチプレクサの代わりに4対1のマルチプレクサを使用します。4倍のクロック・サイクルごとに1個の出力バス・レジスタがイネーブルになるワンホット・カウンタまたはワンホット・ステート・マシンを使用したコントロール・ライン・バスを作成することによって、シングル・システム・クロック・サイクルで1個の乗算器を4回使用する回路を実現することができます。表16には、時分割多重のテクニックを適用することによって、使用するLE数をどの程度減少させることができるかが示されています。

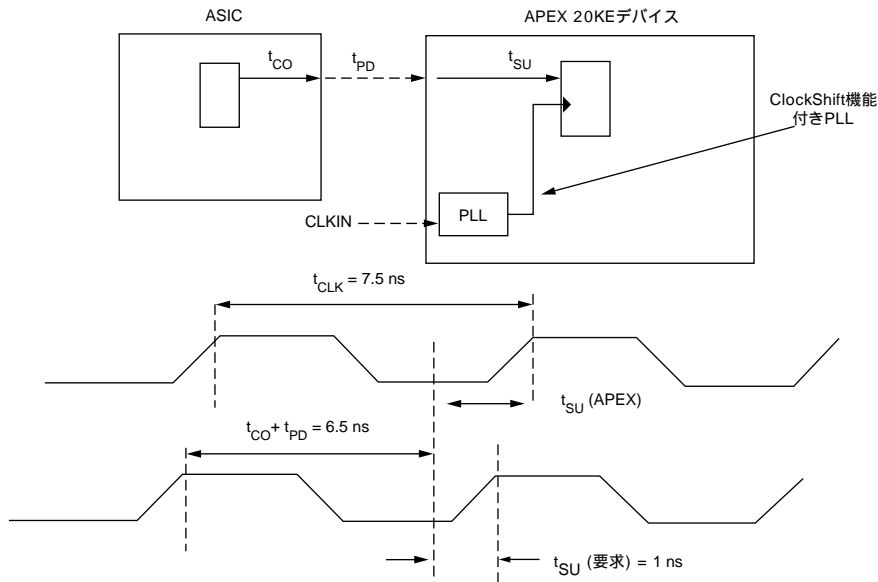
表 16 16 × 16 乗算器に必要なリソースの比較	
デザイン	使用 LE 数
2個の 16 × 16 乗算器	894
2 × の ClockBoost 機能を使用して2個の 16 × 16 乗算器を時分割多重で実現	547
4個の 16 × 16 乗算器	1,788
4 × の ClockBoost 機能を使用して4個の 16 × 16 乗算器を時分割多重で実現	741

ClockShift のアプリケーション

PLLクロック出力の位相と時間遅延を調整する機能は、数多くのインタフェース・アプリケーションに適用することができます。例えば、遅延を調整することで、クロックの調整機能なしでは実現できないような厳しいタイミング条件に簡単に適合させることができます。クロック出力のタイミングを進めたり、遅らせることによって、複数のクロック間で生じる遅延時間を利用してPLDまたは外部デバイスの「Clock-to-Output」遅延を改善することができます。

SDRAMのような高速デバイスに要求されるアクセス・タイムを実現するためには、インタフェースするデバイスが与えられたクリティカル・バスを満足する高速のセットアップ・タイムを確保している必要があります。この場合、ディスティネーションとなるチップの入力レジスタに与えられる内部クロックが入力クロックから一定の時間だけ進むように調整することができます。クロック・エッジをずらすことにより、ディスティネーション・デバイスの入力レジスタでのセットアップ・タイムを短縮することができます。図26は、APEX 20KEデバイスとASICデバイス間のインタフェースとタイミングを示したものです。この例では、APEX 20KEデバイスがASICから5.5nsの t_{CO} でデータを受信できるようになっています。ここで、システム・スピードを133MHz、ASICとAPEX 20KEデバイスとの間のボード上の伝播遅延(t_{PD})を1nsと仮定した場合、 t_{CO} と t_{DELAY} の合計は6.5nsとなります。これは、APEX 20KEデバイスに残されたセットアップ時間が1.0nsしかないことを意味します(7.5nsが周期)。このような場合でも、APEX 20KEデバイスの内部クロックの位置を t_{SU} (PLD)から要求される t_{SU} を差し引いた値まで調整することによって、要求されるタイミング条件を満たすことができます。

図 26 APEX 20KE と ASIC 間のインタフェース・タイミングを実現する方法



フィードバックを使用しない場合でも、クロックの遅延時間をコントロールする機能を使用して、クロック・ソースからディスティネーション・デバイスまでの距離に応じてクロックの遅延時間を調整することができます。ユーザがAPEX 20KEデバイスの外部クロック出力をマニュアルで調整して、プリント基板の遅延を補正することも可能です。

位相の調整機能は、外部デバイスとのインタフェースにも活用できます。分離された2つのaltclklock回路を使用して入力クロックの位相を調整して、2本の異なるクロックを外部に出力することができます。例えば、1本のクロック入力からこれらの外部出力を生成して、3相DCモータに使用することができます。

まとめ

PLLを使用してAPEX 20Kデバイスに実現されたClockLockとClockBoostの最先端機能は、システム性能を大幅に改善すると共に、デザインの応用範囲をさらに拡大させています。デバイス内のクロックの遅延を低減し、スキューを解消することによってデザインの速度が改善され、時分割多重の回路を実現することでエリア効率が改善されます。ClockBoostの機能を使用してデバイスの内部ロジックを入力クロック周波数よりも高速のレートで動作させることによって、プリント基板の設計を簡単に行うことができます。APEX 20KEで実現されたClockLockとClockBoostの最先端機能は、さらに複雑なクロックの合成を必要とするアプリケーションにも対応できる $m/(n \times k)$ による乗算、LVDS I/Oインタフェース、位相調整なども実現しています。

更新履歴

このアプリケーション・ノート、AN 115のバージョン2.2では、以前に刊行されたバージョンから下記の内容が変更されています。

バージョン 2.2 での変更

- 表10のCLKp [1..4] ピンの説明を更新
- 図7と図8を更新

バージョン 2.1 での変更

- 表3、表4、表6、および表11を更新
- 表7、表8を追加
- 図7と図23を更新
- APEX 20KEデバイスに関連する部分を更新

バージョン 2.01 での変更

- 16ページから19ページまでのボード・レイアウトに関する情報を更新
- 図9と図26を更新
- 表11を更新

Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



I.S. EN ISO 9001

Copyright © 2001 Altera Corporation. All rights reserved.

ALTERA

日本アルテラ株式会社

〒163-1332
東京都新宿区西新宿 6-5-1
新宿アイランドタワー 32F 私書箱 1594 号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.co.jp>
E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラの web サイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のアプリケーション・ノートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。