

イントロダクション

アルテラAPEX™ 20Kデバイス・ファミリは、ルック・アップ・テーブル (LUT) ロジックとプロダクト・ターム・ロジック、およびエンベデッド・メモリの組み合わせを実現した革新的なデバイスです。263,000ゲートから最大2,670,000ゲートのシステム・ゲート数を提供するAPEX 20Kデバイスの革命的なアーキテクチャはSystem-on-a-Programmable-Chip™の集積化を実現しており、各ファンクションをルック・アップ・テーブル (LUT) ロジック、プロダクト・ターム・ロジック、およびエンベデッド・メモリに最適化して1個のデバイス上に集積できるようにしています。LUTアーキテクチャは、多数のレジスタを必要とするデータ・パスや演算機能を構成するときに使用することができます。また、プロダクト・ターム・ロジックは、高速で高ファン・インの組み合わせ回路を構成するときに使用することができます。APEX 20Kプログラマブル・ロジック・デバイス (PLD) はこれら3種類のアーキテクチャを組み合わせることによって、設計者が求める高い性能と柔軟性そして効率性を実現した初めてのデバイスです。

このアプリケーション・ノートでは、APEX 20Kデバイス・ファミリに採用されているゲート数の算出方法を解説し、ゲート数の算出に使用される用語を定義しています。この資料では、ロジック・アレイ部のゲート数とエンベデッド・アレイのゲート数を算出する方法と、それらを合計してAPEX 20Kデバイスの標準ゲート集積度を算出する方法が解説されています。また、標準的な「シー・オブ・ゲート」タイプのゲートアレイであるLSI Logic社のLCA300Kファミリを取り上げ、APEX 20Kデバイスのゲート数とゲートアレイのゲート数を比較しています。

ゲート数の仕様

表1と表2は、APEX 20Kデバイスのゲート数の仕様を含む特長をまとめたものです。

機能	EP20K100E EP20K100	EP20K160E	EP20K200E PP20K200	EP20K300E
ロジック・アレイ・ゲート数	50,000	77,000	100,000	138,000
エンベデッド・アレイ・ゲート数	3,300 ~ 213,000	5,100 ~ 328,000	6,700 ~ 426,000	9,200 ~ 590,000
標準ゲート数	53,000 ~ 106,000	82,000 ~ 163,000	106,000 ~ 211,000	147,000 ~ 293,000
最大システム・ゲート数	263,000	404,000	526,000	728,000
ロジック・エレメント数	4,160	6,400	8,320	11,520
エンベデッド・システム・ブロック数	26	40	52	72
MegaLAB™数	26	40	52	72
最大RAMビット数	53,248	81,920	106,496	147,456
プロダクト・ターム数	832	1,280	1,664	2,304
最大マクロセル数	416	640	832	1,152
最大I/Oピン数	252	320	382	420

表 2 APEX 20Kデバイスの機能 注(1)

機能	EP20K400E EP20K400	EP20K600E	EP20K1000E
ロジック・アレイ・ゲート数	200,000	292,000	507,000
エンベデッド・アレイ・ゲート数	13,300 ~ 852,000	19,500 ~ 1,245,000	33,800 ~ 2,163,000
標準ゲート数	213,000 ~ 423,000	311,000 ~ 618,000	541,000 ~ 1,073,000
最大システム・ゲート数	1,052,000	1,537,000	2,670,000
ロジック・エレメント数	16,640	24,320	42,240
エンベデッド・システム・ ブロック数	104	152	264
MegaLAB数	104	152	264
最大RAMビット数	212,992	311,296	540,672
プロダクト・ターム数	3,328	4,864	8,448
最大マクロセル数	1,664	2,432	4,224
最大I/Oピン数	502	620	780

注：

- (1) IEEE Std.1149.1のJoint Test Action Group (JTAG)バウンダリ・スキャン・テストが必要なデザインでは、内蔵されたJTAG回路により、最高52,130ゲート分が追加されていることになります。

表 3 は、APEX 20Kデバイスの特長の解説で使用される用語を説明したものです。

表 3 APEX 20Kデバイスの用語 (1/2)

用語	概要
ロジック・エレメント (LE)	ロジック・エレメントは、APEX 20Kアーキテクチャのロジック・アレイを構成する基本的なロジックのビルディング・ブロックです。各LEは、4入力LUTとプログラマブルなフリップフロップ、キャリアおよびカスケード機能用の信号パスで構成されています。
ロジック・アレイ	ロジック・アレイは、ゲートアレイのシー・オブ・ゲートと同じような機能を実現しています。ロジック・アレイは、カウンタ、アダー、ステート・マシン、マルチプレクサのような標準的なロジックを構成するときに使用されます。
ロジック・アレイ・ゲート数	ロジック・アレイ・ゲート数は、デバイス内のロジック・アレイによって提供される使用可能なゲートの合計数です。
ロジック・アレイ・ブロック (LAB)	ロジック・アレイは、複数のLABで構成されています。各LABは、10個のロジック・エレメントと1本のローカル・インタコネクで構成されています。10個のLEで10ビット・カウンタ、アドレス・デコーダ、ステート・マシンのような中規模のロジック・ブロックを構成することができ、複数のLABを接続して大規模なロジックのブロックを構成することもできます。
エンベデッド・システム・ ブロック (ESB)	エンベデッド・システム・ブロックは、RAM、ROM、FIFO (First-In First-Out)、デュアルポートRAM、CAM (Content-Addressable Memory) を構成するときに使用されます。このESBには、デジタル信号処理 (DSP)、マイクロコントローラ、ワイド・データ・パスの操作やデータ変換機能などのような複雑なロジック・ファンクションを構成することもできます。ESBには、ルック・アップ・テーブルまたはプロダクト・タームを構成することもできます。

表 3 APEX 20Kデバイスの用語 (2/2)	
用語	概要
MegaLAB構造	MegaLAB構造は、MegaLABインタコネクタで接続される16個のLABと1個のESBで構成される新しい階層レベルとなっています。MegaLAB内の隣接したLABは、FLEX® 6000デバイスのローカル配線と同じようなローカル配線構造により、相互に接続することができます。
ESBアレイ・ゲート数	ESBアレイ・ゲート数は、エンベデッド・アレイ内の使用可能なゲートの合計数です。
プロダクト・ターム	プロダクト・タームは、多入力ANDゲートです。これらのANDゲートは、ESBにプロダクト・ターム・ロジックを実現するときに、マクロセルに組み込まれます。
最大マクロセル数	すべてのESBが、プロダクト・ターム・ロジックとしてすべて使用されたときに使用可能なマクロセル数です。
最大RAMビット数	すべてのESBが、メモリ・ファンクションとしてすべて使用されたときに使用可能なビット数です。
標準ゲート数	1個のAPEX 20Kデバイスで実現可能なゲート・アレイのサイズを指したものです。標準ゲート数は、デザインがロジック・アレイとエンベデッド・アレイを使用することを想定して算出されています。また、エンベデッド・アレイの一部が、メモリとロジック・ファンクションの双方で使用されているということを仮定して算出されています。
最大システム・ゲート数	ESBが100%メモリとして使用されたときのゲート数です。この算出方法は、FPGAベンダが「システム・ゲート」を定義するときに採用しているゲート算出方法とほぼ同じです。

ロジック・アレイ・ゲート数の算出方法

トータルのロジック・アレイ・ゲート数を算出する前に、まずLEゲート数を定義する必要があります。ロジック・アレイ・ゲート数の算出方法には2種類あり、その1つはロジック・エレメントと標準的なゲート・アレイを比較する方法であり、もう1つは実証データを使用してロジック・アレイ・ゲート数を算出する方法です。

例えば、APEX 20Kデバイスのロジック・エレメントのゲート数は、LSI Logic社のLCA300K Data Bookを参照して、各種のファンクションをAPEX 20Kデバイスのロジック・エレメントで構成した場合と標準的なゲート・アレイであるLCA300Kファミリで構成した場合を比較することによって決定することができます。ゲート数の範囲を決定するときは、単純なファンクションと複雑なファンクションのゲート数を計算します。単純なファンクションはゲート数の範囲の下限を定義し、複雑なファンクションは範囲内の上限のゲート数を定義することになります。各ファンクションの実現には、1個のルック・アップ・テーブルと1個のレジスタを使用します。表4を参照してください。

表4 LCA300Kファンクションを使用したLEゲート数算出方法

構成したファンクション	APEX 20K LUT	LSIゲート数	APEX 20Kレジスタ	LSIゲート数	合計
単純なLCA300Kファンクション	2入力ANDゲート	1	Dタイプ・フリップフロップ	7	8
複雑なLCA300Kファンクション	4入力XORゲート	13	クリア、プリセット、クロック・イネーブル信号付きDタイプ・フリップフロップ	8	21

LEゲート数の範囲は、単純なファンクションの構成に使用されたLSIゲート数から、複雑なファンクションの構成に使用されたLSIゲート数までとなります。この場合は、単純なファンクションで使用された8ゲートから、複雑なファンクションで使用された21ゲートまでになります。

APEX 20KデバイスのLE等価ゲート数は、実証データを使用して算出されています。アルテラは、4入力LUTに対して100個以上のデザインをコンパイルしました。また、シノプシス社のDesign Compilerを使用してLCA300Kゲートアレイに同じデザインを適用しました。LCA300Kのゲート使用率とLUTの使用率を比較した結果、LEあたり平均で12ゲートになりました。デバイスのロジック・アレイ・ゲート数は、LEあたりのゲート数とLE数を乗算して求めることができます。例えば、EP20K400デバイスは16,640個のLEを内蔵しています。各LEは12ゲートで計算されるため、EP20K400デバイスは約200,000ゲートのロジック・アレイを内蔵していることとなります。

エンベデッド・アレイ・ゲート数の算出方法

エンベデッド・アレイは複数のESBで構成されており、多様なメモリ・ファンクションを「オン・ザ・フライ」で実現できる非常に効率的な構造となっています。APEX 20Kデバイスでは、各ESBに最大2Kビットのメモリを構成することができます。また、複数のESBを接続して、さらに大きなビット数のメモリを構成することもできます。APEX 20KデバイスのESBは、ハイエンドのメモリ・ブロックを構成するときに要求される性能とスピードを実現します。これはAPEXのESBが専用のアーキテクチャ・エレメントとなっているためであり、トレード・オフが要求されることもありません。ESBには、ロジック・ファンクションをLUTとして構成したり、また、LUTとプロダクト・ターム・ロジックを組み合わせたロジック・ファンクションも構成することができます。

ESBメモリのゲート数

メモリ・ファンクションのゲート数算出方法は、RAMの種類、ベンダ、アーキテクチャなどで異なることがあります。ほとんどのメモリ・ファンクションは、1メモリ・ビットに平均で4ゲートを使用しており、APEX 20Kファミリにも同じ算出方法が採用されています。この同じ標準的な手法を採用することにより、他のデバイスの異なるゲート数算出方法と簡単に比較することができます。また、ESBアレイ・ゲート数は、LCA300Kの共

通メモリ・ファンクションを利用して検証することもできます。アルテラはLSI社のメモリ・コンパイラを使用して多様なメモリ・ファンクションをコンパイルし、使用されるゲート数の算出とAPEXデバイスのESBに実現した場合との比較を行いました。

表5は、各メモリ・ファンクションで使用されるゲート数を示したものです。

メモリ・ファンクション	ゲート数	ビットあたりのゲート数
128 × 8 シングル・ポートSRAM	4,620	4.5
128 × 16 シングル・ポートSRAM	7,980	3.9
128 × 32 シングル・ポートSRAM	14,700	3.6
128 × 16 デュアル・ポートSRAM	8,300	4.1
128 × 32 デュアル・ポートSRAM	14,910	3.6

表5では、ビットあたりの平均ゲート数が3.94になり、ビットあたり4ゲートがメモリ・ファンクションの適切な基準になることが示されています。

APEX 20Kデバイスの場合は、ESBアレイ・ゲート数の最大値がデバイス内のESB数にESBあたりのビット数を乗算し、さらにその数字にビットあたりのゲート数を乗算して算出されています。次の計算式は、EP20K400デバイス内にメモリを構成するときに使用される最大エンベデッド・システム・ゲート数の算出方法を示したものです。

$$104 (\text{ESBの数}) \times 2,048 (\text{ESBあたりのビット数}) \times 4 (\text{ビットあたりのゲート数}) = 851,968 (\text{ゲート数})$$

上記の計算から、EP20K400デバイスは、約852,000ゲートのESBアレイ・ゲートを持っていることになります。

ESBには、ロジックをプロダクト・タームまたはLUTとして構成することができます。プロダクト・ターム・ファンクションを構成する場合は、ESBが16個のマクロセルとなり、各マクロセルが2本のプロダクト・タームと1個のレジスタで構成されます。また、ESBに特定のビット・パターンをあらかじめプログラムすることによって、LUTロジックを構成することもできます。例えば、各ESBには、7本のアドレス入力と16本のデータ出力を備えた128 × 16 ROMを構成することができます。ESBに128 × 16 構成のROMをプログラムすることによって、7入力16出力のロジックを構成することができ、これによってレジスタ付きの入出力を持つ16個の7入力LUTが効率的に実現されることになります。

ESBプロダクト・ターム・ロジックのゲート数

プロダクト・ターム・モードに構成されたESBゲート数の範囲は、単純なファンクションと複雑なファンクションに対して使用されるESBマクロセル数と各ESBレジスタに相当するLCA300Kのゲート数を加算することによって計算されます。表6を参照してください。

構成したファンクション	16個のESBマクロセル	LSIゲート数	16個のESBレジスタ	LSIゲート数	合計
単純なLCA300Kファンクション	2入力ANDゲート	16	Dタイプ・フリップフロップ	112	128
複雑なLCA300Kファンクション	16入力ANDゲート2個と2入力XORゲート	528	Dタイプ・フリップフロップ	112	640

プロダクト・ターム・ゲート数の範囲は、単純なファンクションを構成するのに使用されるLSIゲート数の合計から複雑なファンクションを構成するときに使用されるLSIゲート数の合計までになります。上記の場合には、単純なファンクションの構成に128ゲートが使用され、複雑なファンクションの構成に640ゲートが使用されています。

ESBルック・アップ・テーブル・ロジックのゲート数算出方法

LUTロジックが構成されたときのESBゲート数の範囲は、単純なファンクションと複雑なファンクションを実現したときに使用されるESBのLUTとESBレジスタの等価ゲート数を合計することによって、計算されます。表7を参照してください。

構成したファンクション	7入力LUTにした16個のESB	LSIゲート数	23個のESBレジスタ	LSIゲート数	合計
単純なLCA300Kファンクション	2入力ANDゲート	16	Dタイプ・フリップフロップ	161	177
複雑なLCA300Kファンクション	7入力XORゲート	288	クリア信号付きDタイプ・フリップフロップ	184	472

ESBのゲート数は、LUTロジックのゲート数とプロダクト・ターム・ロジックのゲート数により決定されます。APEX 20KのESBには、ファンクションの種類やそのファンクションを実現するロジックのタイプによって、128から640ゲートのロジックを構成することができます。また、デバイスのゲート数を推定する場合は、1個のESBを128ゲートとして計算します。

APEX 20Kデバイスの場合、ESBアレイのゲート数は、ESBの個数とESBあたりのゲート数を乗算して求めることができます。次の計算方式では、EP20K400デバイスのエンベデッド・アレイ・ゲートをロジックとして使用した場合のゲート数が算出されています。

$$104 \text{ (ESBの個数)} \times 128 \text{ (ESBあたりのゲート数)} = 13,312 \text{ (ゲート数)}$$

以上の結果から、EP20K400デバイスでは、ESBをロジック・ファンクションとして使用した場合に約13,000エンベデッド・アレイ・ゲートが提供されることとなります。

標準ゲート数の算出方法

APEX 20Kの標準ゲート数は、設計者にゲートアレイのゲート数に換算したデバイスの使用効率を提供する基準となっています。この標準ゲート数は、デザインの構成にもっとも適したAPEX 20Kデバイスを選択するとき役に立ちます。例えば、400,000ゲートのゲートアレイのデザインは、EP20K400デバイスで実現することができます。

表8は、APEX 20Kデバイスのゲート数を算出するときに使用されるロジック・アレイとエンベデッド・アレイの使用比率を表したものです。ここで、ゲート数を決定するときの重要な要因となるのが、デザイン内で使用されるメモリの容量です。

デザインの種類	LEの使用率	メモリとして使用されるESBの比率	ロジックとして使用されるESBの比率
メモリを使用しない	100%	0%	100%
標準的なメモリの使用	100%	25%	75%
メモリを最大限に使用	100%	100%	0%

EP20K400デバイスのゲート数を算出するときは、LEから提供されるゲート数とESBから提供されるゲート数を合計します。表9は、メモリを使用していない場合におけるゲート数の算出方法を示したものです。

ゲート数	ゲート × 使用率	総ゲート数
LEゲート数	199,680 × 100%	199,680
メモリとして使用されるESBゲート数	851,968 × 0%	0
ロジックとして使用されるESBゲート数	13,312 × 100%	13,312

同様の手法で、EP20K400デバイスの標準システム・ゲート数を算出することができます。この場合も、LEから提供されるゲート数と、ESBから提供されるゲート数とを合計します。この場合、一部のESBはロジックを構成するために使用され、他のESBはメモリを構成するのに使用されるため、ゲート数は各ファンクションを構成するESBの使用率を基準に算出されます。表10は、標準ゲート数の算出方法を示したものです。

表10 EP20K400デバイスの標準ゲート数算出方法

ゲート数	ゲート × 使用率	総ゲート数
LEゲート数	199,680 × 100%	199,680
メモリとして使用されるESBゲート数	851,968 × 25%	212,992
ロジックとして使われるESBゲート数	13,312 × 75%	9,984

最大システム ・ゲート数の 算出方法

最後に、EP20K400デバイスの最大システム・ゲート数を算出するときは、この手順を繰り返します。表11を参照してください。

表11 EP20K400デバイスの最大システム・ゲート数算出方法

ゲート数	ゲート × 使用率	総ゲート数
LEゲート数	199,680 × 100%	199,680
メモリとして使用されるESBゲート数	851,968 × 100%	851,968
ロジックとして使われるESBゲート数	13,312 × 0%	0

各製品には、最大システム・ゲート数が付け加えられています。例えば、EP20K400デバイスの標準ゲート数は、213,000ゲートから423,000ゲートの範囲を示しており、最大1,052,000システム・ゲートとなっています。

まとめ

APEX 20Kのゲート算出方法は、LSI Logic社のLCA300Kファミリとの比較と実証データに基づいたものです。APEX 20Kのアーキテクチャには、各種メモリと複雑なロジック・ファンクションを構成するためのエンベデッド・アレイと、一般的なロジック・ファンクションを構成するためのロジック・アレイが含まれています。また、エンベデッド・システム・アレイとロジック・アレイを組み合わせることによって、より高い性能を発揮し、System-on-a-Programmable-Chipのアプリケーションを実現することができます。

Altera, APEX, APEX 20K, System-on-a-Programmable-Chip, EP20K100, EP20K100E, EP20K160E, EP20K200, EP20K200E, EP20K300E, EP20K400, EP20K400E, EP20K600E, EP20K1000E, FLEX, FLEX 6000, MegaLABは、Altera Corporationの米国および該当各国におけるtrademarkまたはservice markです。この資料に記載されているその他の製品名などは該当各社のtrademarkです。Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright 1999 Altera Corporation. All rights reserved.



I.S. EN ISO 9001

ALTERA
日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>
E-mail: japan@altera.com

本社 Altera Corporation

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのウェブ・サイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のアプリケーション・ノートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。