

イントロダク ション

アルテラのデバイスは、シミュレーションから実際のアプリケーションまで予測可能な一定した性能を提供します。デバイスをプログラムする前に、MAX+PLUS II®のタイミング・アナライザを使用するか、各デバイスのデータシートに記載されているタイミング・パラメータとこのアプリケーション・ノートで示されるタイミング・モデルを使用して、どのようなデザインでもワースト・ケースのタイミング遅延を求めることができます。この場合、どちらの方法でも同じ結果を得ることができます。

このアプリケーション・ノートでは、デバイス内部および外部のタイミング・パラメータを定義し、MAX® 7000デバイス・ファミリ (MAX 7000E, MAX 7000S, MAX 7000Aデバイスを含む) のタイミング・モデルを図示します。

この資料は、デバイスのアーキテクチャと特性に精通していることを前提で作成されています。このアプリケーション・ノートに記述されているタイミング・パラメータの値やアーキテクチャの詳細については、各デバイス・ファミリのデータシートや特定デバイスのデータシートを参照して下さい。

内部タイミング・ パラメータ

内部タイミング・パラメータは、デバイス内のアーキテクチャ上の各エレメントによって発生するタイミング遅延であり、正確に測定することはできません。すべての内部タイミング・マイクロパラメータは、イタリック体で表記されています。以下に示されるMAX 7000デバイス・ファミリの内部パラメータは、特に指定がない限り、すべてのMAX 7000デバイスに適用されます。

t_{IN} 専用入力パッドとバッファの遅延。 t_{IN} は専用入力ピンからの入力信号が、プログラマブル・インタコネクト・アレイ (PIA) またはグローバル・コントロール・アレイに到達するまでの遅延時間。

t_{IO} I/O入力パッドとバッファの遅延。 t_{IO} は入力として使用されるI/Oピンの信号に適用される遅延で、I/OピンからPIAに到達するまでの遅延時間。

t_{PIA} PIA遅延。PIAを経由して配線される信号に発生する遅延時間。

t_{SEXP} シェアド・エキスパンダ・アレイ遅延。ロジック・アレイにフィード・バックされるシェアド・エキスパンダ・プロダクト・ターム・アレイのAND-NOT構造を経由する信号の遅延時間。

t_{PEXP}	パラレル・エキスパンダ遅延。マクロセル・プロダクト・タームにパラレル・エキスパンダ・プロダクト・タームを追加することによって発生する遅延。機能を構成するために追加されるパラレル・エキスパンダは5本までを1つのグループとして、 t_{PEXP} 遅延がそのタイミング・パスに加算されます。
t_{GLOB}	グローバル・コントロール遅延。専用入力ピンから、マクロセルまたはI/Oコントロール・ブロック内のグローバル・コントロール・ファンクションまでの遅延時間。
t_{IOE}	デバイス内部で生成された出力イネーブル遅延。PIA上の内部生成された信号から、トライ・ステート・バッファの出力イネーブルまでの遅延。MAX 7000EデバイスとMAX 7000Sデバイスだけに適用。
t_{LAC}	ロジック・アレイ・コントロール遅延。プリセット、クリア、出力イネーブルなどのレジスタ・コントロール・ファンクション用のANDアレイ遅延。MAX 7000デバイスだけに適用。
t_{IC}	アレイ・クロック遅延。マクロセルのクロック・プロダクト・タームからレジスタのクロック入力までの遅延時間。
t_{EN}	レジスタ・イネーブル遅延。PIAからレジスタ・イネーブル入力までのANDアレイ遅延時間。
t_{CLR}	レジスタ・クリア遅延。レジスタの非同期クリア入力のアサートされてからレジスタ出力がLogic-Lowに安定するまでの遅延時間。
t_{PRE}	レジスタ・プリセット遅延。レジスタの非同期プリセット入力のアサートされてからレジスタ出力がLogic-Highに安定するまでの遅延時間。
t_{LAD}	ロジック・アレイ遅延。信号がマクロセルのAND-OR-XOR構造を通じて伝搬するときの遅延時間。
t_{RD}	レジスタ遅延。レジスタ・クロックの立ち上がりエッジからレジスタ出力にデータが到達するまでの遅延時間。
t_{SU}	レジスタのセットアップ・タイム。レジスタに入力データを正しくストアさせるために、レジスタ・クロックの立ち上がりエッジ前にレジスタ入力信号を安定させる必要がある時間。
t_{H}	レジスタのホールド・タイム。レジスタに入力データを正しくストアさせるために、レジスタ・クロックの立ち上がりエッジの後に、レジスタ入力信号を安定させる必要がある時間。

t_{FSU}	高速入力レジスタ・セットアップ・タイム。高速入力レジスタが使用される場合、レジスタに入力データを正しくストアさせるために、レジスタ・クロックの立ち上がりエッジ前にレジスタ入力信号を安定させる必要がある時間。
t_{FH}	高速入力レジスタ・ホールド・タイム。高速入力レジスタが使用される場合、レジスタに入力データを正しくストアさせるために、レジスタ・クロックの立ち上がりエッジの後に、レジスタ入力信号を安定させる必要がある時間。
t_{FIN}	高速入力遅延。レジスタへの高速入力パスが使用された場合の、I/Oピンからマクロセル・レジスタまでの遅延時間。MAX 7000EデバイスとMAX 7000Sデバイスのみに適用。
t_{COMB}	組み合わせ回路バッファ遅延。プログラマブル・レジスタをバイパスする組み合わせ回路信号がマクロセル出力に到達するまでの遅延時間。
t_{OD1}	「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} = V_{CCINT}$ にした条件での出力バッファとパッドの遅延時間。
t_{OD2}	「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} =$ 低電圧にした条件での出力バッファとパッドの遅延時間。
t_{OD3}	「Slow slew rate」のオプションをオンに設定した条件での出力バッファとパッドの遅延。MAX 7000A、MAX 7000E、MAX 7000Sの各デバイスのみに適用。
t_{XZ}	出力バッファのディセーブル遅延。出力バッファのイネーブル・コントロールをディセーブルした後、出力ピンがハイ・インピーダンスになるまでの遅延時間。
t_{ZX1}	「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} = V_{CCINT}$ にした条件での出力バッファのイネーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの遅延時間。
t_{ZX2}	「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} =$ 低電圧にした条件での出力バッファのイネーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの遅延時間。
t_{ZX3}	「Slow slew rate」のオプションをオンに設定した条件での出力バッファのイネーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの遅延時間。MAX 7000A、MAX 7000E、MAX 7000Sの各デバイスのみに適用。

t_{LPA} ロー・パワー・モードの追加遅延。ロー・パワー・モードのマクロセルに追加される遅延。ロー・パワー・モードでは、ロジック・アレイ遅延 (t_{LAD}) とレジスタ・コントロール遅延 (t_{LAC} 、 t_{IC} 、 t_{ACL} 、 t_{EN}) およびシェアド・エキスパンダ遅延 (t_{SEXP}) パスに対して、 t_{LPA} が加算されます。

外部タイミング・パラメータ

外部タイミング・パラメータは、実際のピン間のタイミング特性を示しています。各外部タイミング・パラメータは、内部タイミング・パラメータを組み合わせたものとなります。各デバイスのデータシートには、外部タイミング・パラメータの値が表示されています。また、これらの外部タイミング・パラメータは広範囲に及ぶ性能測定をベースにしたワースト・ケースの値で示されており、デバイスのテストによってこれらの値が保証されています。すべての外部タイミング・パラメータは太字で示されています。以下に、MAX 7000デバイスの外部タイミング・パラメータの定義を示します。

t_{PD1} 専用入力ピンからレジスタされない出力までの遅延。専用入力ピンから入力された信号が、マクロセルの組み合わせ回路を通じてデバイスの外部出力ピンに到達するまでの遅延時間。

t_{PD2} I/Oピン入力からレジスタ・バイパスされた出力までの遅延。I/Oピンから入力された信号が、マクロセルの組み合わせ回路を通じてデバイスの外部出力ピンに到達するまでの遅延時間。

t_{PXZ} トライ・ステート状態から出力がアクティブになるまでの遅延。入力の変化により、外部出力がトライ・ステート (ハイ・インピーダンス) ロジック・レベルから High または Low の有効なロジック・レベルに変化するまでの時間。

t_{PXZ} 出力がアクティブからトライ・ステート状態になるまでの遅延。入力の変化により、外部出力が High または Low の有効なロジック・レベルからトライ・ステート (ハイ・インピーダンス) ロジック・レベルに変化するまでの時間。

t_{CLR} レジスタのクリア時間。入力の変化から測定し、Low信号が外部出力に現れるまでの時間。

t_{SU} グローバル・クロックのセットアップ・タイム。グローバル (同期) クロック信号がクロック・ピンでアサートされる前に、入力ピンでデータを安定させる必要がある時間。

t_{H} グローバル・クロックのホールド・タイム。グローバル (同期) クロック信号がクロック・ピンでアサートされた後、入力ピンでデータを安定させる必要がある時間。

t_{FSU}	高速入力クロックのセットアップ・タイム。高速入力パスを使用する場合、グローバル（同期）クロック信号がクロック・ピンでアサートされる前に、入力ピンでデータを安定させる必要がある時間。
t_{FH}	高速入力クロックのホールド・タイム。高速入力パスを使用する場合、グローバル（同期）クロック信号がクロック・ピンでアサートされた後に、入力ピンでデータを安定させる必要がある時間。
t_{CO1}	グローバル・クロックから出力までの遅延。グローバル・クロックがクロック・ピンでアサートされた後、出力に有効なデータが到達するまでの時間。
t_{CNT}	グローバル・クロックの最小期間。グローバル・クロックによるカウンタ動作が可能になる最小期間。
t_{ASU}	アレイ・クロックのセットアップ・タイム。アレイ（非同期）クロック信号が入力ピンでアサートされる前に、入力ピンでデータを安定させる必要がある時間。
t_{AH}	アレイ・クロックのホールド・タイム。アレイ（非同期）クロックが入力ピンにアサートされた後、入力ピンのデータを安定させる必要がある時間。
t_{ACO1}	アレイ・クロックから出力までの遅延。アレイ・クロックが入力ピンにアサートされた後、出力に有効なデータが到達するまでの時間。
t_{ACNT}	アレイ・クロックの最小期間。アレイからの信号をクロックとしたカウンタの動作が可能になる最小期間。

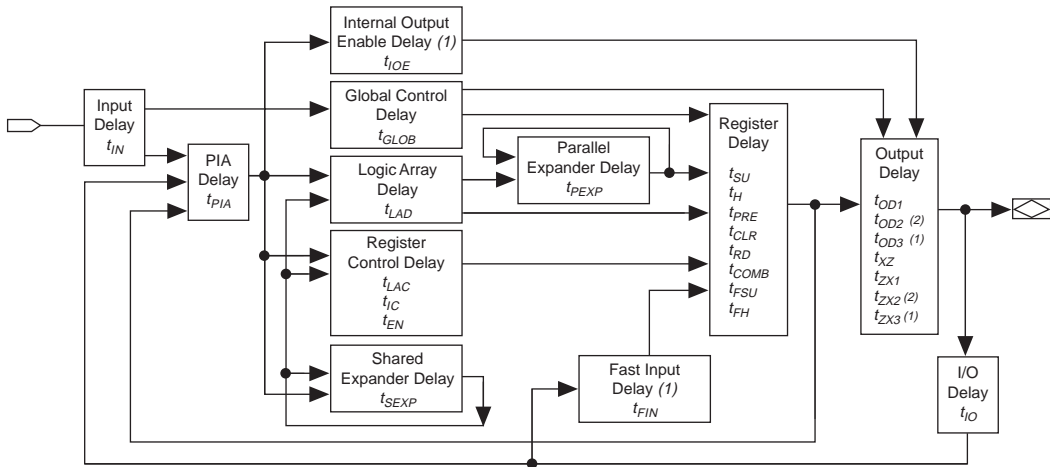
タイミング・モデル

タイミング・モデルは、アルテラ・デバイス内の伝搬遅延を示す単純化したブロック・ダイアグラムで表すことができます。ロジックは多様なパスで実現されますが、各プロジェクトに対して出力されるMAX+PLUS IIのレポート・ファイル（.rpt）に示される論理式を参照して、MAX 7000デバイスの実際のパスをトレースすることができます。ここで、対応する内部タイミング・パラメータを積算することによって、MAX 7000デバイスの入出力間の伝搬遅延を概算することができます。

MAX 7000のアーキテクチャには、チップ全体に配線されるレジスタ・クロックやクリアおよびトライ・ステート・バッファ出力イネーブル信号が提供されています。また、シェアド・エキスパンダとパラレル・エキスパンダは、複雑な論理を構成するときに使用されます。各マクロセルはロー・パワーで動作するモードに設定することができ、デバイス全体の消費電力を低減することができます。

図 1 に、MAX 7000デバイスのタイミング・モデルを示します。

図 1 MAX 7000のタイミング・モデル



- 注：
 (1) このパラメータは、MAX 7000E MAX 7000S MAX 7000Aの各デバイスに適用されます。
 (2) このパラメータは、44ピンのデバイスには適用されません。

タイミング遅延の計算

適切なタイミング・モデルと内部タイミング・パラメータを使用して、デバイスにおけるピン間遅延の概算値を計算することができます。各外部タイミング・パラメータは、内部タイミング・パラメータを組み合わせることで計算することができます。図 2 に、MAX 7000デバイス・ファミリの外部タイミング・パラメータを示します。デバイス内の多様なパスを通る信号の遅延を計算するときは、図 1 に示したタイミング・モデルを参照して組み合わせる内部タイミング・パラメータを選択して下さい。

図 2 外部タイミング・パラメータ (1/3)

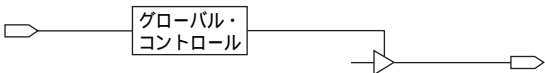
組み合わせ回路遅延



$$t_{PD1} = t_{IN} + t_{PIA} + t_{LAD} + t_{COMB} + (t_{OD1} \text{ or } t_{OD2} \text{ or } t_{OD3})$$

$$t_{PD2} = t_{IO} + t_{PIA} + t_{LAD} + t_{COMB} + (t_{OD1} \text{ or } t_{OD2} \text{ or } t_{OD3})$$

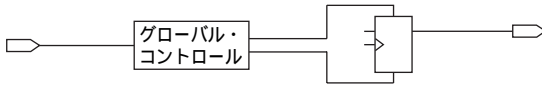
トライ・ステート・イネーブル/ディセーブル遅延



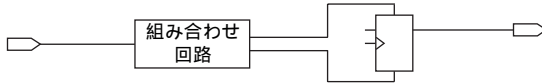
$$t_{PXZ}, t_{PZX} = t_{IN} + t_{GLOB} + (t_{XZ} \text{ or } t_{ZX1} \text{ or } t_{ZX2} \text{ or } t_{ZX3})$$

図2 外部タイミング・パラメータ (2/3)

レジスタ・クリアとプリセット・タイム

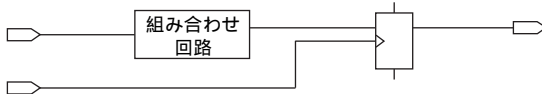


$$t_{\text{GCLR}} = t_{\text{IN}} + t_{\text{GLOB}} + t_{\text{CLR}} + (t_{\text{OD1}} \text{ OR } t_{\text{OD2}} \text{ OR } t_{\text{OD3}})$$



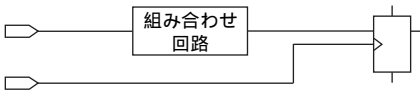
$$t_{\text{PRE}}, t_{\text{CLR}} = t_{\text{IN}} + t_{\text{PIA}} + t_{\text{LAC}} + (t_{\text{PRE}} \text{ OR } t_{\text{CLR}}) + (t_{\text{OD1}} \text{ OR } t_{\text{OD2}} \text{ OR } t_{\text{OD3}})$$

セットアップ・タイム



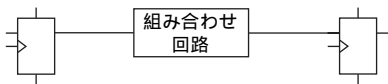
$$t_{\text{SU}} = (t_{\text{IN}} + t_{\text{PIA}} + t_{\text{LAD}}) - (t_{\text{IN}} + t_{\text{GLOB}}) + t_{\text{SU}}$$

ホールド・タイム



$$t_{\text{H}} = (t_{\text{IN}} + t_{\text{GLOB}}) - (t_{\text{IN}} + t_{\text{PIA}} + t_{\text{LAD}}) + t_{\text{H}}$$

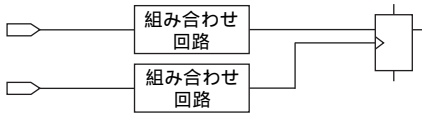
カウンタ周波数



$$t_{\text{CNT}} = t_{\text{RD}} + t_{\text{PIA}} + t_{\text{LAD}} + t_{\text{SU}}$$

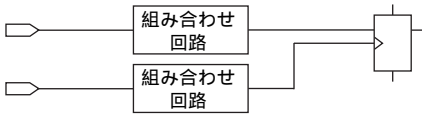
図2 外部タイミング・パラメータ (3/3)

非同期セットアップ・タイム



$$t_{ASU} = (t_{IN} + t_{PIA} + t_{LAD}) - (t_{IN} + t_{PIA} + t_{IC}) + t_{SU}$$

非同期ホールド・タイム



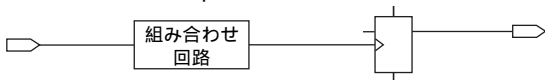
$$t_{AH} = (t_{IN} + t_{PIA} + t_{IC}) - (t_{IN} + t_{PIA} + t_{LAD}) + t_H$$

Clock-to-Output遅延



$$t_{CO1} = t_{IN} + t_{GLOB} + t_{RD} + (t_{OD1} \text{ or } t_{OD2} \text{ or } t_{OD3})$$

アレイClock-to-Output遅延



$$t_{ACO1} = t_{IN} + t_{PIA} + t_{IC} + t_{RD} + (t_{OD1} \text{ or } t_{OD2} \text{ or } t_{OD3})$$

例

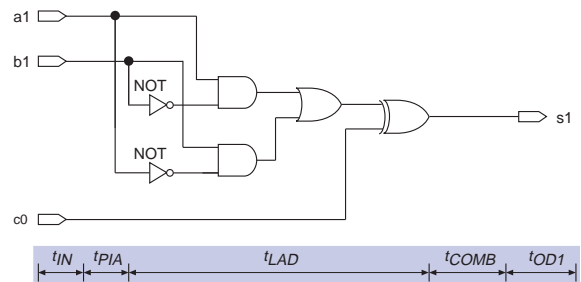
次に、内部タイミング・パラメータを使用して、実際のアプリケーションの遅延を推定する方法を示します。

例 1 : 7483 TTLマクロファンクションの最初のビット

ロジックの最適化や合成が実行されたマクロファンクションのタイミング遅延を解析することができます。合成されたロジックを表す論理式は、MAX+PLUS IIのレポート・ファイル(.rpt)に記述されています。この論理式は、各信号のロジックの実現形式を素早く判断できるように構造的に記述されています。図3は、7483 TTLマクロファンクション(4ビット・フルアダー)の一部を示しています。レポート・ファイルには、アダーの最下位ビットのs1に対する論理式が次のように記述されています。

```
s1      = OUTPUT (_LC021, VCC);
_LC021 = LCELL (_EQ026 $ C0);
_EQ026 = b1 & !a1
        # !b1 & a1;
```

図3 MAX 7000アーキテクチャのアダー・ロジック・タイミング



出力s1は、組み合わせ回路を持ったマクロセル21(_LC021)の出力です。組み合わせ回路のLCELL(_EQ026 \$ C0)は、中間論理式_EQ026とキャリー・インc0のXORを表しています。また、_EQ026は入力b1とa1のXORと論理的に等しくなります。これにより、MAX 7000デバイスにおけるs1のタイミング遅延は次のようになります。

$$t_{IN} + t_{PIA} + t_{LAD} + t_{COMB} + t_{ODI}$$

例 2 : 7483 TTLマクロファンクションの第 2 ビット

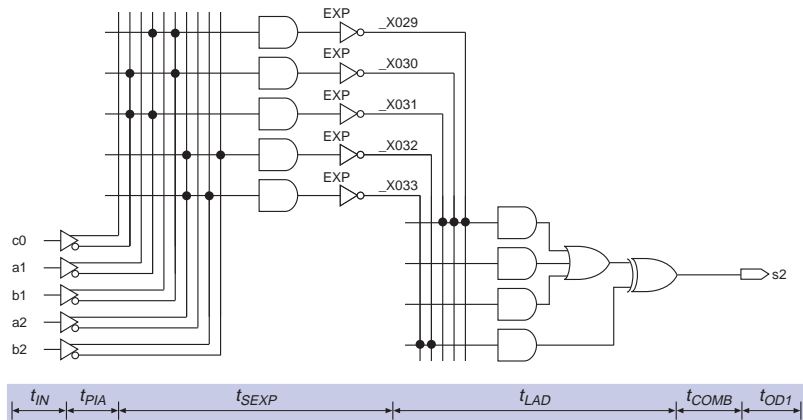
エクспанダ（レポート・ファイルで $_X<number>$ として表示される）を必要とする複雑なロジックには、エクспанダ・アレイ遅延（ t_{SEXP} ）が追加の遅延要素として加算されます。7483アダー・マクロファンクションの第 2 ビット、s2には、シェアド・エクспанダが必要です。論理式は次のようになります。

```
s2      = _LC019;
_LC019 = LCELL(_EQ023 $ _EQ024 );
_EQ023 = _X029 & _X030 & _X031;
_X029  = EXP(!b1 & !a1);
_X030  = EXP(!b1 & !c0);
_X031  = EXP(!a1 & !c0);
_EQ024 = _X032 & _X033;
_X032  = EXP(!b2 & a2);
_X033  = EXP(b2 & a2);
```

図 4 は、これらの論理式から MAX 7000のアーキテクチャにロジック構造がどのようにマッピングされるかを示したものです。MAX 7000デバイスにおけるs2のタイミング遅延は次の通りです。

$$t_{IN} + t_{PIA} + t_{SEXP} + t_{LAD} + t_{COMB} + t_{OD1}$$

図 4 MAX 7000アーキテクチャにマッピングされたアダーの論理式



例 3 : パラレル・エキスパンダを用いた7483 TTLマクロファンクションの第2ビット

プロジェクトをMAX 7000デバイスにコンパイルする際、パラレル・エキスパンダ・ロジック・オプションがオンに設定されると、コンパイラはパラレル・エキスパンダを使ってロジックを実現します。パラレル・エキスパンダが使用された場合は、シェアラブル・エキスパンダが使用されなくなり、7483のs2ビットのタイミング遅延は次のようになります。

$$t_{IN} + t_{PIA} + t_{LAD} + t_{PEXP} + t_{COMB} + t_{ODI}$$

例 4 : ロー・パワー・モードにおける7483 TTLマクロファンクションの第1ビット

MAX 7000デバイスのマクロセルがロー・パワー・モードに設定されると、マクロセルを通る全体の遅延時間にはロー・パワー・モードの追加遅延が加算されます。このため、図3のs1の遅延は次のようになります。

$$t_{IN} + t_{PIA} + t_{LPA} + t_{LAD} + t_{COMB} + t_{ODI}$$

まとめ

MAX 7000アーキテクチャは、配線に依存しない一定した内部タイミング遅延を提供しています。このため、デバイスをプログラミングする前にワースト・ケースのタイミング遅延を予測することが可能です。また、全体の遅延パスは内部タイミング遅延の合計で表すことができます。タイミング・モデルはデバイス内部のタイミング遅延パスを表しており、さらに内部タイミング・パラメータが相互にどのように影響しあっているかを表しています。MAX+PLUS IIのタイミング・アナライザを使用することで、パスの遅延時間を自動的に計算することができます。また、適切なタイミング・モデルを使用して内部タイミング・パラメータを加算することにより、手計算でパスの遅延時間を求めることもできます。ワースト・ケースのタイミング遅延を予測しておくことで、実現されるデザインのイン・システムでのタイミング性能を事前に確認しておくことができます。



日本アルテラ株式会社

〒163-0436

東京都新宿区西新宿2-1-1

新宿三井ビル私書箱261号

TEL. 03-3340-9480 FAX. 03-3340-9487

<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,

San Jose, CA 95134

TEL : (408) 544-7000

<http://www.altera.com>

この資料はアルテラが発行した英文の資料を日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。