

イントロダクション

アルテラのデバイスは、シミュレーションから実際のアプリケーションまで予測可能な一定した性能を提供します。デバイスをコンフィギュレーションする前に、MAX+PLUS® IIのタイミング・アナライザを使用して、どのようなデザインでもワースト・ケースのタイミング遅延を求めることができます。また、「FLEX 6000 Programmable Logic Device Family」のデータシート（日本語版有り）に記載されているタイミング・パラメータと、このアプリケーション・ノートで示されるタイミング・モデルを利用して、デザインの性能を予測することができます。



より正確なタイミング情報を得る必要がある場合は、MAX+PLUS IIのタイミング・アナライザを使用して下さい。MAX+PLUS IIのタイミング・アナライザは、実際のファンアウトや配置情報などの二次的な要因を加味してタイミングを算出します。

このアプリケーション・ノートでは、デバイス内部および外部のタイミング・パラメータを定義し、FLEX® 6000デバイス・ファミリのタイミング・モデルを図示します。

この資料は、FLEX 6000のアーキテクチャと特性に精通していることを前提に作成されています。このアプリケーション・ノートに記述されているタイミング・パラメータの値やFLEX 6000のアーキテクチャの詳細については「FLEX 6000 Programmable Logic Device Family」のデータシートを参照して下さい。

内部タイミング・マイクロパラメータ

内部タイミング・マイクロパラメータは、FLEX 6000アーキテクチャ上の各エレメントによって発生するタイミング遅延であり、正確に測定することはできません。すべての内部タイミング・マイクロパラメータは、イタリック体で表記されています。以下に、FLEX 6000デバイス・ファミリの内部タイミング・マイクロパラメータを示します。

I/Oエレメントのタイミング・マイクロパラメータ

以下に、FLEX 6000デバイス・ファミリにおけるI/Oエレメント（IOE）のタイミング・マイクロパラメータを示します。

t_{OD1} 「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} = V_{CCINT}$ にした条件での出力バッファとパッドの遅延時間。

t_{OD2} 「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} =$ 低電圧にした条件での出力バッファとパッドの遅延時間。

| | |
|-----------------|--|
| t_{OD3} | 「Slow slew rate」のオプションをオンに設定した条件での出力バッファとパッドの遅延時間。 |
| t_{ZX} | 出力バッファのディセーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをディセーブルした後、出力ピンがハイ・インピーダンスになるまでの遅延時間。 |
| t_{ZX1} | 「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} = V_{CCINT}$ にした条件での出力バッファのイネーブル遅延時間。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの遅延時間。 |
| t_{ZX2} | 「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} =$ 低電圧にした条件での出力バッファのイネーブル遅延時間。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの遅延時間。 |
| t_{ZX3} | 「Slow slew rate」のオプションをオンに設定した条件での出力バッファのイネーブル遅延時間。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの遅延時間。 |
| t_{IOE} | 出力イネーブルのコントロール遅延。IOEのトライ・ステート・バッファの出力イネーブルをコントロールに使用される信号の遅延時間。 |
| t_{IN} | 入力パッドとバッファからFastTrack™インタコネクタまでの遅延時間。入力として使用されているI/Oピンの信号が、FastTrackインタコネクタの口またはカラム・チャンネルに到達するまでの時間。 |
| t_{IN_DELAY} | 追加遅延をオンに設定した条件での入力パッドとバッファからFastTrackインタコネクタまでの遅延時間。入力として使用されているI/Oピンの信号が、FastTrackインタコネクタの口またはカラム・チャンネルに到達するまでの時間。 |

インタコネクタのタイミング・マイクロパラメータ

以下に、FLEX 6000デバイス・ファミリのインタコネクタ・タイミング・マイクロパラメータを示します。

| | |
|-------------|--|
| t_{LOCAL} | LABローカル・インタコネクタの遅延。ロジック・アレイ・ブロック (LAB) に入力される信号またはローカル配線によりロジック・エレメント (LE) 間を配線する信号に生じる遅延時間。 |
|-------------|--|

t_{ROW}

ロウ・インタコネク配線遅延。FastTrackインタコネクのロウ・チャンネルに配線される信号に生じる遅延。 t_{ROW} 遅延は、ソースとディスティネーションとなるLE間の距離およびファンアウトの関数となります。「*FLEX 6000 Programmable Logic Device Family*」のデータシートに示されている値は、あるLEから4個のLEに信号が接続される条件（ファンアウト-4）での最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。



代表的なアプリケーションでは、このパラメータはワースト・ケースの値になります。また、実際のワースト・ケースの性能を検証する場合は、コンパイル後にタイミング・シミュレーションおよびタイミング解析を実行して下さい。

 t_{COL}

カラム・インタコネク配線遅延。FastTrackインタコネクのカラム・チャンネルに配線される信号に生じる遅延。「*FLEX 6000 Programmable Logic Device Family*」のデータシートに示されている値は、あるLEから4個のLEに信号が接続される条件（ファンアウト-4）での最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。



代表的なアプリケーションでは、このパラメータはワースト・ケースの値になります。また、実際のワースト・ケースの性能を検証する場合は、コンパイル後のタイミング・シミュレーションおよびタイミング解析を実行して下さい。

 t_{DIN_D}

入力専用ピンからLEデータ入力までの遅延。データ入力として使用されている入力専用ピンからの信号がLEに到達するまでの時間。 t_{DIN_D} の遅延時間は、信号ソースとなるピンからディスティネーションまでの距離およびファンアウトの関数となります。「*FLEX 6000 Programmable Logic Device Family*」のデータシートに示されている値は、信号が入力専用ピンから4個のLEに接続された場合の最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。



代表的なアプリケーションでは、このパラメータはワースト・ケースの値になります。また、実際のワースト・ケースの性能を検証する場合は、コンパイル後にタイミング・シミュレーションおよびタイミング解析を実行して下さい。

 t_{DIN_C}

入力専用ピンからLEコントロールまでの遅延。LEレジスタのコントロール信号として使用される入力が入力専用ピンから供給されたときの遅延時間。LEレジスタのコントロール信号には、LEレジスタに入力されるクロック、クリア、プリセットの各入力信号があります。

 $t_{LEGLOBAL}$

内部生成されたグローバル信号のLE出力からLEコントロールまでの遅延。LE出力により内部生成されたグローバル信号がLEレジスタ・コントロールに配線されるまでの遅延時間。LEレジスタ・コントロール信号には、LEレジスタに入力されるクロック、クリア、プリセットの各入力信号があります。



代表的なアプリケーションでは、このパラメータはワースト・ケースの値になります。また、実際のワースト・ケースの性能を検証する場合は、コンパイル後にタイミング・シミュレーションおよびタイミング解析を実行して下さい。

 $t_{LABCARRY}$

あるLEのキャリア・アウト信号が、同じロウの異なるLAB内のLEのキャリア・イン信号をドライブしたときの配線遅延。複数のLABにまたがる長いキャリア・チェーンは、隣接したLABをスキップして奇数番号のLABから次の奇数番号のLABへ、または偶数番号のLABから次の偶数番号のLABへ配線されます。

 $t_{LABCASC}$

あるLEのカスケード・アウト信号が、同じロウの異なるLAB内のLEのカスケード・イン信号をドライブしたときの配線遅延。複数のLABにまたがる長いカスケード・チェーンは、隣接したLABをスキップして奇数番号のLABから次の奇数番号のLABへ、またはある偶数番号のLABから次の偶数番号のLABへ配線されます。

ロジック・エレメントのタイミング・マイクロパラメータ

以下に、FLEX 6000デバイス・ファミリにおけるLEのタイミング・マイクロパラメータを示します。

| | |
|----------------------|---|
| $t_{REG_TO_REG}$ | カウンタ・モードでのLEレジスタ・フィードバックによるルック・アップ・テーブル (LUT) の遅延。LEレジスタのデータ出力から同じLEレジスタのデータ入力までの配線遅延。キャリー・チェーンを使用して構成されたカウンタの1段目のLEには $t_{REG_TO_REG}$ の遅延が発生します。 |
| $t_{CASC_TO_REG}$ | カスケード・インからレジスタまでの遅延。カスケード・イン信号がLEレジスタのデータ入力に到達するまでの遅延時間。 |
| $t_{CARRY_TO_REG}$ | キャリー・インからレジスタまでの遅延。キャリー・イン信号がLEレジスタのデータ入力に到達するまでの遅延時間。 |
| $t_{DATA_TO_REG}$ | LE入力からレジスタまでの遅延。LUTを通過するLEのデータ入力信号がLEレジスタのデータ入力に到達するまでの遅延時間。 |
| $t_{CASC_TO_OUT}$ | カスケード・インからLE出力までの遅延。カスケード・イン信号がLEの出力に到達するまでの遅延時間。 |
| $t_{CARRY_TO_OUT}$ | キャリー・インからLE出力までの遅延。キャリー・イン信号がLEの出力に到達するまでの遅延時間。 |
| $t_{DATA_TO_OUT}$ | LE入力からLE出力までの遅延。LEのデータ入力信号がLUTを通り、レジスタをバイパスしてLEの出力に到達するまでの伝搬遅延時間。 |
| $t_{REG_TO_OUT}$ | レジスタ出力からLE出力までの遅延。LEレジスタの出力信号がLEの出力に到達するまでの遅延時間。 |
| t_{SU} | LEレジスタのセットアップ・タイム。レジスタに入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジ前に信号をLEレジスタのデータ入力ポートで安定させる必要がある最小時間。また、 t_{SU} はクリアのデアサーションとクロックの立ち上がりエッジ間の最小リカバリ時間ともなります。 |
| t_H | LEレジスタのホールド・タイム。レジスタが入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジの後に、LEレジスタのデータ入力ポートで信号を安定させる必要がある最小時間。 |

| | |
|------------------------|--|
| t_{CO} | LEレジスタの「Clock-to-Output」遅延。LEレジスタの立ち上がりエッジからレジスタ出力にデータが到達するまでの遅延時間。 |
| t_{CLR} | LEレジスタのクリア遅延。LEレジスタの非同期クリア入力のアサートされてからレジスタ出力がLogic-Lowに安定するまでの遅延。 |
| t_C | LEレジスタのコントロール信号遅延。LEレジスタのクロック、プリセット、クリア入力に信号が到達するまでの配線遅延時間。 |
| t_{LD_CLR} | カウンタ・モードでの同期ロード遅延およびクリア遅延。カウンタ・モード時に、LAB全体に与えられる同期クリアやロード信号が、レジスタのデータ入力に到達するまでの遅延時間。 |
| $t_{CARRY_TO_CARRY}$ | キャリー・インからキャリー・アウトまでの遅延。前段のLEからのキャリー・イン信号を使用してキャリー・アウト信号を生成するまでの遅延時間。 |
| $t_{REG_TO_CARRY}$ | レジスタ出力からキャリー・アウトまでの遅延。レジスタの出力からキャリー・アウト信号を生成するまでの遅延時間。 |
| $t_{DATA_TO_CARRY}$ | LE入力からキャリー・アウトまでの遅延。LEのデータ入力信号からキャリー・アウト信号を生成するまでの遅延時間。 |
| $t_{CARRY_TO_CASC}$ | キャリー・インからカスケード・アウトまでの遅延。前段のLEからのキャリー・イン信号からカスケード・アウト信号を生成するまでの遅延時間。 |
| $t_{CASC_TO_CASC}$ | カスケード・インからカスケード・アウトまでの遅延。前段のLEからのカスケード・イン信号からカスケード・アウト信号を生成するまでの遅延時間。 |
| $t_{REG_TO_CASC}$ | レジスタ出力からカスケード・アウトまでの遅延。LEレジスタの出力が、カスケード・アウト信号に到達するまでの遅延時間。 |
| $t_{DATA_TO_CASC}$ | LE入力からカスケード・アウトまでの遅延。LEのデータ入力からカスケード・アウト信号に到達するまでの遅延時間。 |
| t_{CH} | LEレジスタ・クロックの最小High時間。レジスタのクロック入力で、立ち下がりエッジ前にクロックをLogic-Highに安定させる必要がある最小時間。 |

t_{CL} LEレジスタ・クロックの最小Low時間。レジスタのクロック入力で、立ち上がりエッジ前にクロックをLogic-Lowに安定させる必要がある最小時間。

外部タイミング・パラメータ

外部タイミング・パラメータは、実際のピン間のタイミング特性を示しています。各外部タイミング・パラメータは、内部の遅延要素を組み合わせたものとなります。また、これらのパラメータは広範囲に及ぶ性能測定をベースにしたワースト・ケースの値で示されており、デバイスのテストまたは特性評価によってこれらの値が保証されています。すべての外部タイミング・パラメータは太字で示されています。例えば、 t_1 の値は、AC特性の中で規格化されています。その他の外部タイミング・パラメータは、10ページの「タイミング遅延の計算」の中に示される計算式またはタイミング・モデルを使用して推定することができます。

外部リファレンス・タイミング・パラメータ

以下に、FLEX 6000デバイス・ファミリにおける外部リファレンス・タイミング・パラメータを示します。

t_1 このタイミング・パラメータは、レジスタ間を通るテスト・パターンの遅延を表します。このテスト・パターンには、ソースとディスティネーションとなるレジスタを含めて12個のLEがあり、レジスタ間を結ぶロウとコラムのインタコネクは様々な配線長を持っています。このタイミング・パラメータはFLEX 6000デバイスのスピード・グレードを指定するときに使用されます。

t_{DRR} レジスタ-レジスタ間の遅延時間。このタイミング・パラメータはリファレンスとして表され、特性評価により保証されています。

外部タイミング・パラメータ

以下に、FLEX 6000デバイス・ファミリにおける外部タイミング・パラメータを示します。

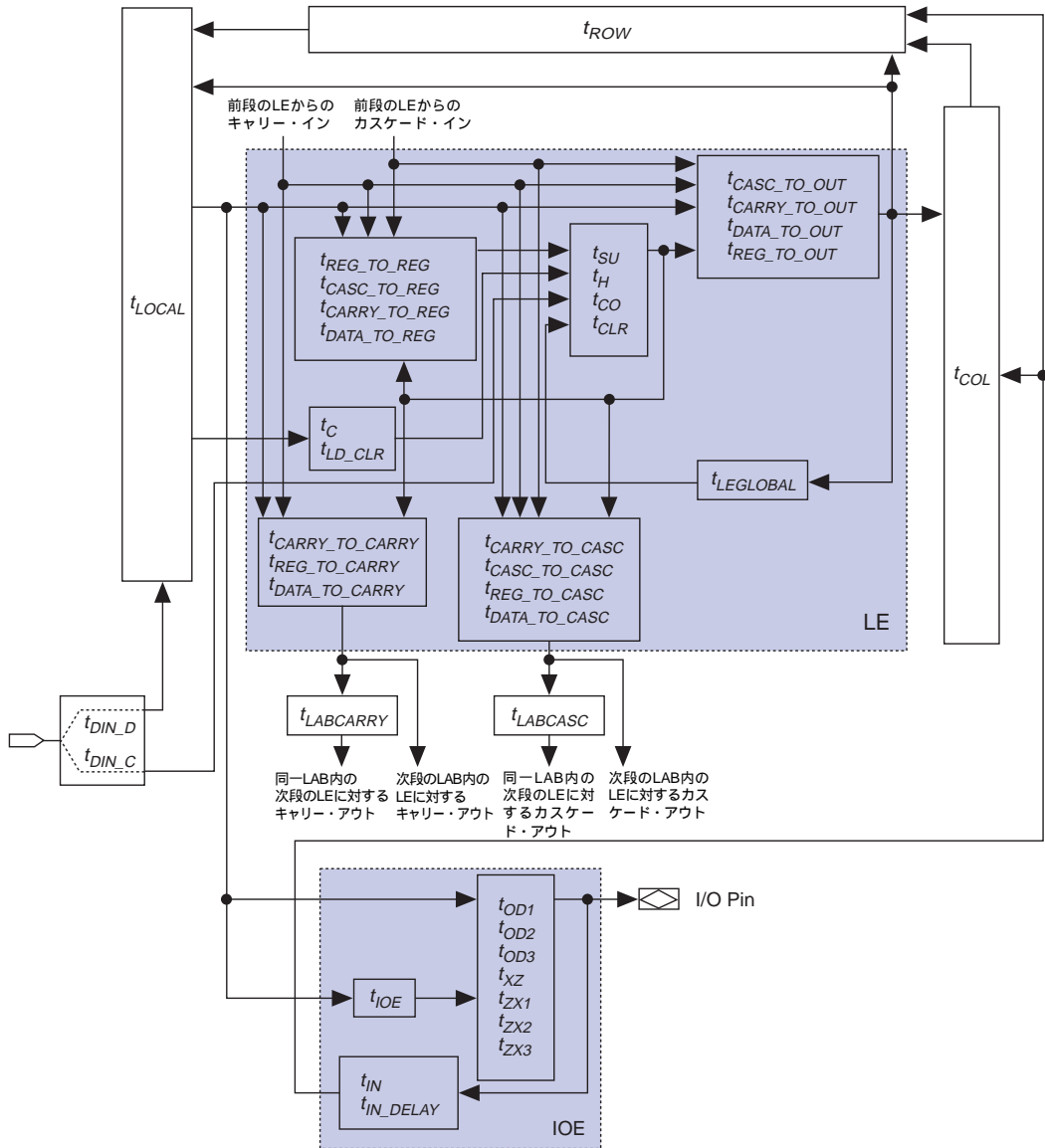
t_{INSU} I/Oに隣接するコラムにあり、同じロウにあるLEレジスタに与えられるグローバル・クロックのセットアップ・タイム。レジスタにデータを正しくストアするため、グローバル・クロック・ピンに与えられるクロック信号の立ち上がりエッジ前に入力ピンの信号を安定させる必要がある最小時間。LEレジスタのデータ入力は、同じロウの入力ピンによってドライブされます。

| | |
|-------------|---|
| t_{INH} | I/OピンからLEレジスタへ与えられるグローバル・クロックに対するホールド・タイム。レジスタにデータを正しくストアするため、グローバル・クロックの立ち上がりエッジ後に入力ピンの信号を安定させる必要がある最小時間。このパラメータにはオプションの追加入力遅延が含まれていません。 |
| t_{OUTCO} | FastFLEX™ I/Oピン使用時のLEレジスタのグローバル・クロックによる「Clock-to-Output」遅延。グローバル・クロック・ピンの立ち上がりエッジから、データがFastFLEX IOピンに現れるまでの遅延時間。ここで、FastFLEX IOピンはある隣接LEにドライブされている隣接したローカル・インタコネクトからのデータ信号を受け取るロウまたはカラムの出力ピンになります。 |
| t_{ODH} | 出力データのホールド時間。クロック入力ピンに与えられた信号の立ち上がりエッジの後に、以前のデータがレジスタ出力ピンに保持される最小時間。このパラメータはLEレジスタのグローバルおよび非グローバル・クロックに適用されます。 |

FLEX 6000の タイミング・ モデル

タイミング・モデルは、アルテラ・デバイス内の伝搬遅延を示す単純化したブロック・ダイアグラムで表すことができます。ロジックは多様なパスで実現されますが、各プロジェクトに対して出力されるMAX+PLUS IIのレポート・ファイル(.rpt)に示される論理式を参照して、FLEX 6000デバイスの実際のパスをトレースすることができます。ここで、対応する内部タイミング・パラメータを積算することによって、FLEX 6000デバイスの入出力間での概略の伝搬遅延を計算することができます。ただし、MAX+PLUS IIのタイミング・アナライザは、もっとも正確なタイミング情報を提供します。図1は、FLEX 6000デバイスのタイミング・モデルを示したものです。

図 1 FLEX 6000デバイスのタイミング・モデル



タイミング遅延の計算

図1で示したタイミング・モデルと1998年版データブックにも収録されている「FLEX 6000 Programmable Logic Device Family」のデータシート内に示されている内部タイミング・パラメータを使用して、FLEX 6000デバイスにおけるピン間遅延の概算値を計算することができます。外部タイミング・パラメータは内部タイミング・パラメータを組み合わせることで計算することができます。

図2に、FLEX 6000デバイス・ファミリの外部タイミング・パラメータを示します。ここでは、タイミングを単純化するため、出力ピン遅延を含む外部タイミング・パラメータがFastFLEX IOピンを使用した場合で示されています。ここで、FastFLEX IOピンは、隣接したLEにドライブされる隣接したローカル・インタコネクトからデータ信号を受け取るロウまたはカラムの出力ピンになります。FastFLEX IOの機能を使用しないピンに対して配線遅延を算出する場合は、以下の遅延を加算して下さい。

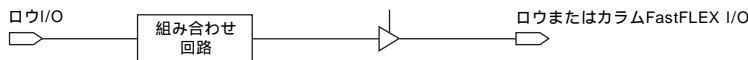
- 同じロウの隣接していないLEにドライブされるロウの出力ピンには、 t_{ROW} の遅延を加算。この遅延は、もっとも近い位置にあるロウに隣接していないLEにドライブされるカラム出力ピンにも適用されます。
- 上記以外のその他のすべての配線パスに $t_{COL} + t_{ROW}$ の遅延を加算。

デバイス内の多様なパスを伝搬する信号の遅延を計算する場合は、タイミング・モデルを参照し、積算する内部タイミング・パラメータを選択して下さい。

図2 ロジック・エレメントの外部タイミング・パラメータ (1/4)

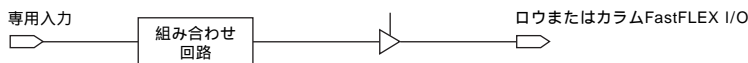
組み合わせ回路の遅延

ロウI/Oピンからの入力:



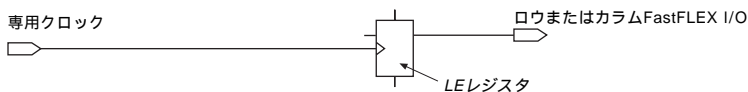
$$t_{\text{COMB}} = t_{\text{IN}} + t_{\text{ROW}} + t_{\text{LOCAL}} + t_{\text{DATA_TO_OUT}} + t_{\text{LOCAL}} + t_{\text{OD1}}$$

専用入力ピンからの入力:



$$t_{\text{COMB}} = t_{\text{DIN_D}} + t_{\text{LOCAL}} + t_{\text{DATA_TO_OUT}} + t_{\text{LOCAL}} + t_{\text{OD1}}$$

グローバル・クロックから出力ピンへの「Clock-to-Output」遅延



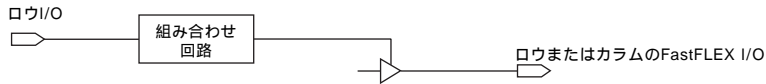
$$t_{\text{CO}} = t_{\text{DIN_C}} + t_{\text{CO}} + t_{\text{REG_TO_OUT}} + t_{\text{LOCAL}} + t_{\text{OD1}}$$

図2 ロジック・エレメントの外部タイミング・パラメータ (2/4)

トライ・ステート・イネーブル/ディセーブル遅延

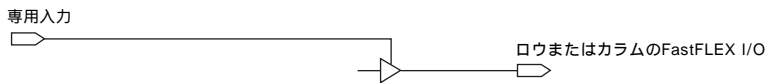
t_{XZ} or t_{ZX}

ロウI/Oピンからロジックを通じた入力:



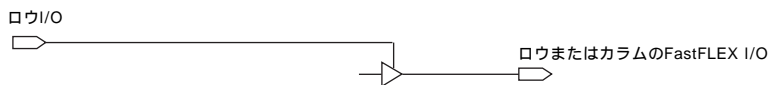
$$t_{XZ}, t_{ZX} = t_{IN} + t_{ROW} + t_{LOCAL} + t_{DATA_TO_OUT} + t_{LOCAL} + t_{IOE} + (t_{XZ} \text{ OR } t_{ZX1})$$

専用入力ピンからダイレクトの入力:



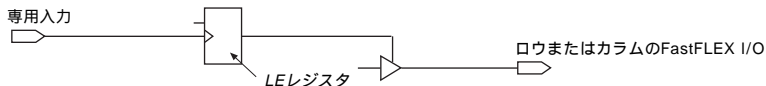
$$t_{XZ}, t_{ZX} = t_{DIN_D} + t_{LOCAL} + t_{IOE} + (t_{XZ} \text{ OR } t_{ZX1})$$

ロウI/O入力からダイレクトの入力:



$$t_{XZ}, t_{ZX} = t_{IN} + t_{ROW} + t_{LOCAL} + t_{IOE} + (t_{XZ} \text{ OR } t_{ZX1})$$

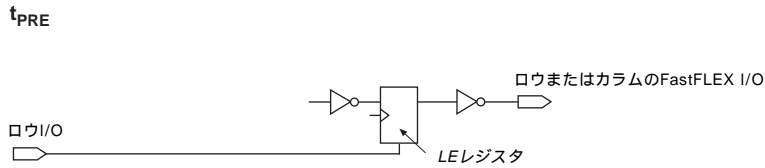
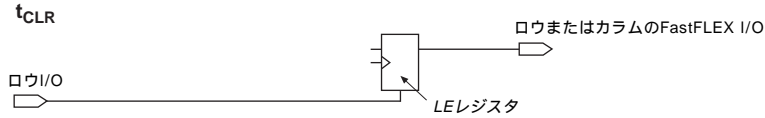
LEレジスタからの入力:



$$t_{XZ}, t_{ZX} = t_{DIN_C} + t_{CO} + t_{REG_TO_OUT} + t_{LOCAL} + t_{IOE} + (t_{XZ} \text{ OR } t_{ZX1})$$

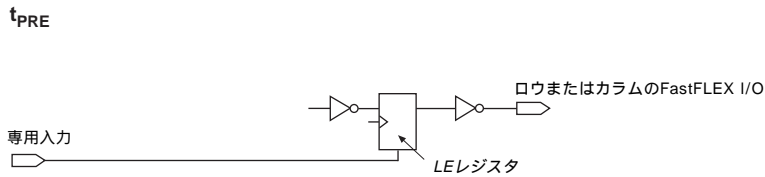
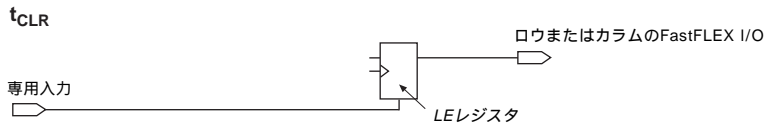
図2 ロジック・エレメントの外部タイミング・パラメータ (3/4)

LEレジスタのクリアとプリセット (NOTゲート・プッシュ・バック) 時間
 ロウI/O入力からローカルに配線されたロウまたはカラム出力まで:



$$t_{CLR} = t_{PRE} = t_{IN} + t_{ROW} + t_{LOCAL} + t_C + t_{CLR} + t_{REG_TO_OUT} + t_{LOCAL} + t_{OD1}$$

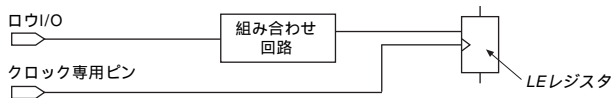
専用入力からローカルに配線されたロウまたはカラム出力まで:



$$t_{CLR} = t_{PRE} = t_{DIN_C} + t_{CLR} + t_{REG_TO_OUT} + t_{LOCAL} + t_{OD1}$$

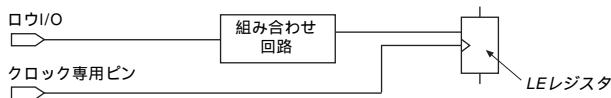
図 2 ロジック・エレメントの外部タイミング・パラメータ (4/4)

グローバル・クロック使用時のロウI/Oデータ入力のセットアップ・タイム



$$t_{SU} = [(t_{IN} + t_{ROW} + t_{LOCAL} + t_{DATA_TO_REG}) - (t_{DIN_C} + t_C)] + t_{SU}$$

グローバル・クロック使用時のロウI/Oデータ入力のホールド・タイム



$$t_H = [(t_{DIN_C} + t_C) - (t_{IN} + t_{ROW} + t_{LOCAL} + t_{DATA_TO_REG})] + t_H$$

タイミング・モデルと MAX+PLUS II タイミング・アナライザの比較

タイミング・モデルを使用した手計算を行うことで、デザイン性能の良好な推定が可能になります。ただし、MAX+PLUS IIのタイミング・アナライザは、配線のマイクロパラメータに影響を及ぼす下記の三種類の二次的な要因を考慮するため、常に正確なデザイン性能を提供します。

- 遅延パス上の各信号に対するファンアウト
- 信号のソースとディスティネーションに関する負荷の位置
- 信号のソースとディスティネーション間の距離

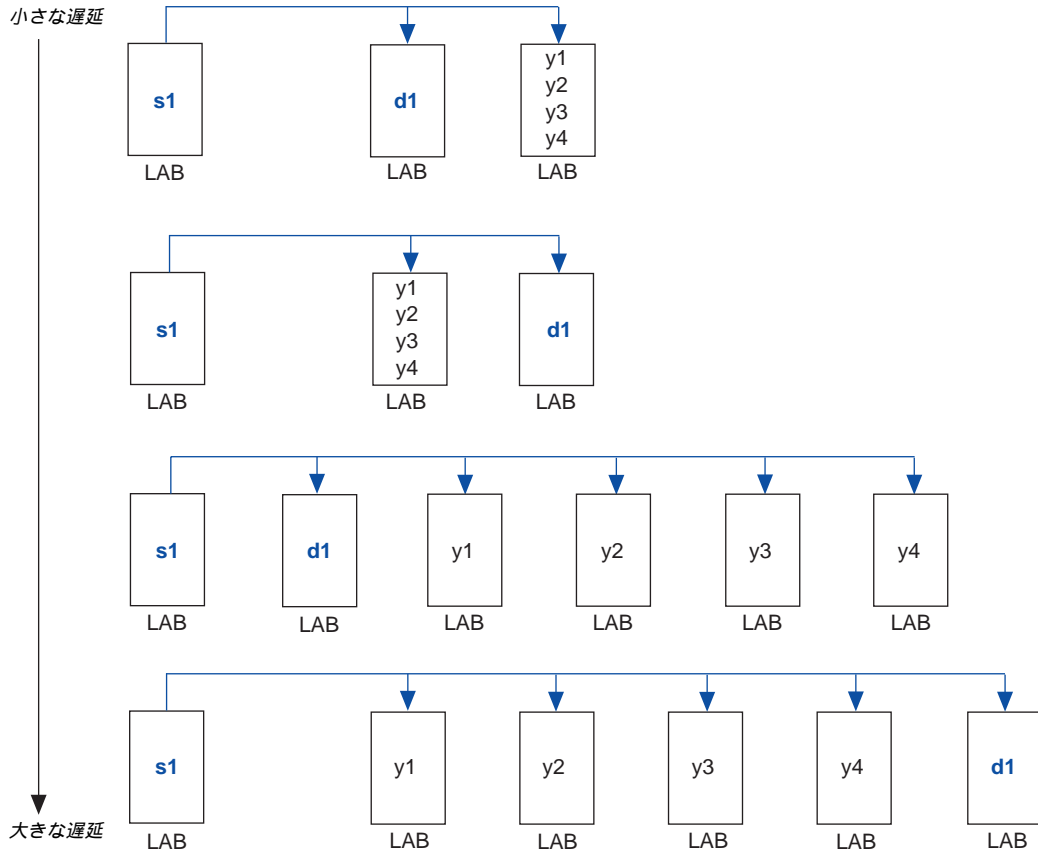
ファンアウト

ドライブする信号の負荷が大きくなると共に、 t_{ROW} 、 t_{COL} 、 t_{DIN_D} の遅延も大きくなります。これらの遅延は、信号ソースがドライブする必要があるLAB数の関数となります。

負荷の分配

ソースとディスティネーションに関する負荷の分布状態は、 t_{ROW} 、 t_{COL} 、 t_{DIN_D} の遅延時間に影響を与えます。ここで、ディスティネーション d1とロジック・エレメント y[4..1]に接続される信号、s1について検証します。y[4..1]が異なるLABにある場合は、s1には4つの負荷が追加されます。ただし、これら4個のLEがすべて同じLABにある場合は、s1が遅延の小さい1つの負荷を持つこととなります。y[4..1]の各負荷が異なるLABにある場合は、s1からd1へのロウ・インタコネクタの遅延が大きくなります。図3は、d1の位置とy[4..1]の配分方法により、配線遅延がどのように変化するかを示したものです。

図3 位置関係と負荷の分配を関数としたs1からd1への遅延



距離

ソースとディスティネーションとなるLE間の距離は、 t_{ROW} 、 t_{COL} 、 t_{DIN_D} の各パラメータに影響を与えます。ここで、s1が同じロウの1個のLEをドライブしている場合は、s1からLEへの距離が増加するにしたがってs1からLEへの遅延も大きくなります。

例

次に、内部マイクロパラメータを使用して、実際のアプリケーションの遅延を推定する方法を示します。

例 1 : カスケード・チェーンを用いた 4 ビット・コンパレータ

ロジックの最適化や合成が実行された回路のタイミング遅延を解析することができます。合成されたロジックを表す論理式は、MAX+PLUS II のレポート・ファイル (.rpt) に記述されています。この論理式は、各信号のロジックの実現形式を素早く判断できるように、構造的に記述されています。ここで、図 4 に 4 ビットのコンパレータを示します。

図 4 4 ビット・コンパレータ回路

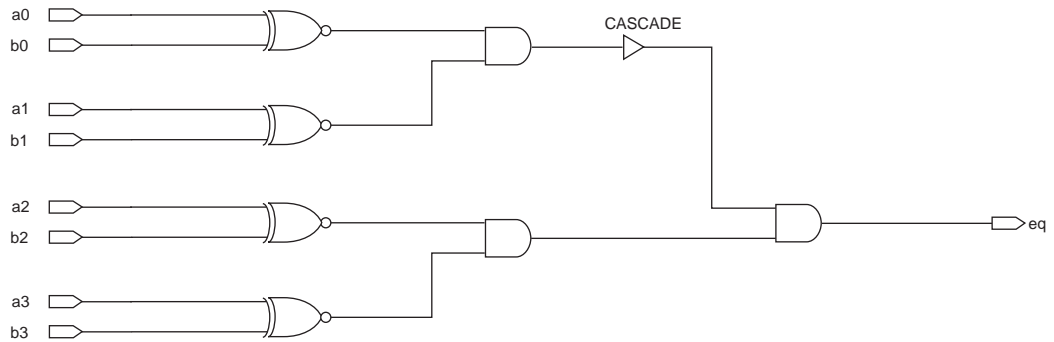


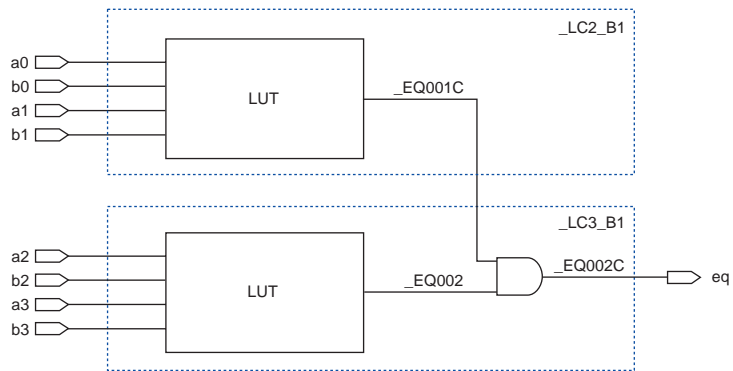
図 4 に示した回路に対する MAX+PLUS II のレポート・ファイルには、コンパレータの出力 eq に対して、次の論理式が記述されています。

```

eq      =  _LC3_B1;
_LC3_B1 =  LCELL( _EQ002C);
_EQ002C =  _EQ002 & CASCADE( _EQ001C);
_EQ002  =  a2 & a3 & b2 & b3
          # a2 & !a3 & b2 & !b3
          # !a2 & a3 & !b2 & b3
          # !a2 & !a3 & !b2 & !b3;
_LC2_B1 =  LCELL( _EQ001C);
_EQ001C =  _EQ001;
_EQ001  =  a0 & a1 & b0 & b1
          # a0 & !a1 & b0 & !b1
          # !a0 & a1 & !b0 & b1
          # !a0 & !a1 & !b0 & !b1;
    
```

図 5 は論理合成後の 4 ビット・コンパレータです。

図 5 論理合成後の 4 ビット・コンパレータ



出力ピン eq は、カスケード・チェーンの 2 段目の LE からの出力です。_LC2_B1 の LUT は、最初の 2 ビットの比較を実現しています。また、次の 2 ビットの比較は _LC3_B1 の LUT で実現されています。この 2 つの LUT の出力はカスケード接続され、_LC3_B1 の出力を形成しています。

a2 と eq が共にロウ側の I/O ピンになっている場合は、次のマイクロパラメータを加算することにより、a2 から eq までのタイミング遅延が推定できます。

$$t_{IN} + t_{ROW} + t_{LOCAL} + t_{DATA_TO_OUT} + t_{ROW} + t_{LOCAL} + t_{ODI}$$

a0がロウ側のI/Oピンの場合は、次のマイクロパラメータを加算することでa0からeqまでのタイミング遅延が推定できます。

$$t_{IN} + t_{ROW} + t_{LOCAL} + t_{DATA_TO_CASC} + t_{CASC_TO_OUT} + t_{ROW} + t_{LOCAL} + t_{OD1}$$

例2：キャリー・チェーンを用いた3ビット・アダー

FLEX 6000には、複雑な演算機能を実現するための特殊なリソースが提供されています。アダーやカウンタを構成するときには、次の上位ビットへの繰り上げを行うためのキャリー機能が必要になります。FLEX 6000のアーキテクチャには、この機能を実現するためのキャリー・チェーンが内蔵されています。ここでは、キャリー・チェーンを用いた3ビット・アダーの遅延を推定する方法を解説します（図6を参照）。

図6 キャリー・チェーンを用いた3ビット・アダー

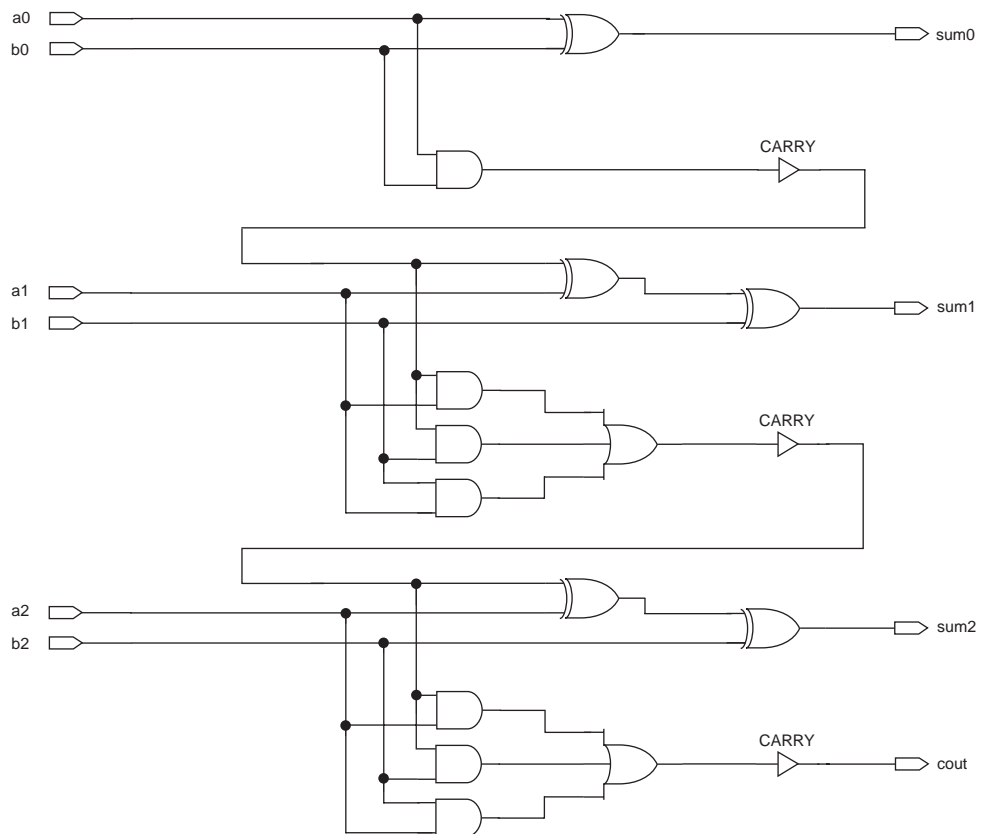


図 6 で示した 3 ビット・アダーに対する MAX+PLUS II のレポート・ファイルには、次の論理式が記述されています。

```
cout          = _LC5_B1;
sum0          = _LC2_B1;
sum1          = _LC3_B1;
sum2          = _LC4_B1;
_LC2_B1       = LCELL( _EQ001);
_EQ001        = !a0 & b0
              # a0 & !b0;
_LC2_B1_CARRY = CARRY( _EQ002);
_EQ002        = a0 & b0;
_LC3_B1       = LCELL( _EQ003);
_EQ003        = a1 & !b1 & !_LC2_B1_CARRY
              # !a1 & !b1 & _LC2_B1_CARRY
              # a1 & b1 & _LC2_B1_CARRY
              # !a1 & b1 & !_LC2_B1_CARRY;
_LC3_B1_CARRY = CARRY( _EQ004);
_EQ004        = a1 & _LC2_B1_CARRY
              # a1 & b1
              # b1 & _LC2_B1_CARRY;
_LC4_B1       = LCELL( _EQ005);
_EQ005        = a2 & !b2 & !_LC3_B1_CARRY
              # !a2 & !b2 & _LC3_B1_CARRY
              # a2 & b2 & _LC3_B1_CARRY
              # !a2 & b2 & !_LC3_B1_CARRY;
_LC5_B1       = LCELL( _LC4_B1_CARRY);
_LC4_B1_CARRY = CARRY( _EQ006);
_EQ006        = a2 & _LC3_B1_CARRY
              # a2 & b2
              # b2 & _LC3_B1_CARRY;
```

図 7 は論理合成後の 3 ビット・アダーです。

図 7 論理合成後の 3 ビット・アダー

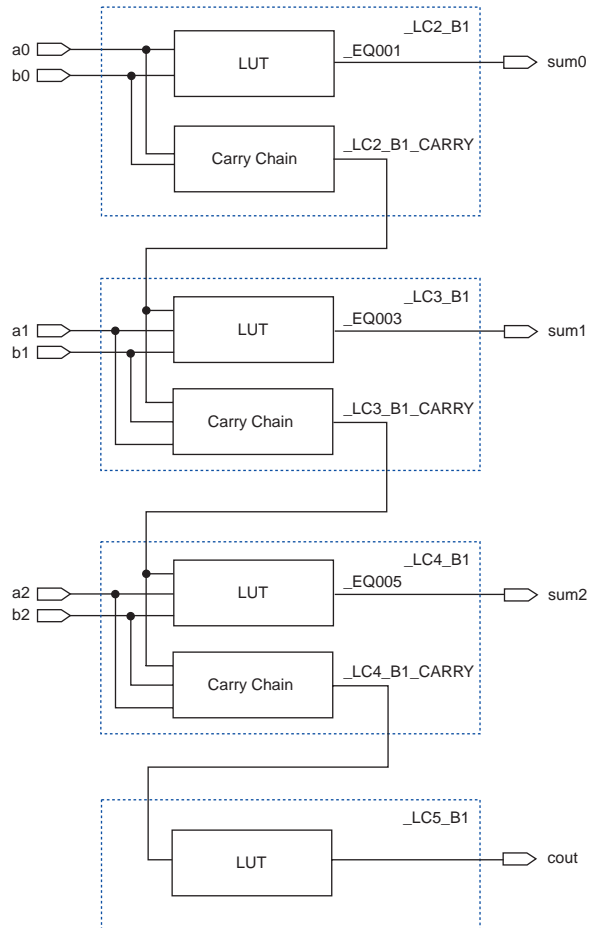


図 7 では、_LC2_B1のLEがsum0と_LC2_B1のキャリー・アウト信号 (_LC2_B1_CARRY) を生成し、_LC2_B1_CARRYは_LC3_B1のキャリー・イン信号となります。_LC3_B1のLEはsum1と_LC4_B1のキャリー・インに接続されるキャリー・アウト信号 (_LC3_B1_CARRY) を生成します。_LC4_B1のLEはa2、b2、_LC3_B1_CARRYを使用してsum2とcoutを生成します。キャリー信号用のバッファは直接ピンに接続できないため、cout信号は_LC5_B1を経由して出力される必要があります。

AN 92: Understanding FLEX 6000 Timing

a0とsum1のI/Oピンが同じロウにある場合は、次のマイクロパラメータを加算することによって、a0からsum1までのタイミング遅延を推定することができます。

$$t_{IN} + t_{ROW} + t_{LOCAL} + t_{DATA_TO_CARRY} + t_{CARRY_TO_OUT} + t_{ROW} + t_{LOCAL} + t_{ODI}$$

a0とcoutのI/Oピンが同じロウにある場合は、次のマイクロパラメータを加算することによって、a0からcoutまでのタイミング遅延を推定することができます。

$$t_{IN} + t_{ROW} + t_{LOCAL} + t_{DATA_TO_CARRY} + t_{CARRY_TO_CARRY} + t_{CARRY_TO_CARRY} + t_{CARRY_TO_OUT} + t_{ROW} + t_{LOCAL} + t_{ODI}$$

まとめ

FLEX 6000デバイスのアーキテクチャでは、予測可能な内部タイミング遅延が提供されており、信号の合成や配置をベースに内部タイミングを推定することができます。ただし、MAX+PLUS IIのタイミング・アナライザはもっとも正確なタイミング情報を提供することができます。また、1998年版データブックに収録されている「FLEX 6000 Programmable Logic Device Family」のデータシートに示されている各タイミング・パラメータとタイミング・モデルを使用して、コンパイル前にデザインの性能を予測することもできます。双方の手法を活用することにより、デザインのイン・システム・タイミング性能を正確に予測することが可能です。



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文のアプリケーション・ノートを日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。